



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0060953
(43) 공개일자 2017년06월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/32 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2015-0165753
(22) 출원일자 2015년11월25일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김병일
경기도 김포시 김포한강11로 276 (운양동) 706동
1806호
(74) 대리인
특허법인로알

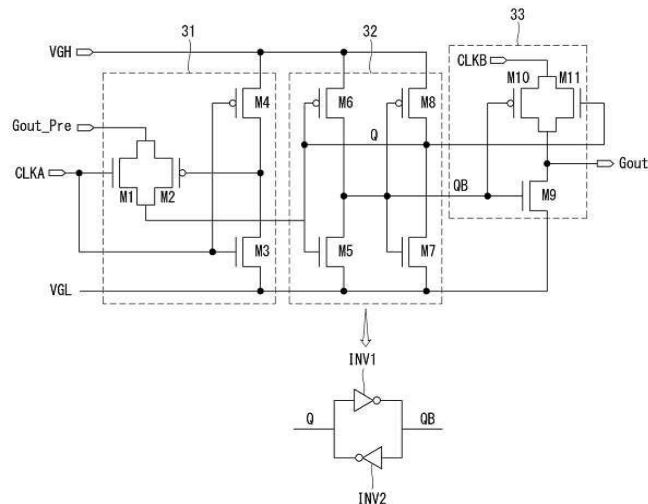
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 게이트 구동회로와 이를 이용한 표시장치

(57) 요약

본 발명은 게이트 구동회로와 이를 이용한 표시장치에 관한 것으로, 이 게이트 구동회로는 종속적으로 접속된 스테이지를 포함한 시프트 레지스터를 포함한다. 제 n (n 은 양의 정수) 스테이지는 제1 클럭과 제 $n-1$ (n 은 양의 정수) 스테이지로부터 수신된 캐리신호를 입력 받아, 상기 제1 클럭이 하이 전압이고 상기 캐리 신호가 로우 전압일 때 Q 노드를 로우 전압으로 조절하고, 상기 제1 클럭과 상기 캐리 신호 모두가 하이 전압일 때 상기 Q 노드를 하이 전압으로 조절하는 오토 리셋 회로를 포함한다. 본 발명에 의하면, 오토 리셋 회로를 이용하여 게이트 구동회로를 간소화하여 표시장치의 네로우 베젤을 구현할 수 있다.

대표도 - 도3



(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

종속적으로 접속된 스테이지를 포함한 시프트 레지스터를 포함하고,

제 n (n 은 양의 정수) 스테이지는,

제1 클럭과 제 $n-1$ (n 은 양의 정수) 스테이지로부터 수신된 캐리신호를 입력 받아, 상기 제1 클럭이 하이 전압이고 상기 캐리 신호가 로우 전압일 때 Q 노드를 로우 전압으로 조절하고, 상기 제1 클럭과 상기 캐리 신호 모두가 하이 전압일 때 상기 Q 노드를 하이 전압으로 조절하는 오토 리셋 회로;

상기 Q 노드의 전압과 상기 QB 노드 사이에 연결된 래치; 및

상기 Q 노드의 전압이 하이 전압이고 제2 클럭이 하이 전압으로 입력될 때 출력 전압을 상승시키고, 상기 QB 노드의 전압이 하이 전압일 때 상기 출력 전압을 하강시키는 버퍼를 포함하고,

상기 제1 클럭이 상기 캐리신호와 동기된 게이트 구동회로.

청구항 2

제 1 항에 있어서,

상기 오토 리셋 회로는,

상기 제1 클럭과 상기 캐리신호가 입력되고 상기 Q 노드에 출력 신호를 공급하는 제1 트랜스미션 게이트; 및

상기 제1 트랜스미션 게이트에 연결된 제2 NMOS 트랜지스터, 및 제2 PMOS 트랜지스터를 포함하고,

상기 제1 트랜스미션 게이트는

상기 제1 클럭이 입력되는 게이트, 상기 캐리신호가 입력되는 드레인, 및 상기 Q 노드에 연결된 소스를 포함한 제1 NMOS 트랜지스터; 및

상기 제2 NMOS 트랜지스터와 제2 PMOS 트랜지스터의 드레인에 연결된 게이트, 상기 캐리신호가 입력되는 소스, 및 상기 Q 노드에 연결된 드레인을 포함한 제1 PMOS 트랜지스터를 포함하고,

상기 제2 NMOS 트랜지스터는 상기 제1 클럭이 입력되는 게이트, 상기 제1 PMOS 트랜지스터의 게이트에 연결된 드레인, 및 상기 로우 전압이 공급되는 저전위 전압 라인에 연결된 소스를 포함하고,

상기 제2 PMOS 트랜지스터는 상기 제1 클럭이 입력되는 게이트, 상기 제1 PMOS 트랜지스터의 게이트에 연결된 드레인, 및 고전위 전원 라인 라인에 연결된 소스를 포함하는 게이트 구동회로.

청구항 3

제 2 항에 있어서,

상기 래치는 페루프 형태의 궤환 회로로 연결된 제1 및 제2 인버터들을 포함하고,

상기 제1 인버터는,

상기 Q 노드에 연결된 게이트, 상기 QB 노드에 연결된 드레인, 및 상기 저전위 전원 라인에 연결된 소스를 포함한 제3 NMOS 트랜지스터; 및

상기 Q 노드에 연결된 게이트, 상기 QB 노드에 연결된 드레인, 및 상기 고전위 전원 라인에 연결된 소스를 포함한 제3 PMOS 트랜지스터를 포함하고,

상기 제2 인버터는,

상기 QB 노드에 연결된 게이트, 상기 Q 노드에 연결된 드레인, 및 상기 저전위 전원 라인에 연결된 소스를 포함

한 제4 NMOS 트랜지스터; 및

상기 QB 노드에 연결된 게이트, 상기 Q 노드에 연결된 드레인, 및 상기 고전위 전원 라인에 연결된 소스를 포함
한 제4 PMOS 트랜지스터를 포함하는 게이트 구동회로.

청구항 4

제 3 항에 있어서,

상기 버퍼는

상기 Q 노드의 전압에 응답하여 상기 제2 클럭을 출력 단자에 공급하여 상기 출력 전압을 상승시키는 풀업 트랜
지스터; 및

상기 QB 노드의 전압에 응답하여 상기 출력 단자를 방전시켜 상기 출력 전압을 떨어뜨리는 풀다운 트랜지스터를
포함하고,

상기 풀업 트랜지스터는 제2 트랜스미션 게이트를 포함하고,

상기 제2 클럭은 상기 제1 클럭에 이어서 발생하는 게이트 구동회로.

청구항 5

제 4 항에 있어서,

상기 제1 트랜스미션 게이트는,

상기 QB 노드와 연결된 게이트, 상기 출력 단자에 연결된 드레인, 및 상기 제2 클럭이 입력되는 소스를 포함한
제5 PMOS 트랜지스터; 및

상기 Q 노드와 연결된 게이트, 상기 출력 단자에 연결된 소스, 및 상기 제2 클럭이 입력되는 드레인을 포함한
제5 NMOS 트랜지스터를 포함하고,

상기 풀다운 트랜지스터는,

상기 QB 노드에 연결된 게이트, 상기 출력 단자에 연결된 드레인, 및 상기 저전위 전원 라인에 연결된 소스를
포함한 제6 NMOS 트랜지스터를 포함하는 게이트 구동회로.

청구항 6

제 5 항에 있어서,

상기 제1 클럭의 전압이 고전위 전압으로 충전되고 상기 캐리 신호의 전압이 저전위 전압일 때 상기 Q 노드의
전압이 저전위 전압으로 리셋되고, 상기 QB 노드의 전압이 고전위 전압으로 리셋되며, 상기 제2 트랜스미션 게
이트가 턴-오프되는 게이트 구동회로.

청구항 7

표시패널의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동회로; 및

상기 표시패널의 게이트 라인들에 상기 데이터 신호에 동기되는 게이트 펄스를 공급하는 게이트 구동회로를 포
함하고,

상기 게이트 구동회로는 종속적으로 접속된 스테이지를 포함한 시프트 레지스터를 포함하고,

제 n (n 은 양의 정수) 스테이지는,

제1 클럭과 제 $n-1$ (n 은 양의 정수) 스테이지로부터 수신된 캐리신호를 입력 받아, 상기 제1 클럭이 하이 전압이
고 상기 캐리 신호가 로우 전압일 때 Q 노드를 로우 전압으로 조절하고, 상기 제1 클럭과 상기 캐리 신호 모두
가 하이 전압일 때 상기 Q 노드를 하이 전압으로 조절하는 오토 리셋 회로;

상기 Q 노드의 전압과 상기 QB 노드 사이에 연결된 래치; 및

상기 Q 노드의 전압이 하이 전압이고 제2 클럭이 하이 전압으로 입력될 때 출력 전압을 상승시키고, 상기 QB 노

드의 전압이 하이 전압일 때 상기 출력 전압을 하강시키는 버퍼를 포함하고,
상기 제1 클럭이 상기 캐리신호와 동기된 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 CMOS(Complementary metal-oxide-semiconductor) 트랜지스터 소자를 포함한 게이트 구동회로와 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치는 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display, 이하 "OLED 표시장치"라 함) 등이 있다. 이러한 표시장치의 구동회로는 영상이 표시되는 픽셀 어레이, 픽셀 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동회로, 데이터 신호에 동기되는 게이트 펄스(또는 스캔 펄스)를 픽셀 어레이의 게이트 라인들(또는 스캔 라인들)에 순차적으로 공급하는 게이트 구동회로(또는 스캔 구동회로), 데이터 구동회로와 게이트 구동회로를 제어하는 타이밍 콘트롤러 등을 포함한다.

[0003] 픽셀들 각각은 게이트 라인을 통해 공급되는 게이트 펄스에 응답하여 데이터 라인의 전압을 픽셀 전극에 공급하는 박막트랜지스터(Thin Film Transistor, TFT)를 포함할 수 있다. 게이트 펄스는 게이트 하이 전압(Gate High Voltage, VGH)과 게이트 로우 전압(Gate Low Voltage, VGL) 사이에서 스윙(swing)한다. 게이트 하이 전압(VGH)은 표시패널에 형성된 TFT의 문턱 전압 보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. 픽셀들의 TFT는 게이트 하이 전압에 응답하여 턴-온(turn-on)된다.

[0004] 게이트 구동회로를 픽셀 어레이와 함께 표시패널에 내장하는 기술이 적용되고 있다. 표시패널에 내장된 게이트 구동회로는 "GIP(Gate In Panel) 회로"로 알려져 있다. GIP 회로는 시프트 레지스터(shift register)를 포함한다. 시프트 레지스터는 종속적으로 접속된 다수의 스테이지들(stage)을 포함한다. 스테이지들은 스타트 펄스에 응답하여 출력을 발생하고 그 출력을 시프트 클럭에 따라 시프트시킨다.

[0005] 시프트 레지스터의 스테이지들은 게이트 라인을 충전시키는 Q 노드와, 게이트 라인을 방전시키는 QB(Q bar) 노드, Q 노드와 QB 노드에 연결된 스위치 회로를 포함한다. 스위치 회로는 스타트 펄스 또는 이전 스테이지의 출력에 응답하여 Q 노드를 충전시켜 게이트 라인의 전압을 상승시키고, 다음 스테이지의 출력 또는 리셋 펄스에 응답하여 QB 노드를 방전시킨다. 스위치 회로는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT들을 포함한다.

[0006] GIP 회로는 표시패널의 베젤(Bezel) 상에 직접 형성되기 때문에 네로우 베젤 설계를 어렵게 한다. 네로우 베젤을 구현하기 위하여, GIP 회로의 소자를 간소화하는 연구가 활발히 진행되고 있다. 그런데 GIP 회로의 동작 안정화를 위해서 필요한 회로를 제거할 수 없기 때문에 GIP 회로 구성을 단순화하기가 어렵다.

[0007] 표시장치의 파워 온(Power On) 직후에 GIP 회로의 Q 노드와 QB 노드 상태가 랜덤 상태(random) 상태이다. 이러한 랜덤 상태에서, GIP 회로는 오동작하여 이상(abnormal) 출력을 발생할 수 있다. GIP 회로의 안정적인 동작을 위해서, Q = Low, QB = High로 초기화하기 위하여 리셋 신호가 GIP 회로의 스테이지들에 공통으로 공급되고 있다. 이를 위하여, GIP 회로에 리셋 신호(Reset, RST)를 공급하는 RST 배선이 필요하다.

[0008] 시프트 레지스터는 스테이지들이 종속적으로 연결된다. 스테이지들 각각은 출력을 발생하기 위하여 Q 노드를 프리차징(pre-charging)하는 제1 캐리 신호(Gout_Pre 신호)를 입력 받는다. 또한, 스테이지들 각각은 출력 신호를 발생한 후에 Q 노드를 방전시키는 제2 캐리 신호(Gout_Post)를 입력 받는다. 이를 위하여, 시프트 레지스터에는 출력을 발생하지 않고 다른 스테이지들에 캐리 신호를 공급하는 더미 스테이지들(Dummy stage)이 추가되고 있다. 예를 들어, 마지막 게이트 펄스를 출력하는 제n(n은 2 이상의 양의 정수) 스테이지에 제n+1 스테이지(또는 End generator)가 연결된다. 제n+1 스테이지는 게이트 펄스를 출력하지 않고 제n 스테이지에 제2 캐리 신호(Gout_Post)를 공급한다.

[0009] 표시장치의 베젤을 줄이기 위하여 GIP 회로를 최적화하기 위한 연구 개발이 진행되고 있다. 그러나 GIP 회로의 정상 동작에 필요한 소자들이나 배선을 제거할 수 없기 때문에 GIP 회로 크기를 줄일 수 없다. 따라서, GIP 회

로의 크기로 인하여 표시장치의 네로우 베젤 설계가 어렵다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 표시장치의 네로우 베젤(Narrow bezel) 구현을 가능하게 할 수 있는 게이트 구동회로와 이를 이용한 표시장치를 제공한다.

과제의 해결 수단

[0011] 본 발명의 게이트 구동회로는 종속적으로 접속된 스테이지를 포함한 시프트 레지스터를 포함한다.

[0012] 제 n (n 은 양의 정수) 스테이지는 제1 클럭과 제 $n-1$ (n 은 양의 정수) 스테이지로부터 수신된 캐리신호를 입력 받아, 상기 제1 클럭이 하이 전압이고 상기 캐리 신호가 로우 전압일 때 Q 노드를 로우 전압으로 조절하고, 상기 제1 클럭과 상기 캐리 신호 모두가 하이 전압일 때 상기 Q 노드를 하이 전압으로 조절하는 오토 리셋 회로를 포함한다. 상기 제 n , 스테이지는 상기 Q 노드의 전압과 상기 QB 노드 사이에 연결된 래치, 및 상기 Q 노드의 전압이 하이 전압이고 제2 클럭이 하이 전압으로 입력될 때 출력 전압을 상승시키고, 상기 QB 노드의 전압이 하이 전압일 때 상기 출력 전압을 하강시키는 버퍼를 더 포함한다. 상기 제1 클럭이 상기 캐리신호와 동기된다.

[0013] 본 발명의 표시장치는 상기 게이트 구동회로를 포함한다.

발명의 효과

[0014] 본 발명은 제1 클럭과 이전 스테이지로부터 수신된 캐리신호를 이용하여 Q 노드와 QB 노드를 리셋하는 오토 리셋 회로를 이용하여 리셋 신호 배선을 삭제하고, 제1 클럭을 이용하여 버퍼 오프 타이밍을 제어하여 더미 스테이지(또는 End generator)를 삭제한다. 그 결과, 본 발명은 GIP 회로 구성을 간소화하여 표시장치의 네로우 베젤(Narrow bezel)을 구현할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 실시예에 따른 표시장치의 구동회로를 보여 주는 블록도이다.

도 2는 GIP 회로에서 종속적으로 접속된 스테이지들과 게이트 타이밍 제어 신호를 보여 주는 도면이다.

도 3은 도 2에 도시된 스테이지를 상세히 보여 주는 회로도이다.

도 4는 도 3에 도시된 스테이지의 동작을 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0017] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 표시장치는 표시패널(PNL)과, 표시패널(PNL)의 픽셀 어레이(pixel array)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 포함한다.

[0018] 표시패널(PNL)은 LCD, OLED 표시장치 등 GIP 회로가 필요한 평판 표시장치의 표시패널로 구현될 수 있다.

[0019] 표시패널(PNL)은 데이터 라인들(12), 데이터 라인들(12)과 직교하는 게이트 라인들(14), 및 데이터 라인들(12)과 게이트 라인들(14)에 의해 정의된 매트릭스 형태로 픽셀들이 배치된 픽셀 어레이(AA)를 포함한다. 입력 영상은 픽셀 어레이(AA)에 표시된다.

[0020] 표시패널 구동회로는 데이터 라인들(12)에 데이터 전압을 공급하는 데이터 구동회로(SIC), 데이터 전압에 동기되는 게이트 펄스를 게이트 라인들(14)에 순차적으로 공급하는 게이트 구동회로(LS, GIP), 및 타이밍 콘트롤러(Timing Controller, TCON)를 포함한다.

[0021] 타이밍 콘트롤러(TCON)는 외부의 호스트 시스템으로부터 수신된 입력 영상의 데이터를 데이터 구동회로(SIC)로 전송한다. 타이밍 콘트롤러(TCON)는 외부의 호스트 시스템으로부터 입력 영상에 동기되는 수직 동기신호, 수평

동기신호, 데이터 인에이블 신호 및 도트 클럭 등의 타이밍 신호를 수신한다. 타이밍 콘트롤러(TCON)는 입력된 타이밍 신호를 기준으로 데이터 구동회로(SIC)와 게이트 게이트 구동회로(130, 140)의 동작 타이밍을 제어하기 위한 타이밍 제어신호를 생성한다.

- [0022] 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템은 각종 비디오 소스로부터 수신된 입력 영상의 픽셀 데이터를 타이밍 콘트롤러(TCON)로 전송하고, 그 픽셀 데이터와 동기되는 타이밍 신호를 타이밍 콘트롤러(TCON)로 전송한다.
- [0023] 데이터 구동회로(SIC)는 타이밍 콘트롤러(TCON)로부터 입력 영상의 데이터와 데이터 타이밍 제어신호를 공급받는다. 데이터 구동회로(SIC)는 타이밍 콘트롤러(TCON)의 제어 하에 입력 영상의 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 데이터라인들(12)로 출력한다. 데이터 구동회로(SIC)는 복수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 데이터 라인들(DL)에 접속된다.
- [0024] 게이트 구동회로는 레벨 시프터(Level shifter)(LS)와 GIP 회로(GIP)를 포함한다. 타이밍 콘트롤러(TCON)로부터 출력되는 게이트 타이밍 제어 신호는 레벨 시프터(Level shifter)에 의해 그 전압 레벨이 변환되어 GIP 회로에 입력된다. 게이트 타이밍 제어 신호는 스타트 펄스(VST(L), VST(R))와, 시프트 클럭(CLK(L), CLK(R))을 포함한다.
- [0025] 레벨 시프터(LS)에 입력되는 신호는 디지털 신호 레벨이기 때문에 표시패널(PNL)의 TFT들을 구동할 수 없다. 레벨 시프터(LS)는 타이밍 콘트롤러(TCON)로부터 수신된 게이트 타이밍 제어 신호 각각의 전압을 시프트(shift)하여 게이트 로우 전압(VGL)과 게이트 하이 전압(VGH) 사이에서 스윙하는 전압의 신호로 변환한다. 게이트 하이 전압(VGH)은 표시패널(PNL)에 형성된 TFT의 문턱 전압 보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다.
- [0026] GIP 회로(GIP)는 픽셀 어레이 밖에서 표시패널(PNL)의 일측 가장자리에 형성되거나 양측 가장자리에 형성될 수 있다. GIP 회로(GIP)는 픽셀 어레이(AA)와 동시에 표시패널(PNL)의 기판 상에 형성될 수 있다. GIP 회로(GIP)는 스타트 펄스(VST(L), VST(R))와 시프트 클럭(CLK(L), CLK(R))이 입력되는 시프트 레지스터를 포함한다. GIP 회로(GIP)가 표시패널(PNL)의 양측 베젤에 GIP 회로로 구현된 경우에, 도 2와 같이 표시패널(PNL)의 좌측 GIP 회로(GIP)와 우측 GIP 회로(GIP) 각각에 스타트 펄스(VST(L), VST(R))와 시프트 클럭(CLK(L), CLK(R))이 공급된다.
- [0027] 좌측 GIP 회로(GIP)는 기수 번째 게이트 라인들($G_1, G_3, \dots, G_{n-1}$)에 게이트 펄스를 순차적으로 공급하는 제1 시프트 레지스터를 포함한다. 우측 GIP 회로(GIP)는 표시패널(PNL)의 우측에 배치되어 우수 번째 게이트 라인들($G_2, G_4, \dots, G_n$)에 게이트 펄스를 순차적으로 공급하는 제2 시프트 레지스터를 포함한다.
- [0028] 제1 시프트 레지스터는 종속적으로 접속된 스테이지들($SL_1 \sim SL_{n/2}$)을 포함한다. 제1 시프트 레지스터의 스테이지들($SL_1 \sim SL_{n/2}$)은 스타트 펄스(VST(L))에 응답하여 게이트 펄스를 출력하기 시작하고, 시프트 클럭(CLK(L))에 응답하여 게이트 펄스를 시프트한다. 스테이지들($SL_1 \sim SL_{n/2}$) 각각으로부터 출력된 게이트 펄스는 기수 번째 게이트 라인($G_1, G_3, \dots, G_{n-1}$)에 공급됨과 동시에 캐리 신호(Gout_Pre)로서 다음 스테이지에 입력된다.
- [0029] 제2 시프트 레지스터는 종속적으로 접속된 스테이지들($SR_1 \sim SR_{n/2}$)을 포함한다. 제1 시프트 레지스터의 스테이지들($SR_1 \sim SR_{n/2}$)은 스타트 펄스(VST(R))에 응답하여 게이트 펄스를 출력하기 시작하고, 시프트 클럭(CLK(R))에 응답하여 게이트 펄스를 시프트한다. 스테이지들($SR_1 \sim SR_{n/2}$) 각각으로부터 출력된 게이트 펄스는 우수 번째 게이트 라인($G_2, G_4, \dots, G_n$)에 공급됨과 동시에 캐리 신호(Gout_Pre)로서 다음 스테이지에 입력된다.
- [0030] GIP 회로(GIP)의 스테이지들 각각은 도 3과 같이 CMOS 트랜지스터를 포함한 SR 래치(Latch)로 동작한다. 스테이지들 각각은 도 3과 같이 캐리 신호(Gout_Pre)와 제1 클럭(CLKA)을 이용한 오토 리셋(Auto reset)과, 제1 클럭(CLKA)을 이용하여 버퍼 오프 타이밍을 제어한다. 따라서, 본 발명은 도 2에서 점선으로 표시된 리셋 신호 배선과 더미 스테이지(또는 End generator)가 필요 없으므로 이 구성 요소들이 GIP 회로에서 삭제되어 네로우 베젤 설계가 용이하다.
- [0031] 도 3은 도 2에 도시된 스테이지를 상세히 보여 주는 회로도이다. 도 3에 도시된 회로는 제n(n은 양의 정수) 스테이지 회로이다. 도 3에서, M1, M3, M5, M7, M9 및 M11은 n 타입 MOSFET(이하, “NMOS”라 함)로 구현되고, M2, M4, M6, M8 및 M10은 p 타입 MOSFET(이하, “PMOS”라 함)로 구현된다. 도 4는 도 3에 도시된 스테이지의

동작을 보여 주는 파형도이다.

- [0032] 도 3 및 도 4를 참조하면, 스테이지들 각각은 오토 리셋 회로(31), 래치(Latch)(32), 및 버퍼(33)를 포함한다.
- [0033] 시프트 레지스터 각각에 시프트 클럭(시프트 클럭(CLK(L), CLK(R))과, 이전 스테이지로부터 수신되는 캐리신호(Gout_Pre) 또는 스타트 펄스(VST(L), VST(R)), 게이트 하이 전압(VGH), 및 게이트 로우 전압(VGL)이 입력된다.
- [0034] 제1 스테이지를 제외한 제n 스테이지에 입력되는 캐리 신호(Gout_Pre)는 제n-1 스테이지의 출력(Gout)이다. 제1 스테이지(SL1, SR1)에는 캐리신호(Gout_Pre)가 입력되지 않고 스타트 펄스(VST(L), VST(R))가 입력된다. 시프트 클럭(CLK(L), CLK(R))은 제1 클럭(CLKA)과, 제1 클럭(CLKA)에 대하여 위상차가 있는 제2 클럭(CLKB)을 포함한다. 제2 클럭(CLKB)은 제1 클럭(CLKA)에 이어서 발생된다. 제1 클럭(CLKA)은 캐리 신호(Gout_Pre)와 동기된다. GIP 회로가 표시패널(PNL)의 일측 베젤에 형성되는 경우, 제2 클럭(CLKB)은 제1 클럭(CLKA)의 역위상으로 발생될 수 있다.
- [0035] 오토 리셋 회로(31)와 버퍼(33) 각각은 트랜스미션 게이트(Transmission Gate, 이하 “TG” 라 함)를 포함한다. TG는 NMOS와 PMOS가 병렬로 연결되어 온 저항(R_{ON})을 낮추고, 풀 레인지(Full range) 전압 구동이 가능한 스위치 소자이다. 예를 들어, $V_{GH} = 10V$, $V_{GL} = 0V$, $V_{th} = 1V$, $V_{gs} = 10V$ 일 때 구동 Range는 1~10V일 때 NMOS의 출력 전압 레인지는 1~10V이고, PMOS의 출력 전압 레인지는 0~9V이다. 여기서, V_{th} 는 문턱 전압이고, V_{gs} 는 게이트-소스간 전압이다. TG는 NMOS와 PMOS를 병렬로 연결하여 그 출력 전압 레인지가 0~10V 즉, 풀 레인지로 구동할 수 있다.
- [0036] 오토 리셋 회로(31)는 제1 클럭(CLKA)과 제n-1 스테이지로부터 수신된 캐리신호(Gout_Pre)를 입력 받는다. 오토 리셋 회로(31)는 $CLKA = high$, $Gout_Pre = low$ 일 때 $Q = low$ 로 조절하고, $CLKA = high$, $Gout_Pre = high$ 일 때 $Q = high$ 로 조절한다. 오토 리셋 회로(31)는 제1 TG(M1, M2), 제2 PMOS(M3) 및 제2 NMOS(M4)를 포함한다. 제1 TG는 병렬로 연결된 제1 NMOS(M1)와 제1 PMOS(M2)를 포함한다. 제1 TG에 제1 클럭(CLKA)과 캐리신호(Gout_Pre)가 입력된다.
- [0037] 제1 NMOS(M1)는 제1 클럭(CLKA)에 응답하여 턴-온(turn-on)된다. 제1 NMOS(M1)는 제1 클럭(CLKA)이 입력되는 게이트, 캐리신호(Gout_Pre)가 입력되는 드레인, 및 Q 노드에 연결된 소스를 포함한다.
- [0038] 제1 PMOS(M2)는 제1 클럭(CLKA)에 따라 온/오프되는 제2 PMOS(M3)와 제2 NMOS(M4)의 출력과, 캐리 신호(Gout_Pre)에 응답하여 턴-온된다. 제1 PMOS(M2)는 제2 NMOS(M3)와 제2 PMOS(M4)의 드레인에 연결된 게이트, 캐리신호(Gout_Pre)가 입력되는 소스, 및 Q 노드에 연결된 드레인을 포함한다.
- [0039] 제2 NMOS(M3)와 제2 PMOS(M4)는 제1 클럭(CLKA)에 응답하여 상보적으로 동작하여 제1 PMOS(M2)의 게이트를 충전한다. 제2 NMOS(M3)가 제1 클럭(CLKA)에 응답하여 턴-온될 때, 제2 PMOS(M4)는 턴-오프(turn-off)된다. 반대로, 제2 PMOS(M4)가 턴-온될 때, 제2 NMOS(M3)는 턴-온된다. 제2 NMOS(M3)는 제1 클럭(CLKA)이 입력되는 게이트, 제1 PMOS(M2)의 게이트에 연결된 드레인, 및 VGL 라인(또는 저전위 전원 라인)에 연결된 소스를 포함한다. 제2 PMOS(M4)는 제1 클럭(CLKA)이 입력되는 게이트, 제1 PMOS(M2)의 게이트에 연결된 드레인, 및 VGH 라인(또는 고전위 전원 라인)에 연결된 소스를 포함한다. VGL 라인은 게이트 로우 전압(VGL)을 공급 받는다. VGH 라인은 게이트 하이 전압(VGH)을 공급 받는다.
- [0040] 오토 리셋 회로(31)의 출력 노드는 제1 NMOS(M1)의 소스와 제1 PMOS(M2)의 드레인에 연결되고, Q 노드(Q)에 연결된다. 오토 리셋 회로(31)의 출력 신호는 Q 노드(Q)에 공급된다. 래치(32)는 오토 리셋 회로(31)의 출력 신호에 응답하여 Q 노드(Q)와 QB 노드(QB)를 충전한다.
- [0041] 래치(32)는 폐루프(closed loop) 형태의 궤환(feedback) 회로로 연결된 두 개의 인버터들(INV1, INV2)을 포함하여 Q 노드(Q)의 전압의 반전 상태로 QB 노드(QB)의 전압을 조절한다. 제1 인버터(INV1)는 제3 NMOS(M5)와 제3 PMOS(M6)를 포함한다. 제2 인버터(INV2)는 제4 NMOS(M7)와 제4 PMOS(M8)를 포함한다.
- [0042] 제1 인버터(INV1)는 Q 노드(Q)의 반전 신호를 QB 노드(QB)에 공급한다. 제3 NMOS(M5)는 오토 리셋 회로(31)의 출력 노드와 Q 노드(Q)에 연결된 게이트, QB 노드(QB)에 연결된 드레인, 및 VGL 라인에 연결된 소스를 포함한다. 제3 PMOS(M6)는 오토 리셋 회로(31)의 출력 노드와 Q 노드(Q)에 연결된 게이트, QB 노드에 연결된 드레인, 및 VGH 라인에 연결된 소스를 포함한다.

- [0043] 제2 인버터는 QB 노드(Q)의 반전 신호를 Q 노드(Q)에 공급한다. 제4 NMOS(M7)는 QB 노드(QB)에 연결된 게이트, Q 노드(Q)에 연결된 드레인, 및 VGL 라인에 연결된 소스를 포함한다. 제4 PMOS(M8)는 QB 노드(QB)에 연결된 게이트, Q 노드(Q)에 연결된 드레인, 및 VGH 라인에 연결된 소스를 포함한다.
- [0044] 버퍼(33)는 Q = high 이고, CLKB = high일 때 출력 전압(Gout)을 상승시키고, QB = high일 때 출력 전압(Gout)을 떨어뜨린다. 버퍼(33)는 Q 노드(Q)의 전압에 응답하여 제2 클럭(CLKB)을 출력 단자에 공급하여 출력 전압(Gout)을 상승(rising)시키는 풀업 트랜지스터(Pull-up transistor)와, QB 노드(QB)의 전압에 응답하여 출력 단자를 방전시켜 출력 전압(Gout)을 하강(falling)시키는 풀다운 트랜지스터(Pull-down transistor)를 포함한다. 풀업 트랜지스터는 제2 TG(M10, M11)을 포함한다. 풀다운 트랜지스터는 제6 NMOS(M9)를 포함한다. 출력 전압(Gout)은 게이트 라인에 공급되는 게이트 펄스이다.
- [0045] 제2 TG는 병렬로 연결된 제5 NMOS(M11)와 제5 PMOS(M10)를 포함한다. 제2 TG에 제2 클럭(CLKB)이 입력된다. 제5 PMOS(M10)는 QB 노드(QB)와 연결된 게이트, 출력 단자에 연결된 드레인, 및 제2 클럭(CLKB)이 입력되는 소스를 포함한다. 제5 NMOS(M11)는 Q 노드(Q)와 연결된 게이트, 출력 단자에 연결된 소스, 및 제2 클럭(CLKB)이 입력되는 드레인을 포함한다.
- [0046] 제6 NMOS(M9)는 QB 노드(QB)에 연결된 게이트, 출력 단자에 연결된 드레인, 및 VGL 라인에 연결된 소스를 포함한다.
- [0047] 제n 스테이지에서 TFT들(M1~M11)의 온/오프 타이밍은 도 4 및 표 1과 같다.

표 1

TFT	t1	t2	t3	t4	t5	t6	t7	t8	t9	t0
M1	OFF	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF	ON
M2	OFF	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF	ON
M3	OFF	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF	ON
M4	ON	OFF	ON	ON	ON	OFF	ON	ON	ON	OFF
M5	Abnormal	OFF	OFF	OFF	OFF	ON	ON	ON	ON	OFF
M6	Abnormal	ON	ON	ON	ON	OFF	OFF	OFF	OFF	ON
M7	Abnormal	ON	ON	ON	ON	OFF	OFF	OFF	OFF	ON
M8	Abnormal	OFF	OFF	OFF	OFF	ON	ON	ON	ON	OFF
M9	Abnormal	ON	ON	ON	ON	OFF	OFF	OFF	OFF	ON
M11	Abnormal	OFF	OFF	OFF	OFF	ON	ON	ON	ON	OFF

- [0049] 도 3, 도 4 및 표 1을 참조하면, t1 기간은 표시장치의 파워 온(Power On) 직후 시간이다. t1 기간 동안, CLKA = low, CLKB = low, Gout_Pre = low이다. 여기서, low는 게이트 로우 전압(VGL)이다. High는 게이트 하이 전압(VGH)이다. 따라서, t1 기간 동안, Q 노드(Q)와 QB 노드(QB)는 비정상 상태(abnormal)로서 이전 상태에 따라 랜덤한 전압을 갖는다. t1 기간 동안, M4만 온 상태를 유지하고, M1~M3는 오프 상태이다. t1 기간 동안, M5~M11은 랜덤한 비정상 상태이다.
- [0050] t2 기간은 CLKA = high, CLKB = low, Gout_Pre = low 이다. 따라서, M1, M2 및 M3는 턴-온되고, M4는 턴-오프된다. 이와 동시에, M6, M7 및 M9는 턴-온되고, M5, M8, M10 및 M11은 턴-오프된다. t2 기간 동안 Q = low, QB = high로 리셋된다.
- [0051] t3 기간은 CLKA = low, CLKB = low, Gout_Pre = low 이다. t3 기간은 t2 기간과 같은 상태로 유지된다. t4 기간은 CLKA = low, CLKB = high, Gout_Pre = high이다. t4 기간은 t2 기간과 같은 상태로 유지된다. t5 기간은 CLKA = low, CLKB = low, Gout_Pre = low 이다. 따라서, M1, M2 및 M3는 턴-온되고 M4는 턴-오프된다. t5 기간은 t2 기간과 같은 상태로 유지된다. t3~t5 기간 동안, M1~M3는 오프 상태를 유지하고, 나머지 TFT들(M4~M11)은 t2 상태를 유지한다.
- [0052] t6 기간은 CLKA = high, CLKB = low, Gout_Pre = high 이다. t6 기간 동안, M1~M3, M5, M8, M10 및 M11은 턴-온되는 반면, M4, M6, M7 및 M9는 턴-오프된다. 그 결과, Q 노드(Q)는 게이트 하이 전압(VGH)으로 충전되어 Q = high이고, QB 노드는 방전되어 QB = low이다.
- [0053] t7 기간은 CLKA = low, CLKB = low, Gout_Pre = low 이다. t7 기간 동안, M4, M5, M8, M10 및 M11은 턴-온되고, M1~M3, M6, M7, 및 M9는 턴-오프된다. 그 결과, t7 기간 동안 Q = high, QB = low으로 이전 상태를 유지

한다. t7 기간 동안, CLKA = low이고 M1 및 M2는 턴-오프되지만 래치(32)는 Q 노드(Q)와 QB 노드(QB)를 이전 상태로 유지시킨다.

[0054] t8 기간은 CLKA = low, CLKB = high, Gout_Pre = low 이다. t8 기간 동안, M4, M5, M8, M10 및 M11은 턴-온되고, M1~ M3, M6, M7, 및 M9는 턴-오프된다. 그 결과, 제2 TG를 통해 CLKB = high이 출력 단자에 공급되어 출력 전압(Gout)이 라이징된다.

[0055] t9 기간은 CLKA = low, CLKB = low, Gout_Pre = low 이다. t9 기간 동안, M4, M5, M8, M10 및 M11은 턴-온되고, M1~ M3, M6, M7, 및 M9는 턴-오프된다. 그 결과, CLKB = low로 인하여 출력 단자의 전압이 방전되어 출력 전압(Gout)이 폴링된다.

[0056] t10 기간은 CLKA = high, CLKB = low, Gout_Pre = low 이다. t10 기간은 t2 기간과 동일하다. 따라서, M1, M2 및 M3는 턴-온되고 M4는 턴-오프된다. 이와 동시에, M6, M7 및 M9는 턴-온되고 M5, M8, M10 및 M11은 턴-오프된다. t10 기간 동안 Q = low, QB = high로 리셋된다. 제2 클럭(CLKA)은 t10 기간에 제2 TG를 오프를 턴-오프시켜 버퍼(33)의 구동 타이밍을 제어한다.

[0057] 이상에서 살펴 본 바와 같이, 본 발명의 게이트 구동회로는 스테이지들 각각에 오토 리셋 회로가 내장되어 별도의 리셋 신호 배선이 필요 없고, 제1 클럭을 이용하여 버퍼의 오프 타이밍을 제어할 수 있으므로 더미 스테이지(또는 End generator) 없이 출력 전압(Vout)을 방전시킬 수 있다.

[0058] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0059] PNL : 표시패널 SIC : 데이터 구동회로

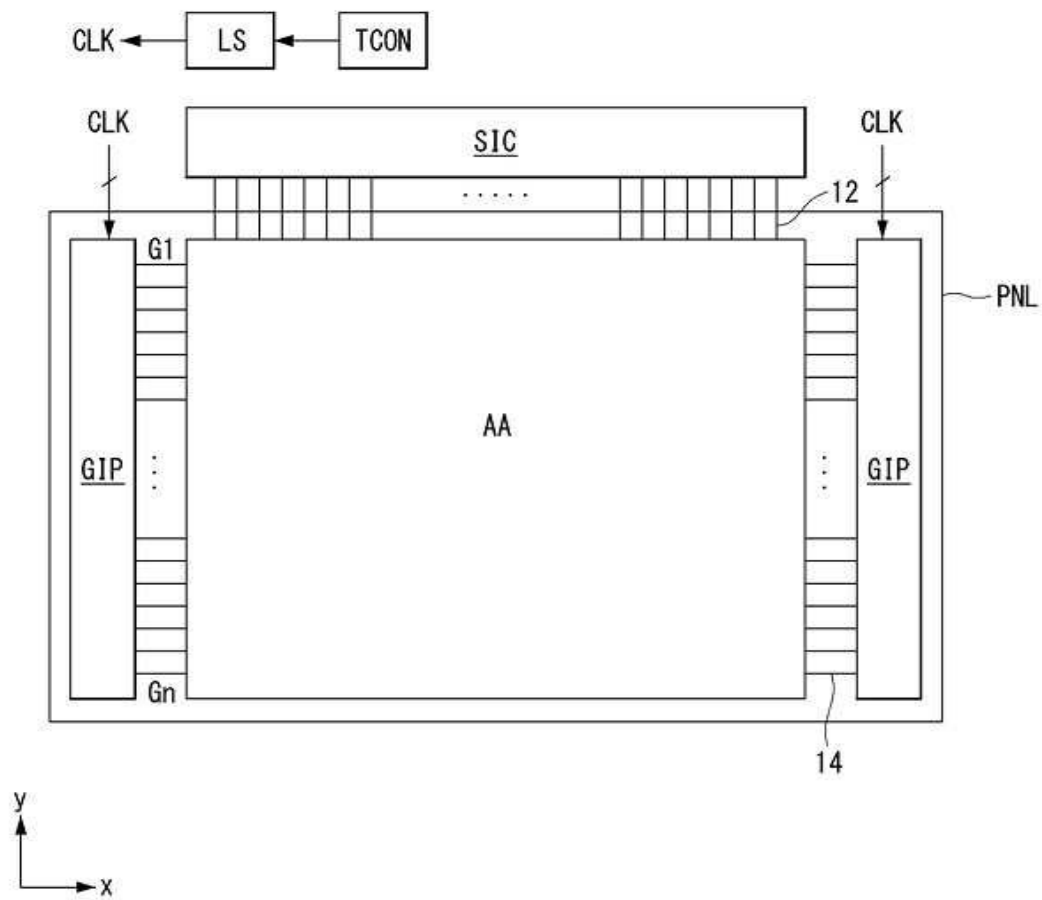
GIP : 게이트 구동회로 31 : 오토 리셋 회로

32 : 래치 33 : 버퍼

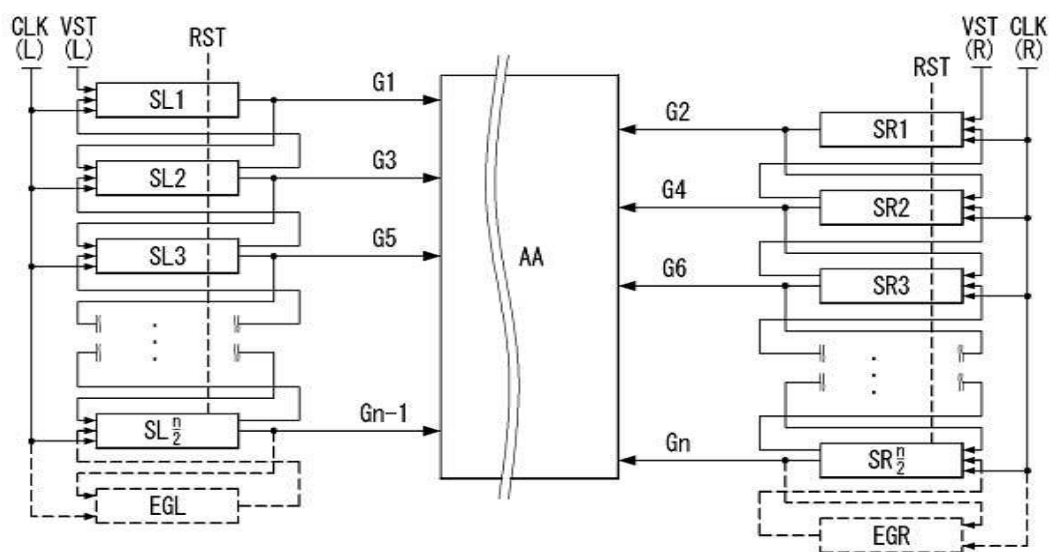
M1, M3, M5, M7, M9, M11 : NMOS M2, M4, M6, M8, M10 : PMOS

도면

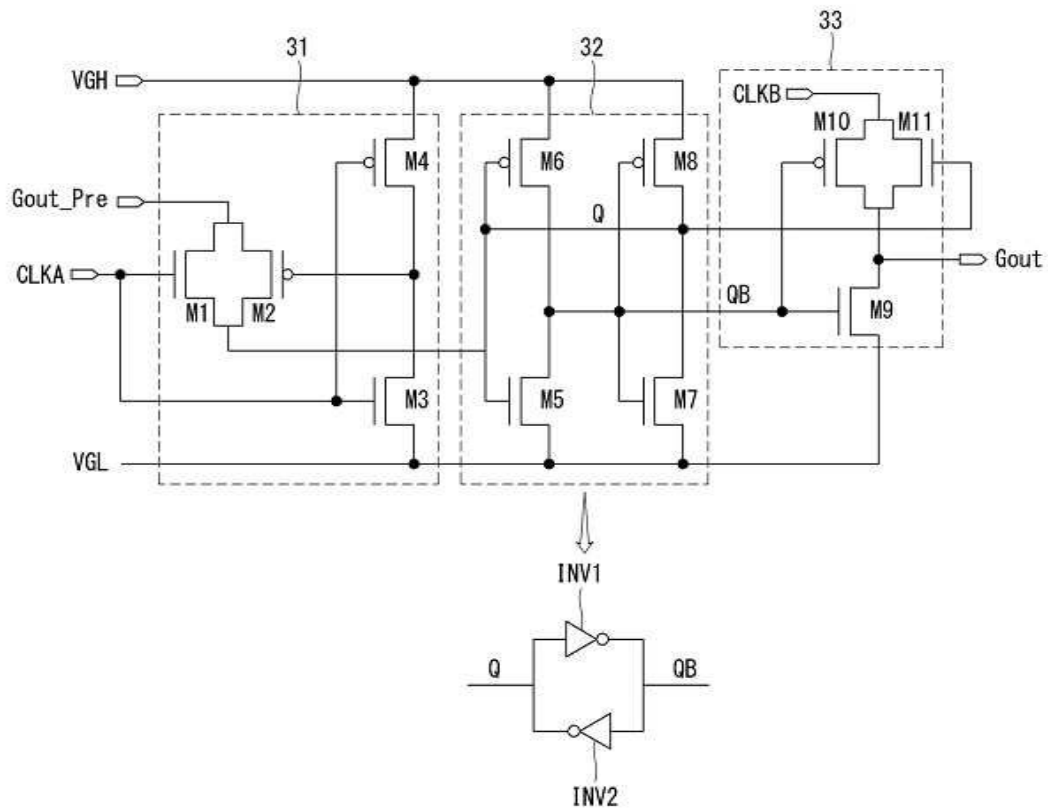
도면1



도면2



도면3



도면4

