



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0071217
(43) 공개일자 2017년06월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/32 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2015-0179281
(22) 출원일자 2015년12월15일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김병일
경상북도 구미시 산호대로39길 25 옥계e-편한세상
아파트 107동 804호
최석환
광주광역시 서구 하남대로680번길 10 호반베르디
움아파트 503동 1401호
(74) 대리인
특허법인인벤투스

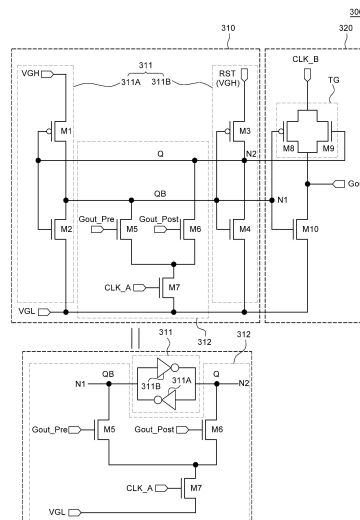
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 게이트 구동회로 및 이를 포함하는 표시 장치

(57) 요약

게이트 구동회로 및 이를 포함하는 표시 장치가 제공된다. 게이트 구동회로는 복수의 스테이지를 포함한 시프트 레지스터(shift register)를 포함한다. 복수의 스테이지 중 제n 스테이지는 QB 노드에 연결된 제1 NMOS 트랜지스터, Q 노드에 연결된 제2 NMOS 트랜지스터 및 제1 클럭이 입력되는 게이트 전극을 갖고, 제1 NMOS 트랜지스터 및 제2 NMOS 트랜지스터에 연결된 제3 NMOS 트랜지스터를 포함하는 래치 제어 회로를 포함한다. 래치는 Q 노드와 QB 노드 사이에 연결된다. 트랜스미션 게이트(transmission gate)는 Q 노드 및 QB 노드와 연결되고, 제2 클럭이 입력되는 소스 전극을 포함한다. n은 양의 정수이다. 본 발명의 일 실시예에 따른 게이트 구동회로에서는 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호가 제1 클럭에 동기되어 글리치를 억제하도록 제어될 수 있다.

대표도 - 도3



(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

복수의 스테이지를 포함한 시프트 레지스터(shift register)를 포함하고,

상기 복수의 스테이지 중 제 n 스테이지는,

QB 노드에 연결된 제1 NMOS 트랜지스터, Q 노드에 연결된 제2 NMOS 트랜지스터 및 제1 클럭이 입력되는 게이트 전극을 갖고, 상기 제1 NMOS 트랜지스터 및 상기 제2 NMOS 트랜지스터에 연결된 제3 NMOS 트랜지스터를 포함하는 래치 제어 회로;

상기 Q 노드와 상기 QB 노드 사이에 연결된 래치; 및

상기 Q 노드 및 상기 QB 노드와 연결되고, 제2 클럭이 입력되는 소스 전극을 갖는 트랜스미션 게이트(transmission gate)를 포함하는 버퍼를 포함하고,

상기 n 은 양의 정수인, 게이트 구동회로.

청구항 2

제1항에 있어서,

상기 래치 제어 회로는,

상기 제1 NMOS 트랜지스터는 제1 캐리 신호가 입력되는 게이트 전극 및 상기 QB 노드와 연결된 드레인 전극을 포함하고,

상기 제2 NMOS 트랜지스터는 제2 캐리 신호가 입력되는 게이트 전극 및 상기 Q 노드와 연결된 드레인 전극을 포함하는, 게이트 구동회로.

청구항 3

제1항에 있어서,

상기 제3 NMOS 트랜지스터는,

저전위 전원라인에 연결된 소스 전극, 및 상기 제1 NMOS 트랜지스터의 소스 전극과 상기 제2 NMOS 트랜지스터의 소스 전극에 연결된 드레인 전극을 포함하는, 게이트 구동회로.

청구항 4

제1항에 있어서,

상기 래치는 페루프 형태의 궤환(feedback) 회로로 연결된 제1 인버터 및 제2 인버터를 포함하고,

상기 제1 인버터는,

상기 Q 노드에 연결된 게이트 전극, 상기 QB 노드에 연결된 드레인 전극 및 저전위 전원라인에 연결된 소스 전극을 갖는 제4 NMOS 트랜지스터; 및

상기 Q 노드에 연결된 게이트 전극, 상기 QB 노드에 연결된 드레인 전극 및 고전위 전원라인에 연결된 소스 전극을 갖는 제1 PMOS 트랜지스터를 포함하고,

상기 제2 인버터는,

상기 QB 노드에 연결된 게이트 전극, 상기 Q 노드에 연결된 드레인 전극 및 저전위 전원라인에 연결된 소스 전극을 갖는 제5 NMOS 트랜지스터; 및

상기 QB 노드에 연결된 게이트 전극, 상기 Q 노드에 연결된 드레인 전극 및 고전위 전원라인에 연결된 소스 전

극을 갖는 제2 PMOS 트랜지스터를 포함하는, 게이트 구동회로.

청구항 5

제1항에 있어서,

상기 버퍼는,

상기 QB 노드에 연결된 게이트 전극, 저전위 전원라인에 연결된 드레인 전극 및 상기 트랜스미션 게이트의 드레인 전극에 연결된 소스 전극을 갖는 풀다운 트랜지스터를 포함하는, 게이트 구동회로.

청구항 6

제5항에 있어서,

상기 트랜스미션 게이트는,

상기 Q 노드의 신호가 입력되는 게이트 전극 및 상기 풀다운 트랜지스터의 드레인 전극 및 출력 노드에 연결된 드레인 전극을 갖는 제6 NMOS 트랜지스터; 및

상기 QB 노드의 신호가 입력되는 게이트 전극 및 상기 풀다운 트랜지스터의 드레인 전극 및 상기 출력 노드에 연결된 드레인 전극을 갖는 제3 PMOS 트랜지스터를 포함하는, 게이트 구동회로.

청구항 7

복수의 스테이지로 구성된 시프트 레지스터를 포함하고,

상기 복수의 스테이지 중 제 n 스테이지는,

제1 클럭, 제 $n-1$ 스테이지로부터 수신된 제1 캐리 신호 및 제 $n+1$ 스테이지로부터 수신된 제2 캐리 신호를 기초로, 상기 제1 클럭 및 상기 제1 캐리 신호가 하이 전압인 경우 QB 노드를 로우 전압으로 조절하고, 상기 제1 클럭 및 상기 제2 캐리 신호가 하이 전압인 경우 Q 노드를 로우 전압으로 조절하는 래치 제어 회로;

상기 Q 노드와 상기 QB 노드 사이에 연결된 래치; 및

상기 Q 노드의 전압이 하이 전압인 경우 제2 클럭에 동기되어 출력 전압을 상승시키고, 상기 QB 노드의 전압이 하이 전압인 경우 상기 출력 전압을 하강시키는 버퍼를 포함하고,

상기 n 은 양의 정수인, 게이트 구동회로.

청구항 8

제7항에 있어서,

상기 래치 제어 회로는,

상기 제1 클럭을 수신하여 상기 제1 캐리 신호의 노이즈 신호 및 상기 제2 캐리 신호의 노이즈 신호 중 적어도 하나에 의해 발생하는 출력 전압의 노이즈를 억제하도록 구성되는, 게이트 구동회로.

청구항 9

제7항에 있어서,

상기 래치 제어 회로는,

상기 제1 캐리 신호에 동기되어 상기 제1 캐리 신호의 노이즈 신호에 의한 상기 Q 노드의 전압 상승을 억제하도록 구성되는, 게이트 구동회로.

청구항 10

제7항에 있어서,

상기 래치 제어 회로는,

상기 제2 캐리 신호에 동기되어 상기 제2 캐리 신호의 노이즈 신호에 의한 상기 QB 노드의 전압 하강을 억제하

도록 구성되는, 게이트 구동회로.

청구항 11

제7항에 있어서,

상기 래치는,

상기 Q 노드의 전압과 상기 QB 노드의 전압을 반전시켜 상기 출력 전압을 제어하는, 게이트 구동회로.

청구항 12

제7항에 있어서,

상기 버퍼는,

상기 QB 노드의 전압에 대응하여 출력 노드를 방전시켜 상기 출력 전압을 하강시키는 풀다운(pull-down) 트랜지스터를 포함하는, 게이트 구동회로.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 구동회로 및 이를 포함하는 표시 장치에 관한 것으로서, 보다 상세하게는 글리치(glitch)를 저감시킬 수 있는 게이트 구동회로 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 모바일폰, 태블릿, 노트북 컴퓨터, 텔레비전 및 모니터와 같은 다양한 전자 디바이스에 평면 패널 표시 장치(flat panel display; FPD)가 채용되었다. 최근 FPD에는 액정 표시 장치(Liquid Crystal Display Device, 이하 'LCD' 라 함), 유기 발광 다이오드 표시 장치(Organic Light Emitting Diode Display, 이하 'OLED' 라 함) 등이 있다. 이와 같은 표시 장치는 복수의 화소를 포함하고, 영상이 표시되고 복수의 화소로 이루어진 화소 어레이와 복수의 화소 각각에서 광이 투과되거나 발광되도록 제어하는 구동회로를 포함한다. 표시 장치의 구동회로는 화소 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동회로, 데이터 신호에 동기되는 게이트 신호(또는 스캔 신호)를 화소 어레이의 게이트 라인들(또는 스캔 라인)에 순차적으로 공급하는 게이트 구동회로(또는 스캔 구동회로) 및 데이터 구동회로와 게이트 구동회로를 제어하는 타이밍 컨트롤러 등을 포함한다.

[0003] 복수의 화소 각각은 게이트 라인을 통해 공급되는 게이트 신호에 응답하여 데이터 라인의 전압을 화소 전극에 공급하는 박막 트랜지스터(Thin Film Transistor)를 포함할 수 있다. 게이트 신호는 게이트 하이 전압(Gate High Voltage; VGH)과 게이트 로우 전압(Gate Low Voltage; VGL) 사이에서 스윙(swing)한다. 즉, 게이트 신호는 펄스 형태로 나타난다. 게이트 하이 전압(VGH)은 표시 패널에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다. 화소들의 박막 트랜지스터는 게이트 하이 전압에 응답하여 턴-온(turn-on)된다.

[0004] 최근 표시 장치가 박형화됨에 따라 게이트 구동회로를 화소 어레이와 함께 표시 패널에 내장하는 기술이 개발되고 있다. 이와 같이 표시 패널에 내장된 게이트 구동회로는 "GIP(Gate In Panel) 회로"로 알려져 있다. 여기서, 게이트 구동회로는 게이트 신호를 생성하기 위한 시프트 레지스터(shift register)를 포함한다. 시프트 레지스터는 종속적으로 접속된 복수의 스테이지(stage)를 포함한다. 복수의 스테이지는 스타트 신호에 응답하여 출력을 발생시키고 그 출력을 시프트 클럭에 따라 시프트시킨다. 이에 따라, 게이트 구동회로는 시프트 레지스터에서의 복수의 스테이지를 순차적으로 구동하여 게이트 신호를 생성할 수 있다.

[0005] 시프트 레지스터의 스테이지는 게이트 라인을 충전시키는 Q 노드와, 게이트 라인을 방전시키는 QB(Q bar) 노드, Q 노드와 QB 노드에 연결된 스위치 회로를 포함한다. 스위치 회로는 스타트 신호 또는 이전 스테이지의 출력 전압에 응답하여 Q 노드를 충전시켜 게이트 라인에서의 출력 전압을 상승시키고, 다음 스테이지의 출력 전압 또는 리셋 신호에 응답하여 QB 노드를 방전시킨다.

[0006] 이와 같이 스테이지 각각은 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호에 종속적으로 구동하여 게이트 신호를 출력한다. 이에, 이전 스테이지의 출력 신호에 글리치(glitch)와 같은 노이즈 신호가 존재하는 경우, 이전 스테이지의 노이즈 신호에 의해 Q 노드가 충전되어, 원하지 않는 타이밍에 게이트 신호가 출력되는

문제가 발생할 수 있다. 또한, 다음 스테이지의 출력 신호에 글리치와 같은 노이즈 신호가 존재하는 경우에도, 다음 스테이지의 노이즈 신호에 의해 QB 노드가 방전되어, 게이트 신호가 출력되어야 하는 타이밍에 게이트 신호가 출력되지 않는 문제가 발생할 수 있다. 즉, 스테이지의 출력 신호가 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호에 종속되어, 글리치와 같은 노이즈 신호에 의해 출력되는 게이트 신호의 안정성에 문제가 발생할 수 있다.

[0007] 이에, 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호를 제어하여 글리치에 의한 문제점을 저감시킬 수 있는 게이트 구동회로 및 이를 포함하는 표시 장치에 대한 필요성이 존재한다.

[0008] [관련기술문헌]

[0009] 1. 게이트 드라이버 및 이를 포함하는 표시 장치 (한국공개특허번호 제 10-2015-0116102 호)

발명의 내용

해결하려는 과제

[0010] 본 발명의 발명자들은 상술한 바와 같이 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호에 종속된 게이트 신호의 불안정성 문제를 해결하기 위해, 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호를 제어하는 회로를 포함하는 게이트 구동회로 및 이를 포함하는 표시 장치의 새로운 구조를 발명하였다.

[0011] 이에, 본 발명이 해결하고자 하는 과제는 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호를 제어하여 게이트 신호의 글리치를 저감시킬 수 있는 게이트 구동회로 및 이를 포함하는 표시 장치를 제공하는 것이다.

[0012] 또한, 본 발명이 해결하고자 하는 다른 과제는 게이트 신호의 글리치를 저감시키는 제어 회로를 통해 이전 스테이지의 노이즈 신호 및 다음 스테이지의 노이즈 신호에 대한 게이트 신호의 출력 안정성을 극대화할 수 있는 게이트 구동회로 및 이를 포함하는 표시 장치를 제공하는 것이다.

[0013] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0014] 본 발명의 일 실시예에 따른 게이트 구동회로가 제공된다. 게이트 구동회로는 복수의 스테이지를 포함한 시프트 레지스터(shift register)를 포함한다. 복수의 스테이지 중 제 n 스테이지는 QB 노드에 연결된 제1 NMOS 트랜지스터, Q 노드에 연결된 제2 NMOS 트랜지스터 및 제1 클럭이 입력되는 게이트 전극을 갖고, 제1 NMOS 트랜지스터 및 제2 NMOS 트랜지스터에 연결된 제3 NMOS 트랜지스터를 포함하는 래치 제어 회로를 포함한다. 래치는 Q 노드와 QB 노드 사이에 연결된다. 버퍼는 Q 노드 및 QB 노드와 연결되고, 제2 클럭이 입력되는 소스 전극을 갖는 트랜스미션 게이트(transmission gate)를 포함한다. n 은 양의 정수이다. 본 발명의 일 실시예에 따른 게이트 구동회로에서는 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호가 제1 클럭에 동기되어 글리치를 억제하도록 제어될 수 있다.

[0015] 래치 제어 회로는 제1 NMOS 트랜지스터는 제1 캐리 신호가 입력되는 게이트 전극 및 QB 노드와 연결된 드레인 전극을 포함하고, 제2 NMOS 트랜지스터는 제2 캐리 신호가 입력되는 게이트 전극 및 Q 노드와 연결된 드레인 전극을 포함한다.

[0016] 제3 NMOS 트랜지스터는 저전위 전원라인에 연결된 소스 전극, 및 제1 NMOS 트랜지스터의 소스 전극과 제2 NMOS 트랜지스터의 소스 전극에 연결된 드레인 전극을 포함한다.

[0017] 래치는 페루프 형태의 궤환(feedback) 회로로 연결된 제1 인버터 및 제2 인버터를 포함하고, 제1 인버터는, Q 노드에 연결된 게이트 전극, QB 노드에 연결된 드레인 전극 및 저전위 전원라인에 연결된 소스 전극을 갖는 제4 NMOS 트랜지스터, 및 Q 노드에 연결된 게이트 전극, QB 노드에 연결된 드레인 전극 및 고전위 전원라인에 연결된 소스 전극을 갖는 제1 PMOS 트랜지스터를 포함하고, 제2 인버터는, QB 노드에 연결된 게이트 전극, Q 노드에 연결된 드레인 전극 및 저전위 전원라인에 연결된 소스 전극을 갖는 제5 NMOS 트랜지스터, 및 QB 노드에 연결된 게이트 전극, Q 노드에 연결된 드레인 전극 및 고전위 전원라인에 연결된 소스 전극을 갖는 제2 PMOS 트랜지스터를 포함한다.

[0018] 버퍼는 QB 노드에 연결된 게이트 전극, 저전위 전원라인에 연결된 드레인 전극 및 트랜스미션 게이트의 드레인

전극에 연결된 소스 전극을 갖는 풀다운 트랜지스터를 포함한다.

- [0019] 트랜스미션 게이트는 Q 노드의 신호가 입력되는 게이트 전극 및 풀다운 트랜지스터의 드레인 전극 및 출력 노드에 연결된 드레인 전극을 갖는 제6 NMOS 트랜지스터, 및 QB 노드의 신호가 입력되는 게이트 전극 및 풀다운 트랜지스터의 드레인 전극 및 출력 노드에 연결된 드레인 전극을 갖는 제3 PMOS 트랜지스터를 포함한다.
- [0020] 본 발명의 다른 실시예에 따른 게이트 구동회로가 제공된다. 게이트 구동회로는 복수의 스테이지로 구성된 시프트 레지스터를 포함한다. 복수의 스테이지 중 제n 스테이지는 제1 클럭, 제n-1 스테이지로부터 수신된 제1 캐리 신호 및 제n+1 스테이지로부터 수신된 제2 캐리 신호를 기초로, 제1 클럭 및 제1 캐리 신호가 하이 전압인 경우 QB 노드를 로우 전압으로 조절하고, 제1 클럭 및 제2 캐리 신호가 하이 전압인 경우 Q 노드를 로우 전압으로 조절하는 래치 제어 회로를 포함한다. 래치는 Q 노드와 QB 노드 사이에 연결된다. 버퍼는 Q 노드의 전압이 하이 전압인 경우 제2 클럭에 동기되어 출력 전압을 상승시키고, QB 노드의 전압이 하이 전압인 경우 출력 전압을 하강시킨다. n은 양의 정수이다. 본 발명의 다른 실시예에 따른 게이트 구동회로에 의해 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호의 영향을 제어하여 게이트 신호의 글리치가 저감될 수 있다.
- [0021] 래치 제어 회로는 제1 클럭을 수신하여 제1 캐리 신호의 노이즈 신호 및 제2 캐리 신호의 노이즈 신호 중 적어도 하나에 의해 발생하는 출력 전압의 노이즈를 억제하도록 구성된다.
- [0022] 래치 제어 회로는 제1 캐리 신호에 동기되어 제1 캐리 신호의 노이즈 신호에 의한 Q 노드의 전압 상승을 억제하도록 구성된다.
- [0023] 래치 제어 회로는 제2 캐리 신호에 동기되어 제2 캐리 신호의 노이즈 신호에 의한 QB 노드의 전압 하강을 억제하도록 구성된다.
- [0024] 래치는 Q 노드의 전압과 QB 노드의 전압을 반전시켜 출력 전압을 제어한다.
- [0025] 버퍼는 QB 노드의 전압에 대응하여 출력 노드를 방전시켜 출력 전압을 하강시키는 풀다운(pull-down) 트랜지스터를 포함한다.
- [0026] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0027] 본 발명은 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호를 효율적으로 제어할 수 있는 회로를 포함하는 게이트 구동회로 및 이를 포함하는 표시 장치를 제작할 수 있다.
- [0028] 또한, 본 발명은 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호를 입력받는 스위치를 제어하여 게이트 신호의 글리치를 저감시킬 수 있는 게이트 구동회로 및 이를 포함하는 표시 장치를 제작할 수 있다.
- [0029] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 게이트 구동회로의 복수의 스테이지와 게이트 드라이버 제어 신호의 관계를 나타내는 블록도이다.
- 도 3은 본 발명의 일 실시예에 따른 도 2에 도시된 복수의 스테이지 중 하나의 스테이지의 구성을 나타내는 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 도 3에 도시된 스테이지에서의 입출력 신호를 나타내는 파형도이다.
- 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 도 4의 파형도의 구간별 스테이지 내부에서 신호의 흐름을 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로

다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0032] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0033] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0034] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0035] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0036] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0037] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0038] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0039] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0040] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다. 도 1을 참조하면, 표시 장치(100)는 표시 패널(PNL)과 표시 패널(PNL)의 화소 어레이(pixel array)(110)에 입력 영상의 데이터를 입력하기 위한 구동회로를 포함한다.
- [0042] 도 1을 참조하면, 표시 패널(PNL)은 복수의 데이터 라인(139), 복수의 데이터 라인(139)과 직교하는 복수의 게이트 라인(149), 및 복수의 데이터 라인(150)과 복수의 게이트 라인(149)에 의해 정의된 매트릭스 형태로 화소들이 배치된 화소 어레이(110)를 포함한다.
- [0043] 도 1을 참조하면, 표시 장치(100)의 구동회로는 복수의 데이터 라인(139)에 데이터 전압을 공급하는 데이터 구동회로(130), 데이터 전압에 동기되는 게이트 신호를 복수의 게이트 라인(149)에 순차적으로 공급하는 게이트 구동회로 및 타이밍 콘트롤러(Timing Controller, TCON)(120)를 포함한다.
- [0044] 타이밍 콘트롤러(120)는 외부의 호스트 시스템으로부터 수신된 입력 영상의 데이터를 데이터 구동회로(130) 및 게이트 구동회로로 전송한다. 타이밍 콘트롤러(120)는 외부의 호스트 시스템으로부터 입력 영상에 동기되는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 도트 클럭 등의 타이밍 신호를 수신한다. 타이밍 콘트롤러(120)는 입력된 타이밍 신호를 기준으로 데이터 구동회로(130)와 게이트 구동회로의 동작 타이밍을 제어하기 위한 다양한 제어 신호를 생성한다. 즉, 타이밍 콘트롤러(120)는 데이터 구동회로(130)를 제어하기 위한 데이터 드라이버 제어 신호(Data Driver Control signal; DDC)를 생성하고, 게이트 구동회로를 제어하기 위한 게이트 드라이버 제어 신호(Gate Driver Control signal; GDC)를 생성한다. 이러한 타이밍 콘트롤러(120)는 표시 패널(PNL)의 외부에 배치될 수 있다. 구체적으로, 타이밍 콘트롤러(120)는 인쇄 회로 기판과 같은 패드부에 배치된다. 이에 따라, 타이밍 콘트롤러(120)는 표시 패널(PNL)의 외부에서 데이터 드라이버 제어 신호(DDC)를 데이터 구동회로(130)로 전송하고, 게이트 드라이버 제어 신호(GDC)를 게이트 드라이버, 즉, GIP 회로(140)로 전송한다.

- [0045] 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 입력 영상의 데이터와 데이터 드라이버 제어 신호(DDC)를 수신한다. 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 전송되는 데이터 드라이버 제어 신호(DDC)에 의해 입력 영상의 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 생성하고, 데이터 전압을 복수의 데이터 라인(150)로 출력한다. 데이터 구동회로(130)는 복수의 소스 전극 드라이버 IC(Integrated Circuit)를 포함한다. 소스 전극 드라이버 IC는 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 복수의 데이터 라인(139)에 접속된다.
- [0046] 게이트 구동회로는 레벨 시프터(Level shifter) 및 GIP 회로(140)를 포함한다. 여기서, 레벨 시프터는 GIP 회로(140)와 물리적으로 분리되어 배치될 수 있다. 레벨 시프터는 표시 패널(PNL)의 외부에 배치될 수 있으며, 표시 패널(PNL)에 연결된 외부 회로부(예를 들어, 인쇄 회로 기판)에 배치될 수 있다.
- [0047] 타이밍 콘트롤러(120)로부터 전송되는 게이트 드라이버 제어 신호(GDC)는 레벨 시프터에 의해 전압 레벨이 변환되어 GIP 회로(140)에 입력된다.
- [0048] 레벨 시프터에 입력되는 신호는 디지털 신호이기 때문에 표시 패널(PNL)의 박막 트랜지스터들을 구동할 수 없다. 이에, 레벨 시프터는 타이밍 콘트롤러(120)로부터 전송된 게이트 드라이버 제어 신호(GDC) 각각의 전압을 시프트(shift)하여 게이트 로우 전압(VGL)과 게이트 하이 전압(VGH) 사이에서 스윙하는 전압을 갖는 신호로 변환한다. 게이트 하이 전압(VGH)은 표시 패널(PNL)에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다.
- [0049] 게이트 구동회로는 GIP 회로(140)의 구동방식에 따라 표시 패널(PNL)의 일측 가장자리에 배치되거나 양측 가장자리에 배치될 수 있다. 도 1에 도시된 게이트 구동회로는 인터레이스(Interlace) 방식의 GIP 회로(140)로 표시 패널(PNL)의 좌측 및 우측 가장자리에 배치된다. 즉, GIP 회로(140)는 표시 패널(PNL)의 좌측에 배치된 제1 GIP 회로(140L) 및 표시 패널(PNL)의 우측에 배치된 제2 GIP 회로(140R)로 이루어진다. 게이트 구동회로가 표시 패널(PNL)에서 배치되는 위치는 도 1에 도시된 바로 한정되지 않고 실시예에 따라 다양하게 구현될 수 있다. 이하에서는 인터레이스 방식의 GIP 회로(140)를 기준으로 게이트 구동회로의 구성 및 동작에 대해서 설명한다.
- [0050] 게이트 구동회로는 화소 어레이(110)와 동시에 표시 패널(PNL)의 기판 상에 형성될 수 있다. 즉, 게이트 구동회로에서 GIP 회로(140)가 표시 패널(PNL)의 양측 베젤 영역에 화소 어레이(110)와 동시에 형성될 수 있다.
- [0051] 본 발명의 일 실시예에 따른 표시 장치(100)는 화소 어레이(110)를 구동하기 위한 타이밍 콘트롤러(120), 데이터 구동회로(130) 및 GIP 회로(140)를 포함한다. 여기서, GIP 회로(140)는 타이밍 콘트롤러(120)로부터 전송된 게이트 드라이버 제어 신호(GDC)에 의해 게이트 라인(149)에 순차적으로 게이트 신호를 공급한다. 특히, GIP 회로(140)는 게이트 드라이버 제어 신호(GDC) 중 게이트 라인에 게이트 신호를 공급하는 타이밍을 제어하는 신호를 수신하여 노이즈 신호에 의한 게이트 신호에 발생할 수 있는 문제를 저감시킬 수 있다. 게이트 구동회로에서 GIP 회로(140)의 구체적인 구성에 대해서는 이하 도 2를 참조하여 후술한다.
- [0052] 도 2는 본 발명의 일 실시예에 따른 게이트 구동회로의 복수의 스테이지와 게이트 드라이버 제어 신호의 관계를 나타내는 블록도이다. 신호 및 클럭에 (L)로 병기된 것은 좌측에 배치된 제1 GIP 회로(140L)에 인가되는 신호 및 클럭을 의미하는 기호이고, (R)로 병기된 것은 우측에 배치된 제2 GIP 회로(140R)에 인가되는 신호 및 클럭을 의미하는 기호이다.
- [0053] 도 2를 참조하면, 게이트 구동회로의 GIP 회로는 화소 어레이(110)의 양측에 배치된다.
- [0054] 게이트 구동회로는 게이트 드라이버 제어 신호(GDC)를 수신하여 게이트 전극 전압을 출력하는 시프트 레지스터를 포함한다. 즉, 게이트 구동회로는 시프트 레지스터를 통해 레벨 시프터에서 생성된 게이트 신호를 게이트 드라이버 제어 신호(GDC)에 의해 GIP 회로(140)를 통해 게이트 라인(149)에 순차적으로 공급한다. 여기서, 게이트 드라이버 제어 신호(GDC)는 게이트 전극 스타트 펄스(Gate Start Pulse; GSP)(VST(L), VST(R)) 및 게이트 전극 시프트 클럭(Gate Shift Clock; GSC)(CLK_A(L), CLK_A(R), CLK_B(L), CLK_B(R)) 등을 포함한다. 구체적으로, 제1 GIP 회로(140L)는 기수(odd) 번째 게이트 라인들(G1, G3, ..., Gn-1)에 게이트 신호를 순차적으로 공급하는 제1 시프트 레지스터를 포함한다. 제2 GIP 회로(140R)는 표시 패널(PNL)의 우측에 배치되어 우수(evne) 번째 게이트 라인들(G2, G4, ..., Gn)에 게이트 신호를 순차적으로 공급하는 제2 시프트 레지스터를 포함한다.
- [0055] 도 2를 참조하면, 시프트 레지스터 각각에는 출력을 발생하지 않고 다른 스테이지에 제2 캐리 신호(Gout_Post)를 공급하는 더미 스테이지들(Dummy stage)이 존재한다. 즉, 제1 시프트 레지스터는 마지막 스테이지(SLn/2)의 다음 스테이지로 제1 더미 스테이지(EG1)를 포함하고, 제2 시프트 레지스터는 마지막 스테이지(SRn/2)의 다음

스테이지로 제2 더미 스테이지(EGR)를 포함한다. 즉, 마지막 게이트 신호를 출력하는 마지막 스테이지($SL_n/2$, $SR_n/2$)에 더미 스테이지(EGL, EGR)가 연결되고, 더미 스테이지(EGL, EGR)는 게이트 신호를 출력하지 않고 마지막 스테이지($SL_n/2$, $SR_n/2$)에 제2 캐리 신호($Gout_Post$)를 공급한다.

- [0056] 각각의 시프트 레지스터는 복수의 스테이지를 포함한다. 구체적으로, 화소 어레이(110)의 좌측에 배치된 제1 시프트 레지스터는 종속적으로 접속된 복수의 스테이지(SL_1 내지 $SL_n/2$)를 포함한다. 제1 시프트 레지스터의 스테이지(SL_1 내지 $SL_n/2$)는 게이트 전극 스타트 펄스($VST(L)$)에 응답하여 게이트 신호를 출력하기 시작하고, 제2 게이트 전극 시프트 클럭($CLK_B(L)$)에 응답하여 게이트 신호를 시프트하여 출력한다. 스테이지(SL_1 내지 $SL_n/2$) 각각으로부터 출력된 게이트 신호는 기수 번째 게이트 라인(G_1 , G_3 , ... G_{n-1})에 공급됨과 동시에 제1 캐리 신호($Gout_Pre$)로서 다음 스테이지에 입력된다.
- [0057] 마찬가지로, 화소 어레이(110)의 우측에 배치된 제2 시프트 레지스터는 종속적으로 접속된 복수의 스테이지(SR_1 내지 $SR_n/2$)를 포함한다. 제2 시프트 레지스터의 스테이지(SR_1 내지 $SR_n/2$)는 게이트 전극 스타트 펄스($VST(R)$)에 응답하여 게이트 신호를 출력하기 시작하고, 제2 게이트 전극 시프트 클럭($CLK_B(R)$)에 응답하여 게이트 신호를 시프트하여 출력한다. 스테이지(SR_1 내지 $SR_n/2$) 각각으로부터 출력된 게이트 신호는 우수 번째 게이트 라인(G_2 , G_4 , ... G_n)에 공급됨과 동시에 제1 캐리 신호($Gout_Pre$)로서 다음 스테이지에 입력된다.
- [0058] 나아가, 제1 시프트 레지스터의 스테이지(SL_1 내지 $SL_n/2$)에는 제1 게이트 전극 시프트 클럭($CLK_A(L)$)이 입력된다. 제1 게이트 전극 시프트 클럭($CLK_A(L)$)은 제1 캐리 신호($Gout_Pre$) 및 제2 캐리 신호($Gout_Post$)가 제1 시프트 레지스터에 입력되는 타이밍을 제어한다. 마찬가지로, 제2 시프트 레지스터의 스테이지(SR_1 내지 $SR_n/2$)에는 제1 게이트 전극 시프트 클럭($CLK_A(R)$)이 입력된다. 제1 게이트 전극 시프트 클럭($CLK_A(R)$)은 제1 캐리 신호($Gout_Pre$) 및 제2 캐리 신호($Gout_Post$)가 제2 시프트 레지스터에 입력되는 타이밍을 제어한다.
- [0059] 시프트 레지스터 각각에 제1 클럭($CLK_A(L)$, $CLK_A(R)$), 제2 클럭($CLK_B(L)$, $CLK_B(R)$), 이전 스테이지로부터 수신된 제1 캐리 신호($Gout_Pre$) 또는 스타트 펄스($VST(L)$, $VST(R)$), 다음 스테이지로부터 수신된 제2 캐리 신호($Gout_Post$), 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)이 입력된다.
- [0060] 제1 스테이지(SL_1 , SR_1)를 제외한 제 n 스테이지에 입력되는 제1 캐리 신호($Gout_Pre$)는 제 $n-1$ 스테이지의 출력($Gout$)이고, 마지막 스테이지($SL_n/2$, $SR_n/2$)를 제외한 제 n 스테이지에 입력되는 제2 캐리 신호($Gout_Post$)는 제 $n+1$ 스테이지의 출력($Gout$)이다. 제1 스테이지(SL_1 , SR_1)에는 제1 캐리 신호($Gout_Pre$)가 입력되지 않고 스타트 펄스($VST(L)$, $VST(R)$)가 입력된다. 마지막 스테이지($SL_n/2$, $SR_n/2$)에는 제2 캐리 신호($Gout_Post$)가 입력되지 않고 더미 스테이지로부터 리셋 펄스가 입력된다.
- [0061] 게이트 전극 시프트 클럭인 제2 클럭($CLK_B(L)$, $CLK_B(R)$)은 제1 클럭($CLK_A(L)$, $CLK_A(R)$)에 대하여 위상차가 존재한다. 제2 클럭($CLK_B(L)$, $CLK_B(R)$)은 제1 클럭(CLK_A)에 이어서 발생할 수 있다.
- [0062] 본 발명의 일 실시예에 따른 게이트 구동회로는 복수의 스테이지를 포함하는 시프트 레지스터로 구성된다. 이러한 복수의 스테이지 각각에는 다양한 게이트 드라이버 제어 신호(GDC)가 입력되어 게이트 신호를 시프트하고, 복수의 스테이지 각각은 시프트된 게이트 신호를 게이트 라인에 공급한다. 여기서, 복수의 스테이지 각각에 입력되는 게이트 드라이버 제어 신호(GDC)는 게이트 전극 스타트 펄스(VST), 제1 게이트 전극 시프트 클럭(CLK_A) 및 제2 게이트 전극 시프트 클럭(CLK_B) 등을 포함한다. 이러한 게이트 드라이버 제어 신호(GDC) 중 제1 게이트 전극 시프트 클럭(CLK_A)은 이전 스테이지로부터 입력된 제1 캐리 신호($Gout_Pre$) 및 다음 스테이지로부터 입력된 제2 캐리 신호($Gout_Post$)의 입력 타이밍을 제어할 수 있다. 이에 따라, 제1 캐리 신호($Gout_Pre$) 및 제2 캐리 신호($Gout_Post$)에 글리치와 같은 노이즈가 발생하는 경우에도 제1 게이트 전극 시프트 클럭(CLK_A)을 통해 복수의 스테이지 각각은 올바른 타이밍에 시프트된 게이트 신호를 게이트 라인에 공급할 수 있다. 스테이지의 구체적인 회로 구성에 대해서는 이하 도 3을 참조하여 후술한다.
- [0063] 도 3은 본 발명의 일 실시예에 따른 도 2에 도시된 복수의 스테이지 중 하나의 스테이지의 구성을 나타내는 회로도이다. 도 3에 도시된 회로는 제 n (n 은 양의 정수) 스테이지 회로(300)이다. 도 3에서 M_1 , M_3 및 M_8 은 p 타입 MOSFET(이하, 'PMOS 트랜지스터'라 함)으로 구현되고, M_2 , M_4 , M_5 , M_6 , M_7 , M_9 및 M_{10} 은 n 타입 MOSFET(이하, 'NMOS 트랜지스터'라 함)으로 구현된다. 설명의 편의를 위해 도 1 및 도 2를 참조하여 설명한다.
- [0064] 도 3을 참조하면, 제 n 스테이지 회로(300)는 제어 회로부(310) 및 버퍼(320)를 포함한다..
- [0065] 제어 회로부(310)는 래치(311)와 래치(311)의 동작을 제어하는 래치 제어 회로(312)를 포함한다. 제어 회로부(310)는 5개의 NMOS 트랜지스터(M_2 , M_4 , M_5 , M_6 및 M_7)와 2개의 PMOS 트랜지스터(M_1 및 M_3)를 포함한다. 제어 회로부(310)는 Q 노드와 QB 노드를 포함하며, Q 노드는 N_2 노드, QB 노드는 N_1 노드를 통해 버퍼(320)로 신호를

공급한다. 즉, 제어 회로부(310)는 Q 노드와 QB 노드의 하이(high) 전압 또는 로우(low) 전압을 통해 버퍼(320)의 동작을 제어한다.

[0066] 도 3을 참조하면, 래치(311)는 2개의 NMOS 트랜지스터(M2 및 M4)와 2개의 PMOS 트랜지스터(M1 및 M3)로 구성된다. 또한, 래치(311)는 페루프 형태의 케환(feedback) 회로로 연결된 제1 인버터(311A) 및 제2 인버터(311B)를 포함하고, Q 노드와 QB 노드 사이에 연결된다. 구체적으로, 래치(311)에서 제1 인버터(311A)는 1개의 PMOS 트랜지스터(M1) 및 1개의 NMOS 트랜지스터(M2)로 구성되며, 제2 인버터(311B)는 1개의 PMOS 트랜지스터(M3) 및 1개의 NMOS 트랜지스터(M4)로 구성된다. 제1 인버터(311A)에서 PMOS 트랜지스터(M1)는 Q 노드에 연결된 게이트 전극, QB 노드에 연결된 드레인 전극 및 고전위 전원라인(VGH)에 연결된 소스 전극을 포함하고, 제1 인버터(311A)에서 NMOS 트랜지스터(M2)는 Q 노드에 연결된 게이트 전극, QB 노드에 연결된 드레인 전극 및 저전위 전원라인(VGL)에 연결된 소스 전극을 포함한다. 마찬가지로, 제2 인버터(311B)에서 PMOS 트랜지스터(M3)는 QB 노드에 연결된 게이트 전극, Q 노드에 연결된 드레인 전극 및 고전위 전원라인에 연결된 소스 전극을 포함하고, 제2 인버터(311B)에서 NMOS 트랜지스터(M4)는 QB 노드에 연결된 게이트 전극, Q 노드에 연결된 드레인 전극 및 저전위 전원라인(VGL)에 연결된 소스 전극을 포함한다.

[0067] 래치(311)는 Q 노드의 전압과 QB 노드의 전압을 반전시켜 출력 전압을 제어한다. 래치(311)에서 Q 노드의 전압과 QB 노드의 전압은 버퍼(320)의 입력으로 출력 전압이 게이트 라인에 공급되는 타이밍을 제어한다.

[0068] 도 3을 참조하면, 래치 제어 회로(312)는 3개의 NMOS 트랜지스터(M5 내지 M7)를 포함한다. 구체적으로, 래치 제어 회로(312)는 QB 노드와 연결된 드레인 전극 및 제1 캐리 신호(Gout_Pre)가 입력되는 게이트 전극을 포함하는 제1 NMOS 트랜지스터(M5), Q 노드와 연결된 드레인 전극 및 제2 캐리 신호(Gout_Post)가 입력되는 게이트 전극을 포함하는 제2 NMOS 트랜지스터(M6) 및 제1 NMOS 트랜지스터(M5)의 소스 전극 및 제2 NMOS 트랜지스터(M6)의 소스 전극과 연결된 드레인 전극 및 제1 클럭(CLK_A)이 입력되는 게이트 전극을 포함하는 제3 NMOS 트랜지스터(M7)를 포함한다. 여기서, 제3 NMOS 트랜지스터(M7)의 소스 전극은 저전위 전원라인(VGL)에 연결된다.

[0069] 래치 제어 회로(312)는 래치(311)의 Q 노드와 QB 노드에 인가되는 전압을 게이트 하이 전압 또는 게이트 로우 전압으로 제어한다. 구체적으로, 래치 제어 회로(312)는 제3 NMOS 트랜지스터(M7)의 게이트 전극에 입력되는 제1 클럭(CLK_A)을 통해 제1 캐리 신호(Gout_Pre)가 QB 노드의 전압을 하강시키는 동작을 제어하고, 제2 캐리 신호(Gout_Post)가 Q 노드의 전압을 하강시키는 동작을 제어한다.

[0070] 도 3을 참조하면, 버퍼(320)는 트랜스미션 게이트(transmission gate; TG) 및 풀다운(pull-down) 트랜지스터(M10)를 포함한다. 트랜스미션 게이트(TG)는 1개의 PMOS 트랜지스터(M8) 및 1개의 NMOS 트랜지스터(M9)를 포함하고, PMOS 트랜지스터(M8)와 NMOS 트랜지스터(M9)의 소스 전극이 서로 연결되고, PMOS 트랜지스터(M8)와 NMOS 트랜지스터(M9)의 드레인 전극이 서로 연결된다. 즉, 트랜스미션 게이트(TG)는 NMOS 트랜지스터(M9)와 PMOS 트랜지스터(M8)가 병렬로 연결되어 온 저항(ON)을 낮추고, 풀 레인지(Full range) 전압 구동이 가능한 스위치 소자이다. 풀다운 트랜지스터(M10)는 NMOS 트랜지스터(M9)로 이루어진다.

[0071] 버퍼(320)는 제어 회로부(310)의 Q 노드 및 QB 노드와 연결된다. 트랜스미션 게이트(TG)에서 PMOS 트랜지스터(M8)는 QB 노드의 신호가 입력되는 게이트 전극, 및 풀다운 트랜지스터(M10)의 드레인 전극과 출력 노드(Gout)에 연결된 드레인 전극을 포함한다. 트랜스미션 게이트(TG)에서 NMOS 트랜지스터(M9)는 Q 노드의 신호가 입력되는 게이트 전극, 및 풀다운 트랜지스터(M10)의 드레인 전극과 출력 노드(Gout)에 연결된 드레인 전극을 포함한다. 또한, 트랜스미션 게이트(TG)는 제2 클럭(CLK_B)이 입력되는 소스 전극을 포함한다. 풀다운 트랜지스터(M10)는 QB 노드에 연결된 게이트 전극, 저전위 전원라인(VGL)에 연결된 드레인 전극 및 트랜스미션 게이트(TG)의 드레인 전극에 연결된 소스 전극을 포함한다.

[0072] 버퍼(320)는 Q 노드의 전압이 게이트 하이 전압인 경우 제2 클럭(CLK_B)에 동기되어 출력 전압을 상승시키고, QB 노드의 전압이 게이트 하이 전압인 경우 출력 전압을 하강시킨다. 이에 따라, Q 노드의 전압이 게이트 하이 전압인 경우, 버퍼(320)의 출력 노드(Gout)를 통해 출력 신호가 제2 클럭(CLK_B)에 동기되어 게이트 라인으로 공급된다. 마찬가지로, QB 노드의 전압이 게이트 하이 전압인 경우, 버퍼(320)의 출력 노드(Gout)가 저전위 전원라인(VGL)에 연결되어 출력 전압이 하강된다.

[0073] 본 발명의 일 실시예에 따른 제n 스테이지 회로(300)는 래치(311) 및 래치 제어 회로(312)로 이루어진 제어 회로부(310) 및 버퍼(320)를 포함한다. 래치 제어 회로(312)는 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)를 통해 래치(311)의 Q 노드 및 QB 노드의 출력 전압을 조절한다. 특히, 래치 제어 회로(312)는 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)의 입력 타이밍을 제어하는 제3 NMOS 트랜지스터(M7)를 포함

하고, 제3 NMOS 트랜지스터(M7)의 게이트 전극에 입력되는 제1 클럭(CLK_A)을 통해 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)의 입력을 제어한다. 여기서, 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)는 제1 클럭(CLK_A)에 동기된다.

[0074] 이에 따라, 제1 클럭(CLK_A)은 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)에 존재하는 노이즈 신호에 의해 Q 노드의 전압 및 QB 노드의 전압이 상승하거나 하강하지 않도록 제1 NMOS 트랜지스터(M5) 및 제2 NMOS 트랜지스터(M6)의 활성화 여부를 제어한다. 즉, 래치 제어 회로(312)는 제1 클럭(CLK_A)을 통해 래치(311)의 Q 노드의 전압 및 QB 노드의 전압을 조절하는 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)를 제어함으로써, Q 노드 및 QB 노드의 전압에 의해 출력되는 게이트 신호의 안정성을 향상시킬 수 있다. 제n 스테이지 회로(300)에 입력되는 다양한 신호들과 출력 전압 사이의 구체적인 관계에 대해서는 도 4 내지 도 5c를 참조하여 후술한다.

[0075] 도 4는 본 발명의 일 실시예에 따른 도 3에 도시된 스테이지에서의 입출력 신호를 나타내는 파형도이다. 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 도 4의 파형도의 구간별 스테이지 내부에서 신호의 흐름을 나타내는 회로도이다. 도 5a 내지 도 5c의 스테이지 회로(500)는 도 3의 스테이지 회로(300)에 입력되는 신호들에 의한 활성화 상태를 나타낸 것으로, 도 3의 스테이지 회로(300)와 실질적으로 동일한 바, 중복 설명은 생략한다. 도 5a 내지 도 5c에서 도시된 1점 쇄선은 제n 스테이지 회로(300)에 입력되는 신호에 의한 내부 신호의 흐름을 나타내고, 점선은 제n 스테이지 회로(300)에 입력되는 신호에 의해 활성화되지 않은 부분을 나타낸다.

[0076] 도 4 및 도 5a를 참조하면, 구간 ①동안, 제1 클럭(CLK_A) 및 제1 캐리 신호(Gout_Pre)가 게이트 하이 전압(VGH)이 된다. 즉, 래치 제어 회로(312)에 게이트 하이 전압(VGH)인 제1 클럭(CLK_A)이 인가되면, M7은 턴-온 상태가 된다. 또한, 게이트 하이 전압(VGH)인 제1 캐리 신호(Gout_Pre)가 인가되면, M5도 턴-온 상태가 된다. 이에 따라, 제1 클럭(CLK_A) 및 제1 클럭(CLK_A)에 동기된 제1 캐리 신호(Gout_Pre)가 게이트 하이 전압(VGH)인 경우, QB 노드는 게이트 로우 전압(VGL)으로 조절된다. QB 노드에 게이트 로우 전압(VGL)이 인가됨에 따라, 래치(311)의 인버터에 의해 Q 노드가 게이트 하이 전압(VGH)로 조절된다.

[0077] 구간 ①동안, 제어 회로부(310)에서 QB 노드에는 게이트 로우 전압(VGL), Q 노드에는 게이트 하이 전압(VGH)이 인가됨에 따라, QB 노드에 연결된 버퍼(320)의 M8 및 Q 노드에 연결된 버퍼(320)의 M9는 턴-온 상태가 된다.

[0078] 종래기술을 통해서는 제1 캐리 신호(Gout_Pre)에 노이즈 신호가 존재하는 경우, 제1 캐리 신호(Gout_Pre)의 노이즈 신호에 의해 Q 노드의 전압이 상승한다. 이에 따라, 종래기술에서는 제1 캐리 신호(Gout_Pre)의 노이즈 신호에 의해서 원하지 않는 타이밍에 게이트 신호가 게이트 라인에 공급될 수 있는 반면, 구간 ①동안에는 제1 캐리 신호(Gout_Pre)가 제1 클럭(CLK_A)에 게이트 하이 전압(VGH)이 인가되지 않은 타이밍에 노이즈를 포함하는 경우, 제1 캐리 신호(Gout_Pre)는 제1 클럭(CLK_A)에 동기되어 제1 캐리 신호(Gout_Pre)의 노이즈 신호에 의한 Q 노드의 전압 상승을 억제할 수 있다.

[0079] 이어서, 도 4 및 도 5b를 참조하면, 구간 ②동안, 제2 클럭(CLK_B)이 게이트 하이 전압(VGH)이 된다. 즉, 제2 클럭(CLK_B)이 버퍼(320)의 트랜스미션 게이트(TG)에 입력된다.

[0080] 구간 ②동안, 구간 ①에서 턴-온된 M8 및 M9가 턴-온 상태를 유지한다. 이에 따라, 버퍼(320)의 트랜스미션 게이트(TG)의 드레인 전극은 출력 노드(Gout)와 연결되고, 제2 클럭(CLK_B)은 트랜스미션 게이트(TG)를 통해 출력 노드(Gout)로 출력된다. 즉, 버퍼(320)는 Q 노드의 전압이 게이트 하이 전압(VGH)인 경우, 제2 클럭(CLK_B)에 동기되어 출력 전압을 상승시킨다. 이에 따라, 구간 ②동안 제2 클럭(CLK_B)이 출력 노드(Gout)를 통해 게이트 라인으로 게이트 신호를 공급한다.

[0081] 도 4 및 도 5c를 참조하면, 구간 ③동안, 다시 제1 클럭(CLK_A)이 게이트 하이 전압(VGH)이 되고, 제2 캐리 신호(Gout_Post)가 게이트 하이 전압(VGH)이 된다. 즉, 래치 제어 회로(312)에서 제1 클럭(CLK_A)에 의해 M7이 턴-온 상태가 된다. 또한, 게이트 하이 전압(VGH)인 제2 캐리 신호(Gout_Post)가 인가되면, M6도 턴-온 상태가 된다. 이에 따라, 제1 클럭(CLK_A) 및 제1 클럭(CLK_A)에 동기된 제2 캐리 신호(Gout_Post)가 게이트 하이 전압(VGH)인 경우, Q 노드는 게이트 로우 전압(VGL)으로 조절된다. Q 노드에 게이트 로우 전압(VGL)이 인가됨에 따라, 래치(311)의 인버터에 의해 QB 노드가 게이트 하이 전압(VGH)로 조절된다.

[0082] 구간 ③동안, 제어 회로부(310)에서 Q 노드에는 게이트 로우 전압(VGL), QB 노드에는 게이트 하이 전압(VGH)이 인가됨에 따라, Q 노드에 연결된 버퍼(320)의 M8 및 M9는 턴-오프 상태가 되고, 풀다운 트랜지스터(M10)는 턴-온 상태가 된다. 이에 따라, 출력 노드(Gout)에 게이트 로우 전압이 인가되어 출력 노드가 방전되고, 출력 전압이 하강된다. 즉, 버퍼(320)는 QB 노드의 전압이 게이트 하이 전압(VGH)인 경우, 제2 클럭(CLK_B)에 동기되어

출력 전압을 하강시킨다.

[0083] 종래기술을 통해서는 제2 캐리 신호(Gout_Post)에 노이즈 신호가 존재하는 경우, 제2 캐리 신호(Gout_Post)의 노이즈 신호에 의해 QB 노드의 전압이 상승한다. 이에 따라, 종래기술에서는 제2 캐리 신호(Gout_Post)의 노이즈 신호에 의해서 원하는 타이밍에 게이트 신호가 게이트 라인에 공급되지 못할 수 있는 반면, 구간 ③동안에는 제2 캐리 신호(Gout_Post)가 제1 클럭(CLK_A)에 게이트 하이 전압(VGH)이 인가되지 않은 타이밍에 노이즈를 포함하는 경우, 제2 캐리 신호(Gout_Post)는 제1 클럭(CLK_A)에 동기되어 제2 캐리 신호(Gout_Post)의 노이즈 신호에 의한 QB 노드의 전압 하강을 억제할 수 있다.

[0084] 본 발명의 일 실시예에 따른 게이트 구동회로는 Q 노드의 전압과 QB 노드의 전압을 반전시켜 출력 전압을 제어하는 래치(311)를 제어하는 래치 제어 회로(312)를 포함한다. 또한, 래치 제어 회로(312)는 제1 NMOS 트랜지스터(M5) 및 제2 NMOS 트랜지스터(M6)를 제어하는 제3 NMOS 트랜지스터(M7)를 포함한다. 제3 NMOS 트랜지스터(M7)는 제1 NMOS 트랜지스터(M5)의 게이트 전극에 인가되는 제1 캐리 신호(Gout_Pre) 및 제2 NMOS 트랜지스터(M6)의 게이트 전극에 인가되는 제2 캐리 신호(Gout_Post)에 동기된 제1 클럭(CLK_A)을 입력 받는다. 구체적으로, 제1 캐리 신호(Gout_Pre)와 동기된 제1 클럭(CLK_A)에 의해 M5 및 M7이 모두 턴-온 상태인 경우에만 QB 노드의 전압이 게이트 로우 전압(VGL)이 되고, Q 노드의 전압이 게이트 하이 전압(VGH)이 된다. 또한, 제2 캐리 신호(Gout_Post)와 동기된 제1 클럭(CLK_A)에 의해 M6 및 M7이 모두 턴-온 상태인 경우에만 Q 노드의 전압이 게이트 로우 전압(VGL)이 되고, QB 노드의 전압이 게이트 하이 전압(VGH)이 된다. 즉, Q 노드와 QB 노드의 전압은 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)와 함께 제1 클럭(CLK_A)에 의해 조절된다.

[0085] 이에 따라, 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)이 입력되는 트랜지스터(M5, M6)의 활성화 여부를 제어하는 트랜지스터(M7)를 추가하여, 래치(311) 및 버퍼(320)의 동작도 제어될 수 있다. 즉, 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)의 입력을 제어하는 제1 클럭(CLK_A)은 제1 캐리 신호(Gout_Pre)의 노이즈 신호 및 제2 캐리 신호(Gout_Post)의 노이즈 신호 중 적어도 하나에 의한 래치(311) 및 버퍼(320)의 오동작을 방지할 수 있고, 이에 따라 출력 전압의 노이즈를 억제할 수 있다.

[0086] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

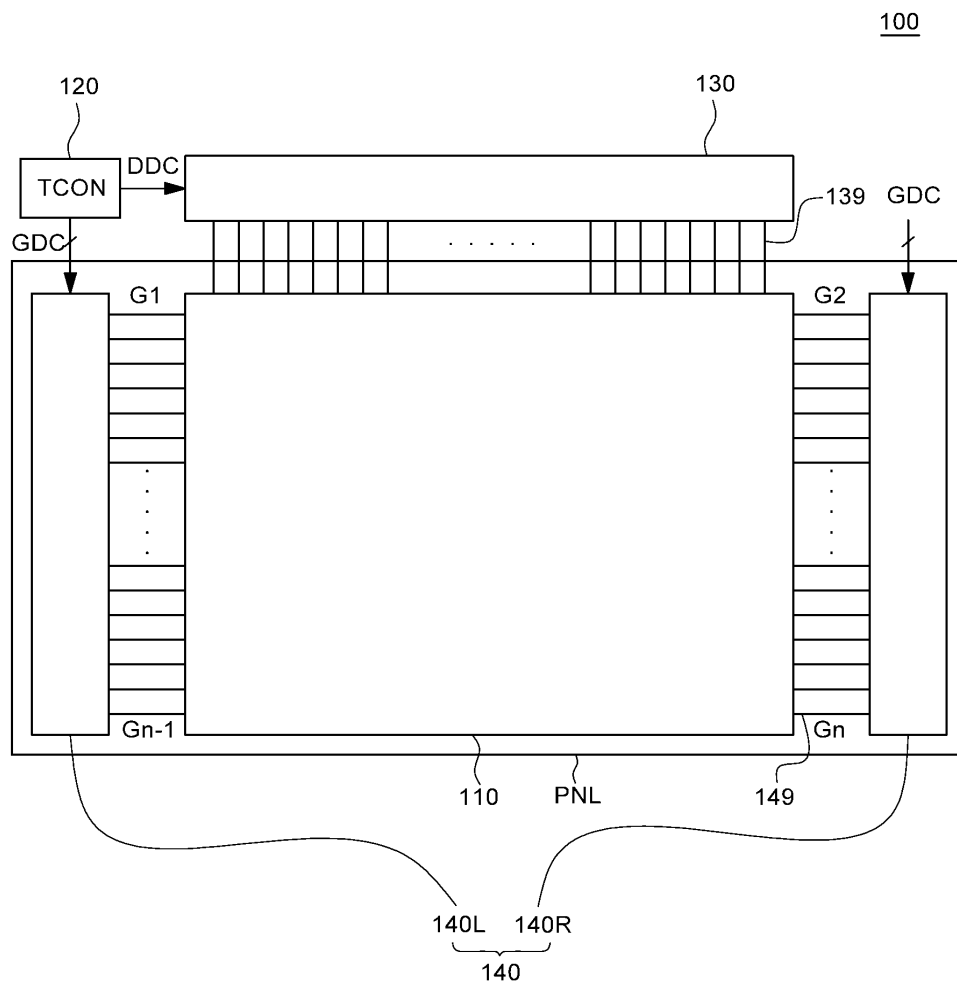
부호의 설명

[0087] 100: 표시 장치
110: 화소 어레이
120: 타이밍 콘트롤러
130: 데이터 구동회로
140: GIP 회로
140L: 제1 GIP 회로
140R: 제2 GIP 회로
139: 데이터 라인
149: 게이트 라인
300: 제n 스테이지 회로
310: 제어 회로부
311: 래치
311A: 제1 인버터

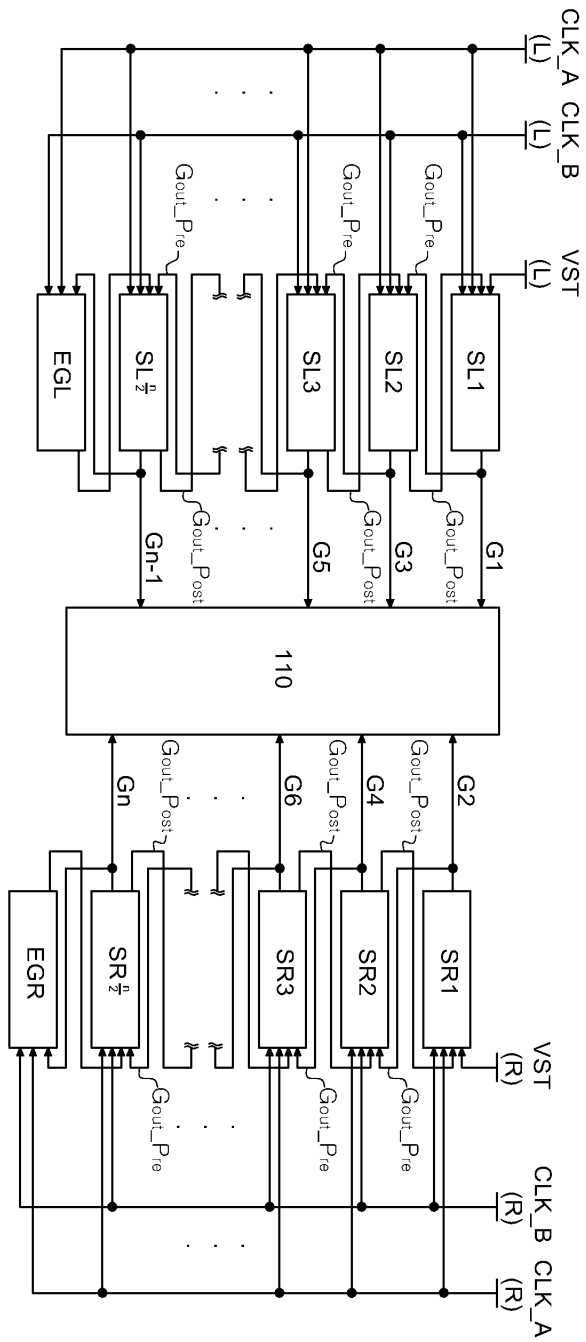
311B: 제2 인버터
 312: 래치 제어 회로
 320: 버퍼

도면

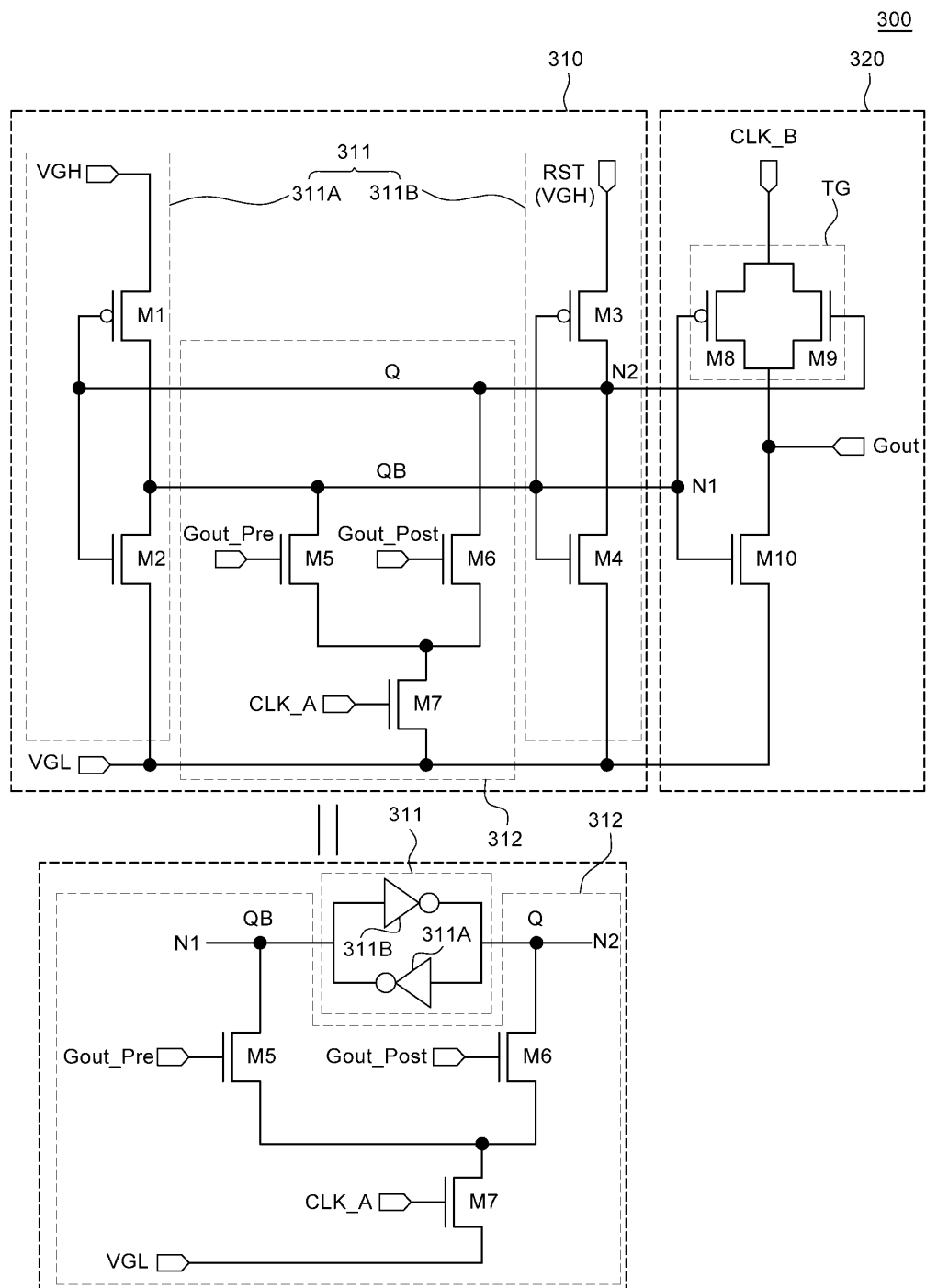
도면1



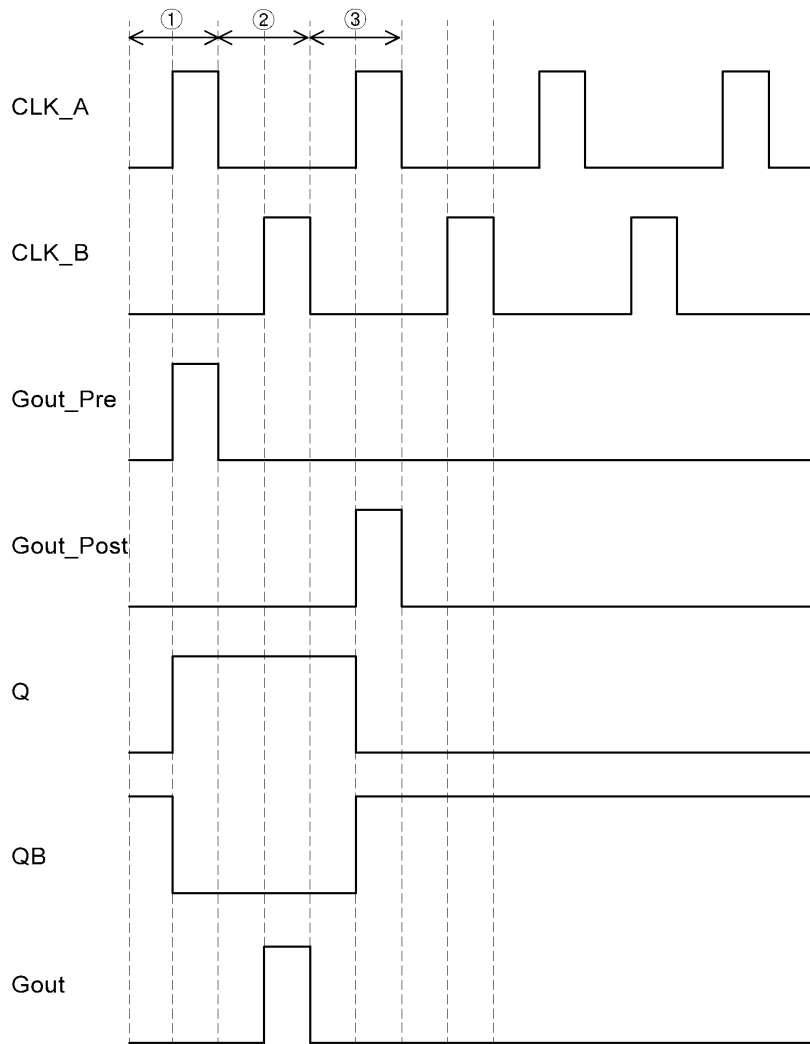
도면2



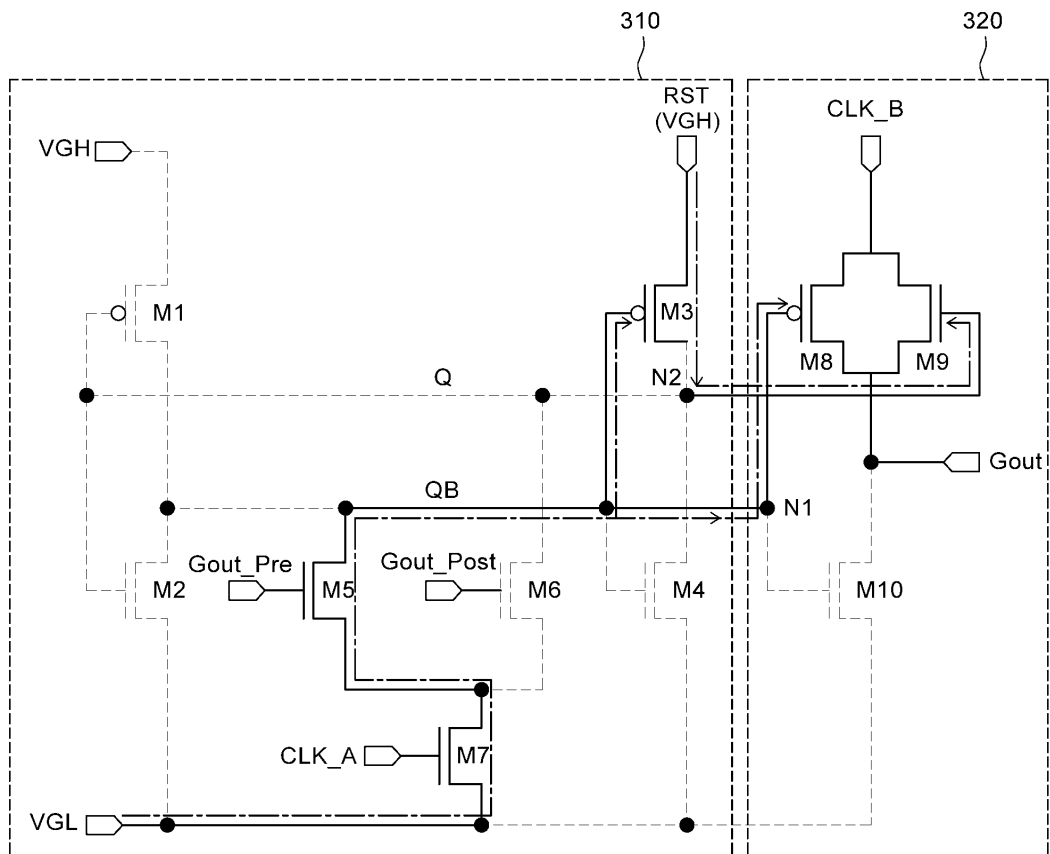
도면3



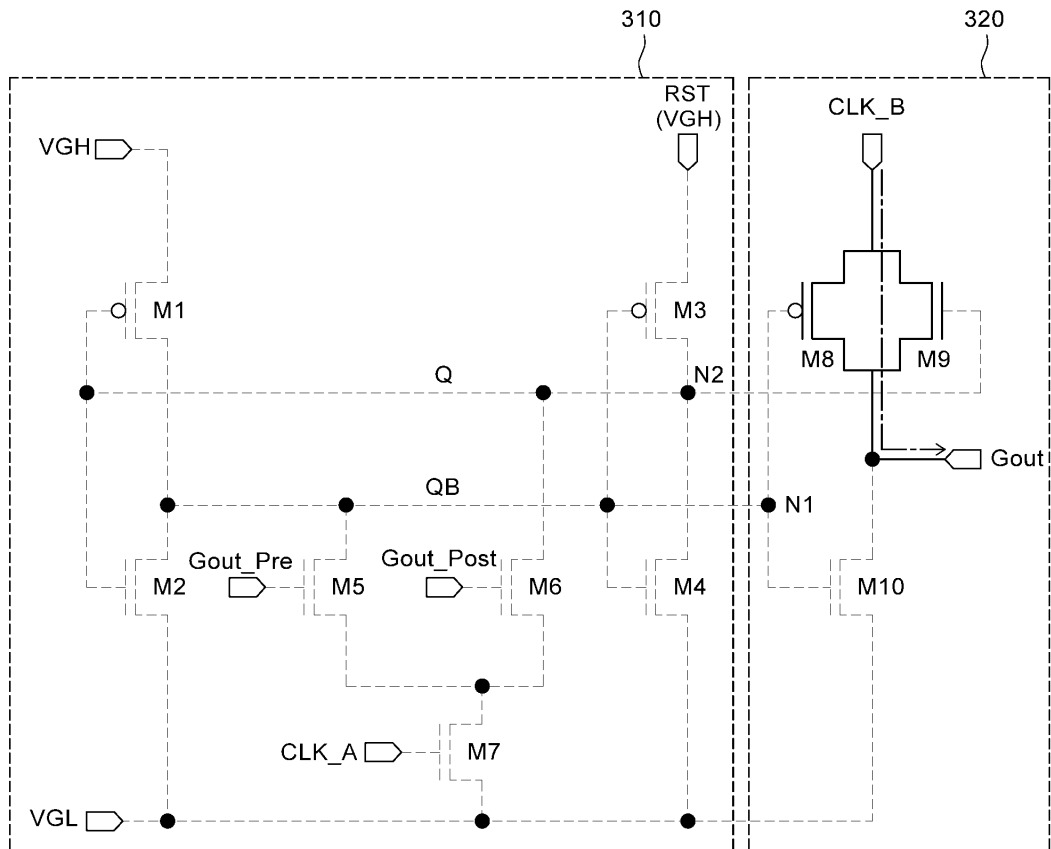
도면4



도면5a



도면5b



도면5c

