



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0072514
(43) 공개일자 2017년06월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/32 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2015-0180748
(22) 출원일자 2015년12월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이능희
서울특별시 관악구 관악로 1 서울대학교 관악사
903동 717호
김병일
경상북도 구미시 산호대로39길 25 옥계e-편한세상
아파트 107동 804호
(74) 대리인
특허법인인벤투스

전체 청구항 수 : 총 13 항

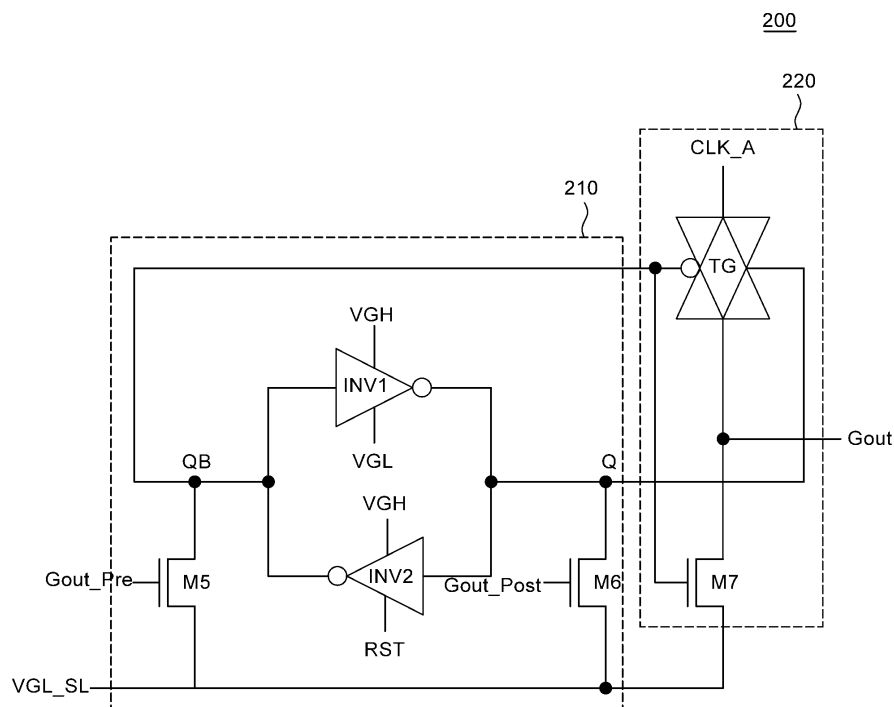
(54) 발명의 명칭 게이트 구동회로와 이를 이용한 표시장치

(57) 요약

본 발명은 게이트 구동회로와 이를 이용한 표시장치에 관한 것으로, 이 게이트 구동회로는 순차적으로 위상이 지연되는 클럭을 입력 받아 순차적으로 출력을 발생하는 복수의 스테이지를 구비하고, 제n(n은 양의 정수) 스테이지는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터로 구성된 제1 인버터, 제2 PMOS 트랜지스터 및 제2 NMOS 트랜

(뒷면에 계속)

대표도 - 도4



지스터로 구성된 제2 인버터, 상기 제2 NMOS 트랜지스터의 소스 단자에 연결되어 상기 제n 스테이지를 초기화시키는 리셋(Reset) 신호를 공급하는 리셋 신호 라인을 포함한다. 또한, 제n(n은 양의 정수) 스테이지는 제n-1(n은 양의 정수) 스테이지로부터 수신된 캐리 신호를 입력 받아, 상기 캐리 신호가 하이 전압일 때 QB 노드를 로우 전압으로 제어하고, Q 노드를 하이 전압으로 제어하는 제1 스위치(T1), 제n+1(n은 양의 정수) 스테이지로부터 수신된 캐리신호를 입력 받아, 상기 캐리 신호가 하이 전압일 때 QB 노드를 하이 전압으로 조절하고, Q 노드를 로우 전압으로 제어하는 제2 스위치(T2), 상기 Q 노드와 상기 QB 노드 사이에 연결되어 래치를 구성한 복수의 인버터들, 및 상기 Q 노드의 전압이 하이 전압일 때 클럭을 출력전압으로 출력하고, 상기 QB 노드의 전압이 하이 전압일 때 로우 전압을 출력전압으로 출력하는 버퍼를 포함한다. 본 발명에 의하면, 위상이 반대인 리셋 신호는 트랜지스터를 추가하지 않고 신호 변경만으로 구현될 수 있다. 그 결과, 게이트 구동회로의 면적 증가 없이, 표시장치의 네로우 베젤을 구현할 수 있다.

(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/08 (2013.01)

명세서

청구범위

청구항 1

순차적으로 위상이 지연되는 클럭을 입력 받아 순차적으로 출력을 발생하는 복수의 스테이지를 구비하고,
제 n (n 은 양의 정수) 스테이지는,

제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터로 구성된 제1 인버터;

제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터로 구성된 제2 인버터; 및

상기 제2 NMOS 트랜지스터의 소스 단자에 연결되어 상기 제 n 스테이지를 초기화시키는 리셋(Reset) 신호를 공급하는 리셋 신호 라인을 포함하는, 게이트 구동회로.

청구항 2

제 1항에 있어서,

상기 리셋 신호는 Q 노드(Q)를 저전위 전압(VGL)으로 방전하고, Q Bar노드(QB)는 고전위 전압(VGH)으로 충전하는, 게이트 구동회로.

청구항 3

제 1항에 있어서,

상기 리셋 신호는 저전위 전압(VGL) 상태에서 고전위 전압(VGH)으로 상승한 후, 다시 저전위 전압(VGL)으로 하강하는 위상이 반대인 리셋 신호인, 게이트 구동회로.

청구항 4

제 1항에 있어서,

상기 제1 인버터 및 제2 인버터는 폐루프(closed loop) 형태의 궤환(feedback) 회로로 연결되어 래치(Latch)을 구성하는, 게이트 구동회로.

청구항 5

제 4항에 있어서,

상기 래치는 Q 노드(Q)에 걸리는 전압의 반전 상태로 Q Bar 노드(QB)에 전압을 걸리도록 제어하는, 게이트 구동회로.

청구항 6

제 2항에 있어서,

상기 제1 PMOS 트랜지스터는 상기 Q 노드에 연결된 게이트, 상기 QB 노드에 연결된 드레인, 및 고전위 전원 라인에 연결된 소스를 포함하고,

상기 제1 NMOS 트랜지스터는 상기 Q 노드에 연결된 게이트, 상기 QB 노드에 연결된 드레인, 및 저전위 전원 라인에 연결된 소스를 포함하고,

상기 제2 PMOS 트랜지스터는 상기 QB 노드에 연결된 게이트, 상기 Q 노드에 연결된 드레인, 및 상기 고전위 전원 라인에 연결된 소스를 포함하고, 및

상기 제2 NMOS 트랜지스터는 상기 QB 노드에 연결된 게이트, 상기 Q 노드에 연결된 드레인, 및 상기 리셋 신호 라인에 연결된 소스를 포함하는, 게이트 구동회로.

청구항 7

제 2항에 있어서,

상기 제 n 스테이지는,

제 $n-1$ (n 은 양의 정수) 스테이지로부터 수신된 캐리 신호를 입력 받아, 상기 캐리 신호가 하이 전압일 때 상기 QB 노드를 로우 전압으로 제어하고, 상기 Q 노드를 하이 전압으로 제어하는 제1 스위치;

제 $n+1$ (n 은 양의 정수) 스테이지로부터 수신된 캐리 신호를 입력 받아, 상기 캐리 신호가 하이 전압일 때 상기 QB 노드를 하이 전압으로 조절하고, 상기 Q 노드를 로우 전압으로 제어하는 제2 스위치; 및

상기 Q 노드의 전압이 하이 전압일 때 상기 클럭을 출력 전압으로 출력하고, 상기 QB 노드의 전압이 하이 전압일 때 로우 전압을 출력 전압으로 출력하는 버퍼를 더 포함하는, 게이트 구동회로.

청구항 8

제 7항에 있어서,

상기 버퍼는,

상기 Q 노드의 전압에 응답하여 상기 클럭을 출력 단자에 공급하여 상기 출력 전압을 상승시키는 풀업 트랜지스터; 및

상기 QB 노드의 전압에 응답하여 상기 로우 전압을 상기 출력 단자에 공급하여 상기 출력 전압을 떨어뜨리는 풀다운 트랜지스터를 포함하는, 게이트 구동회로.

청구항 9

제 8 항에 있어서,

상기 풀업 트랜지스터는 트랜스미션 게이트인 것을 특징으로 하는 게이트 구동회로.

청구항 10

제 9 항에 있어서,

상기 트랜스미션 게이트는,

상기 QB 노드와 연결된 게이트, 상기 출력 단자에 연결된 드레인, 및 상기 클럭이 입력되는 소스를 포함한 제3 PMOS 트랜지스터; 및

상기 Q 노드와 연결된 게이트, 상기 출력 단자에 연결된 소스, 및 상기 클럭이 입력되는 드레인을 포함한 제3 NMOS 트랜지스터를 포함하는, 게이트 구동회로.

청구항 11

제 8 항에 있어서,

상기 풀다운 트랜지스터는,

상기 QB 노드에 연결된 게이트, 상기 출력 단자에 연결된 드레인, 및 상기 로우 전압 전원 라인에 연결된 소스를 포함한 제4 NMOS 트랜지스터인, 게이트 구동회로.

청구항 12

제 7 항에 있어서,

상기 제1 스위치는

상기 제 $n-1$ (n 은 양의 정수) 스테이지로부터의 캐리 신호 전송 라인에 연결된 게이트, 상기 QB 노드에 연결된 드레인 및 상기 로우 전압 전원 라인에 연결된 소스를 포함한 제5 NMOS 트랜지스터인, 게이트 구동회로.

청구항 13

제 7 항에 있어서,

상기 제2 스위치는

상기 제 $n+1$ (n 은 양의 정수) 스테이지로부터의 캐리 신호 전송 라인에 연결된 게이트, 상기 Q 노드에 연결된 드레인 및 상기 로우 전압 전원 라인에 연결된 소스를 포함한 제6 NMOS 트랜지스터인, 게이트 구동회로.

발명의 설명

기술 분야

[0001] 본 발명은 CMOS(Complementary metal-oxide-semiconductor) 트랜지스터 소자를 포함한 게이트 구동회로와 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들(Flat Panel Display, FPD)이 개발 및 시판되고 있다. 예를 들어, 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다.

[0003] 표시장치는 표시패널의 게이트 라인들에 스캔 신호를 공급하는 게이트 구동회로와 데이터 라인들에 데이터 전압을 공급하는 데이터 구동회로를 이용하여 영상을 표시한다. 게이트 구동회로는 복수의 게이트 드라이브 집적회로(Integrated Circuit)를 실장한 인쇄회로기판(Printed Circuit Board)을 표시패널에 부착하는 TAB(Tape Automated Bonding) 방식, 또는 게이트 드라이브 직접회로를 표시패널에 직접 형성하는 GIP(Gate Drive IC in Panel) 방식으로 형성될 수 있다.

[0004] GIP 방식은 TAB 방식에 비해, 표시장치의 슬림화가 가능하므로 외적 미관을 높일 수 있을 뿐만 아니라, 비용 절감이 가능하며, 화소의 구동 TFT(Thin Film Transistor)의 문턱전압을 보상하기 위한 복수의 스캔 신호들을 표시패널 메이커(Maker)가 직접 설계할 수 있는 장점이 있다. 따라서, 최근에 게이트 구동회로는 TAB 방식보다 GIP 방식으로 형성되고 있다.

[0005] GIP 방식의 경우, 게이트 구동회로의 쉬프트 레지스터(Shift Register)는 종속적(cascade)으로 접속되어 스캔 신호를 순차적으로 발생하는 스테이지들을 구비한다. 쉬프트 레지스터는 GIP 구동회로를 정상적으로 구동하기 위하여 소자들이나 배선들이 필요하다.

[0006] 게이트 구동회로의 파워 온(Power On) 직후에 쉬프트 레지스터 Q 노드와 QB 노드 상태가 랜덤(random) 상태이다. 이러한 랜덤 상태에서, 게이트 구동회로는 오동작하여 이상(abnormal) 출력을 발생할 수 있다. 게이트 구동회로의 안정적인 동작을 위해서, Q = Low, QB = High로 초기화하기 위하여 리셋 신호가 게이트 구동회로의 스테이지들에 공통으로 공급되고 있다. 이를 위하여, 게이트 구동회로에 리셋 신호(Reset, RST)를 공급하는데 추가 스위치 회로 및 리셋(RST) 라인이 필요하다.

[0007] 그 결과, 표시장치의 배절 영역을 효율적으로 설계하기가 쉽지 않다. 따라서, 최근에 게이트 구동회로의 면적을 증가시키지 않고, 안정적으로 초기화하기 리셋 신호 구현을 위한 다양한 연구 개발이 진행되고 있다.

발명의 내용

해결하려는 과제

[0008] 표시장치의 구동회로는 영상이 표시되는 픽셀 어레이, 픽셀 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동회로, 데이터 신호에 동기되는 게이트 펄스(또는 스캔 펄스)를 픽셀 어레이의 게이트 라인들(또는 스캔 라인들)에 순차적으로 공급하는 게이트 구동회로(또는 스캔 구동회로), 데이터 구동회로와 게이트 구동회로를 제어하는 타이밍 컨트롤러 등을 포함한다.

[0009] 픽셀들 각각은 게이트 라인을 통해 공급되는 게이트 펄스에 응답하여 데이터 라인의 전압을 픽셀 전극에 공급하는 박막트랜지스터(Thin Film Transistor, TFT)를 포함할 수 있다. 게이트 펄스는 게이트 하이 전압(Gate High Voltage, VGH)과 게이트 로우 전압(Gate Low Voltage, VGL) 사이에서 스윙(swing)한다. 게이트 하이 전압(VG

H)은 표시패널에 형성된 TFT의 문턱 전압 보다 높은 전압으로 설정되고, 게이트 로우 전압(VGH)은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. 픽셀들의 TFT는 게이트 하이 전압에 응답하여 턴-온(turn-on)된다.

- [0010] 게이트 구동회로를 픽셀 어레이와 함께 표시패널에 내장하는 기술이 적용되고 있다. 표시패널에 내장된 게이트 구동회로는 "GIP(Gate In Panel) 회로"로 알려져 있다. GIP 구동회로는 쉬프트 레지스터(shift register)를 포함한다. 쉬프트 레지스터는 종속적으로 접속된 복수의 스테이지들(stage)을 포함한다.
- [0011] 도 1은 종래의 표시장치 게이트 구동회로에서 쉬프트 레지스터의 리셋 동작 구간을 보여주는 파형도이다.
- [0012] 스테이지들(ST1~STn)은 스타트 펄스에 응답하여 출력을 발생하고 그 출력을 쉬프트 클럭에 따라 쉬프트 시킨다.
- [0013] 쉬프트 레지스터의 스테이지들(ST1~STn)은 게이트 라인을 충전시키는 Q 노드(Q)와, 게이트 라인을 방전시키는 Q Bar노드(QB), Q 노드(Q)와 Q Bar노드(QB)에 연결된 스위치 회로를 포함한다. 스위치 회로는 스타트 펄스 또는 이전 스테이지의 출력에 응답하여 Q 노드(Q)를 충전시켜 게이트 라인의 전압을 상승시키고, 다음 스테이지의 출력 또는 리셋 신호에 응답하여 Q Bar노드(QB)를 방전시킨다.
- [0014] 쉬프트 레지스터는 파워(Power)가 온(On)되면, Q 노드(Q) 및 Q Bar노드(QB)의 전위는 고전위 전압(VGH) 또는 저전위 전압(VGL)중 어느 하나를 갖는 랜덤(Random) 상태가 된다. 그래서, 쉬프트 레지스터의 동작을 위한 상태(State)로 리셋(Reset)이 필요하다. 즉, Q 노드(Q)는 저전위 전압(VGL)으로 유지하고, Q Bar노드(QB)는 고전위 전압(VGH) 만들어 준다.
- [0015] 도 1을 참조하면, 리셋 신호는 리셋 신호 라인을 통해 고전압(VGH)에서 저전압(VGL)으로 변화하여 쉬프트 레지스터의 스테이지에 입력된다. 그 결과, Q 노드(Q)는 저전압(VGL)이 걸리고, Q Bar노드(QB)는 고전압(VGH)이 걸린다.
- [0016] 따라서, 게이트 구동회로가 파워 온(Power On)이 되면, Q 노드(Q)와 Q Bar노드(QB)는 게이트 구동회로의 동작을 시작하기 위한 상태로 리셋이 된다.
- [0017] 일반적으로, 리셋 신호를 PMOS 트랜지스터의 소스 단자에 공급하여 쉬프트 레지스터의 스테이지를 리셋시키는데, PMOS 트랜지스터는 리셋 스위치로서 신뢰성에 문제가 있다.
- [0018] 이에, 본 발명의 발명자들은 게이트 구동회로의 면적을 증가 시키지 않고 쉬프트 레지스터를 안정적으로 초기화하기 위한 새로운 구조와 방법을 발명하였다.
- [0019] 본 발명은 상술한 문제점을 해결하기 위한 것으로, 위상이 반대인 리셋 신호가 게이트 구동회로의 쉬프트 레지스터를 초기화하는데 제공된다.
- [0020] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0021] 본 발명의 게이트 구동회로는 순차적으로 위상이 지연되는 클럭을 입력 받아 순차적으로 출력을 발생하는 복수의 스테이지를 구비하고, 제n(n은 양의 정수) 스테이지는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터로 구성된 제1 인버터; 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터로 구성된 제2 인버터; 및 상기 제2 NMOS 트랜지스터의 소스 단자에 연결되어 상기 스테이지를 초기화시키는 리셋(Reset) 신호를 공급하는 리셋 신호 라인을 포함한다.
- [0022] 본 발명의 게이트 구동회로의 상기 리셋 신호는 Q 노드(Q)를 저전위 전압(VGL)으로 방전하고, Q Bar노드(QB)는 고전위 전압(VGH)으로 충전하는 것을 특징으로 한다.
- [0023] 본 발명의 게이트 구동회로의 상기 리셋 신호는 저전위 전압(VGL) 상태에서 고전위 전압(VGH)으로 상승한 후, 다시 저전위 전압(VGL)으로 하강하는 위상이 반대인 리셋 신호인 것을 특징으로 한다.

발명의 효과

- [0024] 본 발명은 게이트 구동회로의 스테이지가 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터로 구성된 제1 인버터, 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터로 구성된 제2 인버터 및 상기 제2 NMOS 트랜지스터의 소스 단자에 연결되어 상기 스테이지를 동작 가능하도록 초기화시키는 리셋(Reset) 신호를 공급하는 리셋 신호 라인을 포함

한다. 그 결과, 위상이 반대인 리셋 신호는 트랜지스터를 추가하지 않고 신호 변경만으로 구현될 수 있다. 따라서, 게이트 구동회로의 면적 증가 없이, 표시장치의 네로우 베젤을 구현할 수 있다.

도면의 간단한 설명

[0025] 도 1은 종래의 표시장치 게이트 구동회로에서 쉬프트 레지스터의 리셋 동작 구간을 보여주는 파형도.

도 2는 본 발명의 실시 예에 따른 표시장치의 구동회로를 보여 주는 블록도.

도 3은 본 발명의 실시예에 따른 게이트 구동회로의 복수의 스테이지와 게이트 구동회로의 제어 신호의 관계를 나타내는 블록도.

도 4는 도 3에 도시된 제 n 스테이지(ST n)를 상세히 보여 주는 회로도.

도 5는 도 3에 도시된 제 n 스테이지(ST n)를 스위치 소자들의 구성으로 보여주는 회로도.

도 6는 도 4의 제 n 스테이지의 리셋 동작 구간을 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0027] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0028] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0029] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0030] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0031] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0032] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0033] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0034] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0035] 이하, 도 2 내지 도 6을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0036] 도 2는 본 발명의 실시예에 따른 표시장치의 구동회로를 보여 주는 블록도 이다.

[0037] 도 2를 참조하면, 본 발명의 표시장치는 표시패널(160), 데이터 구동회로(120), 레벨 쉬프터(150), 쉬프트 레지스터(130), PCB(140) 및 타이밍 콘트롤러(110) 등을 구비한다.

- [0038] 표시패널(160)은 서로 교차되는 데이터라인(DL)들 및 게이트 라인(GL)들과, 매트릭스 형태로 배치된 픽셀들을 포함한다. 표시패널(160)은 액정표시장치(LCD) 유기발광다이오드 표시장치(OLED), 전기영동 표시장치(EPD) 등일 수 있다.
- [0039] 데이터 구동회로(120)는 복수의 소스 드라이브 IC들을 포함한다. 데이터 구동회로(120)는 타이밍 콘트롤러(110)로부터 디지털 비디오 데이터들(RGB)을 입력 받는다. 데이터 구동회로(120)는 타이밍 콘트롤러(110)로부터의 소스 타이밍제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 감마보상전압으로 변환하여 데이터전압을 발생하고, 그 데이터전압을 게이트 펄스에 동기되도록 표시패널(160)의 데이터라인들에 공급한다. 데이터 구동회로(120)는 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(160)의 데이터라인(DL)들에 접속될 수 있다.
- [0040] 게이트 구동회로는 타이밍 콘트롤러(110)와 표시패널(160)의 게이트라인(GL)들 사이에 접속된 레벨 쉬프터(level shifter)(150) 및 쉬프트 레지스터(130)를 구비한다.
- [0041] 레벨 쉬프터(150)는 타이밍 콘트롤러(110)로부터 입력되는 쉬프트 클럭(CLK)의 TTL(Transistor-Transistor-Logic) 로직 레벨 전압을 하이 전압(VGH)과 로우 전압(VGL)으로 레벨 쉬프팅한다. 이하, 본 발명의 실시 예는 쉬프트 클럭(CLK)을 이용한 구동을 예로 설명하기로 한다.
- [0042] 쉬프트 레지스터(130)는 스타트 펄스(VST)를 쉬프트 클럭(CLK)에 맞추어 쉬프트시켜 순차적으로 캐리 신호와 게이트 펄스(Gout)를 출력하는 스테이지들로 구성된다.
- [0043] 게이트 구동회로는 GIP(Gate In Panel) 방식으로 표시패널(160)의 하부 기판 상에 직접 형성될 수 있다. GIP 방식에서, 레벨 쉬프터(150)는 PCB(140)상에 실장되고, 쉬프트 레지스터(130)는 표시패널(100)의 하부기판 상에 형성될 수 있다.
- [0044] 타이밍 콘트롤러(110)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 컴퓨터로부터 디지털 비디오 데이터(RGB)를 입력 받는다. 타이밍 콘트롤러(110)는 호스트 컴퓨터로부터 입력되는 디지털 비디오 데이터들(RGB)을 소스 드라이브 IC들(120)로 전송한다.
- [0045] 타이밍 콘트롤러(110)는 LVDS 또는 TMDS 인터페이스 수신회로를 통해 호스트 컴퓨터로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받는다. 타이밍 콘트롤러(110)는 호스트 컴퓨터로부터의 타이밍 신호를 기준으로 데이터 구동회로와 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생시킨다. 타이밍 제어신호들은 게이트 구동회로의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호, 데이터 구동회로(120)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.
- [0046] 게이트 타이밍 제어신호는 스타트 펄스(VST), 쉬프트 클럭(CLK), 게이트 출력 인에이블신호(Gate Output Enable; GOE) 등을 포함한다. 스타트 펄스(VST)는 쉬프트 레지스터(130)에 입력되어 쉬프트 스타트 타이밍을 제어한다.
- [0047] 쉬프트 클럭(CLK)은 레벨 쉬프터(150)를 통해 레벨 쉬프팅된 후에 쉬프트 레지스터(130)에 입력되며, 스타트 펄스(VST)를 쉬프트시키기 위한 클럭 신호로 이용된다. 게이트 출력 인에이블신호(GOE)는 게이트 쉬프트 레지스터(130)의 출력 타이밍을 제어한다.
- [0048] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC들(120)의 쉬프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다.
- [0049] 도 3은 본 발명의 실시예에 따른 게이트 구동회로의 복수의 스테이지와 게이트 구동회로의 제어 신호의 관계를 나타내는 블록도이다.
- [0050] 게이트 구동회로는 픽셀 어레이 밖에서 표시패널(160)의 일측 가장자리에 형성되거나 양측 가장자리에 형성될 수 있다. GIP 방식의 게이트 구동회로는 픽셀 어레이(Pixel Array)와 동시에 표시패널(160)의 기판 상에 형성될 수 있다. 게이트 구동회로는 스타트 펄스(VST)와 쉬프트 클럭(CLK)이 입력되는 복수개의 스테이지들(ST1~STn)을

포함한다.

- [0051] 스테이지들(ST1~STn)은 스타트 펄스(VST)에 응답하여 출력을 발생하고 그 출력을 쉬프트 클럭(CLK)에 따라 쉬프트시킨다.
- [0052] 본 발명의 쉬프트 레지스터(SR)는 래치(Latch) 회로로 구성되어 있다. 쉬프트 레지스터(SR)의 스테이지들(ST1~STn)은 게이트 라인을 충전시키는 Q 노드(Q)와, 게이트 라인을 방전시키는 Q Bar노드(QB), Q 노드(Q)와 Q Bar노드(QB)에 연결된 스위치 회로를 포함한다. 스위치 회로는 스타트 펄스 또는 이전 스테이지의 출력에 응답하여 Q 노드(Q)를 충전시켜 게이트 라인의 전압을 상승시키고, 다음 스테이지의 출력 또는 리셋 신호에 응답하여 Q Bar노드(QB)를 방전시킨다. 스위치 회로는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT들을 포함한다.
- [0053] 쉬프트 레지스터(SR)는 파워(Power)가 온(On)되면, Q노드(Q) 및 QBar노드(QB)의 전위가 고전위 전압(VGH) 또는 저전위 전압(VGL)으로 랜덤(Random)하므로 쉬프트 레지스터(SR)의 동작을 위한 상태(State)로 리셋(Reset)이 필요하다. 즉, Q노드(Q)는 저전위 전압(VGL)으로 유지하고, QBar노드(QB)는 고전위 전압(VGH) 만들어 준다.
- [0054] 도 3을 참조하면, 본 발명에 의한 쉬프트 레지스터(SR)는 종속적으로 접속된 복수의 스테이지들(ST1~STn, n은 2 이상의 자연수)을 구비한다. 각 스테이지들(ST1~STn)은 각각 제1 내지 제n 게이트 펄스(Gout1~Goutn)를 출력한다. 게이트 펄스(Gout(1)~Gout(n))는 표시장치의 게이트 라인들에 인가됨과 동시에, 전단 스테이지와 후단 스테이지로 전달되는 제1 캐리 신호(Gout_pre)와 제2 캐리 신호(Gout_post) 역할을 겸한다. 이하의 설명에서 "전단 스테이지"는 기준이 되는 스테이지의 상부에 위치하는 것을 말한다.
- [0055] 예컨대, 제k(k는 $1 < k < n$ 인 자연수) 스테이지(STk)을 기준으로, 전단 스테이지는 제1 스테이지(ST1) 내지 제k-1 스테이지(ST(k-1)) 중 어느 하나를 지시한다.
- [0056] 또한, "후단 스테이지"는 기준이 되는 스테이지의 하부에 위치하는 것을 말한다. 예컨대, k($1 < k < n$) 스테이지(STk)을 기준으로, 후단 스테이지는 제k+1 스테이지(ST(k+1)) 내지 제n 스테이지 중 어느 하나를 지시한다.
- [0057] 도 3을 참조하면, 본 발명의 쉬프트 레지스터는 게이트 펄스(Gout(1)~Gout(n))를 순차적으로 출력한다. 이를 위하여, 제1 스테이지(ST1) 내지 제n 스테이지(STn)에는 순차적으로 지연되는 쉬프트 클럭(CLK)이 입력된다.
- [0058] 쉬프트 레지스터(SR)의 스테이지들(ST1~STn)은 스타트 펄스(VST)에 응답하여 게이트 펄스(Gout1~Goutn)를 출력하기 시작하고, 쉬프트 클럭(CLK)에 응답하여 게이트 펄스(Gout1~Goutn)를 쉬프트 한다. 스테이지들(ST1~STn) 각각으로부터 출력된 게이트 펄스(Gout1~Goutn)는 게이트 라인에 공급됨과 동시에 제1 캐리신호(Gout_Pre)로서 다음 스테이지에 입력된다. 제1 캐리 신호(Gout_Pre)는 스테이지(ST1~STn)들 각각의 출력을 발생하기 위하여 Q 노드를 프리차징(pre-charging)하는 데에 사용된다. 그런데, 제1 스테이지(ST1)에는 제1 캐리 신호(Gout_Pre)가 입력되지 않고 게이트 스타트 펄스(VST)가 입력된다.
- [0059] 또한, 스테이지들(ST1~STn) 각각은 출력 신호를 발생한 후에 Q 노드를 방전시키는 제2 캐리 신호(Gout_Post)를 입력 받는다. 그런데, 마지막 스테이지인 제 n 스테이지(STn)에는 제2 캐리 신호(Gout_Post)가 입력되지 않는다.
- [0060] 도 3을 참조하면, 본 발명의 게이트 쉬프트 레지스터는 출력을 발생하지 않고 다른 스테이지들에 제2 캐리 신호(Gout_Post)를 공급하는 더미 스테이지들(Dummy stage)이 추가되고 있다. 예를 들어, 마지막 게이트 펄스를 출력하는 제n(n은 2 이상의 양의 정수) 스테이지에 제n+1 스테이지(또는 End generator)가 연결된다. 제n+1 스테이지는 게이트 펄스를 출력하지 않고 제n 스테이지에 제2 캐리 신호(Gout_Post)를 공급한다.
- [0061] 도 4는 도 3에 도시된 제n 스테이지(STn)를 상세히 보여 주는 회로도 이다. 도 5는 도 3에 도시된 제n 스테이지(STn)를 스위치 소자들의 구성으로 보여주는 회로도 이다.
- [0062] 도 4 및 도 5에서, M1, M3, M5, M6, M7 및 M9은 n 타입 MOSFET(이하, "NMOS"라 함)로 구현되고, M2, M4 및 M8는 p 타입 MOSFET(이하, "PMOS"라 함)로 구현된다. 이하, 도 4 내지 도 5를 참조하여 쉬프트 레지스터의 제 n 스테이지(STn)에 대하여 설명한다.
- [0063] 도 4 및 도 5를 참조하면, 본 발명의 쉬프트 레지스터의 제n 스테이지(STn)(200)는 래치(Latch)(210)와 버퍼(220)를 포함한다.
- [0064] 쉬프트 레지스터(130) 각각에 리셋 신호(RST), 쉬프트 클럭(CLK), 이전 스테이지로부터 수신되는 캐리 신호(Gout_Pre) 또는 스타트 펄스(VST), 게이트 하이 전압(VGH), 및 게이트 로우 전압(VGL)이 입력된다. 제1 스테이

지를 제외한 제n 스테이지에 입력되는 제1 캐리 신호(Gout_Pre)는 제n-1 스테이지의 출력(Gout)이다. 제1 스테이지(ST1)에는 제1 캐리 신호(Gout_Pre)가 입력되지 않고 스타트 펄스(VST)가 입력된다.

- [0065] 래치(210)는 폐루프(closed loop) 형태의 궤환(feedback) 회로로 연결된 두 개의 인버터들(INV1, INV2)을 포함하여 Q 노드(Q)의 전압의 반전 상태로 Q Bar노드(QB)의 전압을 조절한다.
- [0066] 래치(210)는 CMOS 트랜지스터로 구성된 인버터(Invertor) 2개를 궤환으로 형성한다. 래치(210)의 QBar노드(QB)는 제3 NMOS(M5)의 드레인 단자와 연결되고, 제3 NMOS(M5)의 게이트 단자에 연결된 제1 캐리 신호(Gout_pre)에 의하여 제어된다. 또한, 래치(210)의 Q노드(Q)는 제4 NMOS(M6)의 드레인 단자와 연결되고, 제4 NMOS(M6)의 게이트 단자에 연결된 제2 캐리 신호 (Gout_post)에 의하여 제어된다.
- [0067] 제1 인버터(INV1)는 제1 NMOS(M1)와 제1 PMOS(M2)를 포함한다. 제2 인버터(INV2)는 제2 NMOS(M3)와 제2 PMOS(M4)를 포함한다. 제1 인버터(INV1)는 QBar노드(QB)의 반전 신호를 Q노드(Q)에 공급한다. 제1 NMOS(M1)는 Q노드(Q)에 연결된 게이트, QBar 노드(QB)에 연결된 드레인, 및 VGL 라인(VGL_SL)에 연결된 소스를 포함한다. 제1 PMOS(M2)는 Q노드(Q)에 연결된 게이트, QBar 노드(QB)에 연결된 드레인, 및 VGH 라인(VGH_SL)에 연결된 소스를 포함한다.
- [0068] 제2 인버터(INV2)는 Q 노드(Q)의 반전 신호를 QBar 노드(QB)에 공급한다. 제2 NMOS(M3)는 QBar 노드(QB)에 연결된 게이트, Q 노드(Q)에 연결된 드레인, 및 리셋 신호 라인(RST_SL)에 연결된 소스를 포함한다. 제2 PMOS(M4)는 QBar 노드(QB)에 연결된 게이트, Q 노드(Q)에 연결된 드레인, 및 VGH 라인(VGH_SL)에 연결된 소스를 포함한다. 버퍼(220)는 Q노드(Q)의 전압에 응답하여 쉬프트 클럭(CLK))을 출력 단자에 공급하여 출력 전압(Gout)을 상승(rising)시키는 풀업 트랜지스터(Pull-up transistor)와, QBar 노드(QB)의 전압에 응답하여 출력 단자를 방전시켜 출력 전압(Gout)을 하강(falling)시키는 풀다운 트랜지스터(Pull-down transistor)를 포함한다.
- [0069] 풀업 트랜지스터는 제6 NMOS(M9)와 제3 PMOS(M8)가 병렬로 연결된 트랜스미션 게이트(Transmission Gate: TG)을 포함한다. 풀다운 트랜지스터는 제5 NMOS(M7)를 포함한다. 출력전압(Gout)은 게이트 라인에 공급되는 게이트 펄스이다.
- [0070] 트랜스미션 게이트(TG)의 제3 PMOS(M8)는 QBar 노드(QB)와 연결된 게이트, 출력 단자에 연결된 드레인, 및 쉬프트 클럭(CLK)이 입력되는 소스를 포함한다. 또한, 트랜스미션 게이트(TG)의 제6 NMOS(M9)는 Q노드(Q)와 연결된 게이트, 출력 단자에 연결된 소스, 및 쉬프트 클럭(CLK)이 입력되는 드레인을 포함한다.
- [0071] 제5 NMOS(M7)는 QBar 노드(QB)에 연결된 게이트, 출력 단자에 연결된 드레인, 및 VGL 라인(VGL_SL)에 연결된 소스를 포함한다.
- [0072] 버퍼(220)는 Q 노드(Q)에 고전위 전압(VGH)이 걸리면, 쉬프트 클럭(CLK))의 게이트 펄스를 출력전압(Gout)으로 상승 시킨다. 또한, 버퍼(220)는 QBar 노드(QB)에 고전위 전압(VGH)이 걸리면, VGL 라인(VGL_SL)으로부터 전송되는 저전위 전압(VGL)이 제5 NMOS(M7)을 통해 출력전압(Gout)으로 떨어뜨린다.
- [0073] 따라서, 본 발명의 쉬프트 레지스터(130)는 인버터(Invertor) 2개를 궤환으로 묶어 래치(Latch)를 형성하고, Q 노드(Q)및 QBar노드(QB)에 NMOS(M5, M6)의 드레인을 연결하여 제1 캐리신호(Gout_pre) 및 제2 캐리신호(Gout_post)로 Q노드(Q)및 QBar노드(QB)를 제어한다. 그래서, 쉬프트 레지스터의 출력전압(Gout)은 쉬프트 클럭(CLK)의 게이트 펄스로 제어된다.
- [0074] 도 6는 도 4의 제n 스테이지의 리셋 동작 구간을 보여주는 파형도이다.
- [0075] 쉬프트 레지스터의 스테이지들(ST1~STn)은 게이트 라인을 충전시키는 Q 노드(Q)와, 게이트 라인을 방전시키는 Q Bar노드(QB), Q 노드(Q)와 Q Bar노드(QB)에 연결된 스위치 회로를 포함한다. 스위치 회로는 스타트 펄스 또는 이전 스테이지의 출력에 응답하여 Q 노드(Q)를 충전시켜 게이트 라인의 전압을 상승시키고, 다음 스테이지의 출력 또는 리셋 신호(RST)에 응답하여 Q Bar노드(QB)를 방전시킨다.
- [0076] 도 6을 참조하면, 본 발명의 쉬프트 레지스터는 파워(Power)가 온(On)되면, 폐루프(closed loop) 형태의 궤환(feedback) 회로로 연결된 두 개의 인버터들(INV1, INV2)에 연결된 Q 노드(Q) 및 Q Bar노드(QB)의 전위는 고전위 전압(VGH) 또는 저전위 전압(VGL)중 어느 하나를 갖는 랜덤(Random) 상태가 된다. 이어서, 제 2 인버터(INV2)의 제2 MOS(M3)의 소스로 리셋 신호(RST)가 입력된다. 즉, 리셋 신호는 리셋 신호 라인(RST_SL)을 통해 저전압(VGL)에서 고전압(VGH)으로 변화하여 제 2 인버터(INV2)의 제2 NMOS(M3)에 입력 된다. 그 결과, Q 노드(Q)는 저전위 전압(VGL)으로 유지하고, Q Bar노드(QB)는 고전위 전압(VGH) 만들어 준다.

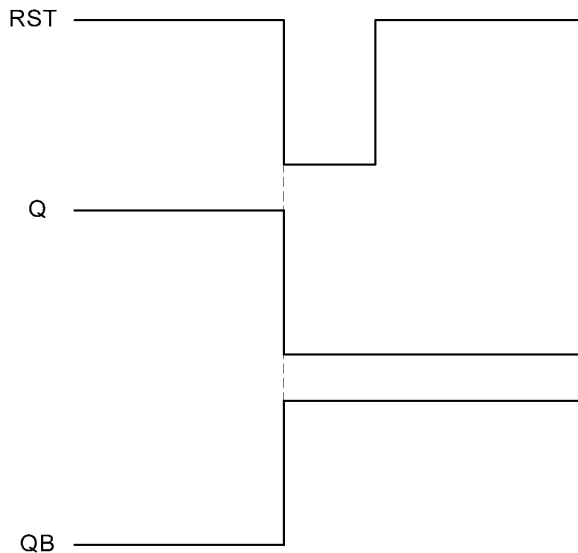
- [0077] 따라서, 게이트 구동회로가 파워 온(Power On)이 되면, Q 노드(Q)와 Q Bar노드(QB)는 게이트 구동회로의 동작을 시작 하기 위한 상태로 리셋이 된다.
- [0078] 본 발명의 게이트 구동회로가 동작하는 시점에서, 리셋 신호(RST)는 저전위 전압(VGL) 상태에서 고전위 전압(VGH)으로 상승한 후, 다시 저전위 전압(VGL)으로 하강하므로 종래의 리셋 신호와 위상이 반대인 리셋 신호(RST)이다. 종래 제1 인버터(INV1)의 제2 PMOS(M4)에 입력되는 리셋 신호(RST)와는 다르게, 본 발명의 위상이 반대인 리셋 신호(RST)는 제 2 인버터(INV2)의 제2 MOS(M3)을 이용하여 게이트 구동회로의 쉬프트 레지스터를 초기화 한다.
- [0079] 이상에서 살펴 본 바와 같이, 본 발명의 게이트 구동회로는 스테이지들 각각에 위상이 반대인 리셋 신호(RST)를 입력 받아서 초기화를 진행한다. 그 결과, 게이트 구동회로의 쉬프트 레지스터 리셋 구간은 높은 신뢰성을 갖는다. 또한, 쉬프트 레지스터의 초기화를 위해 추가 스위치 소자가 필요 없다.
- [0080] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정 되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

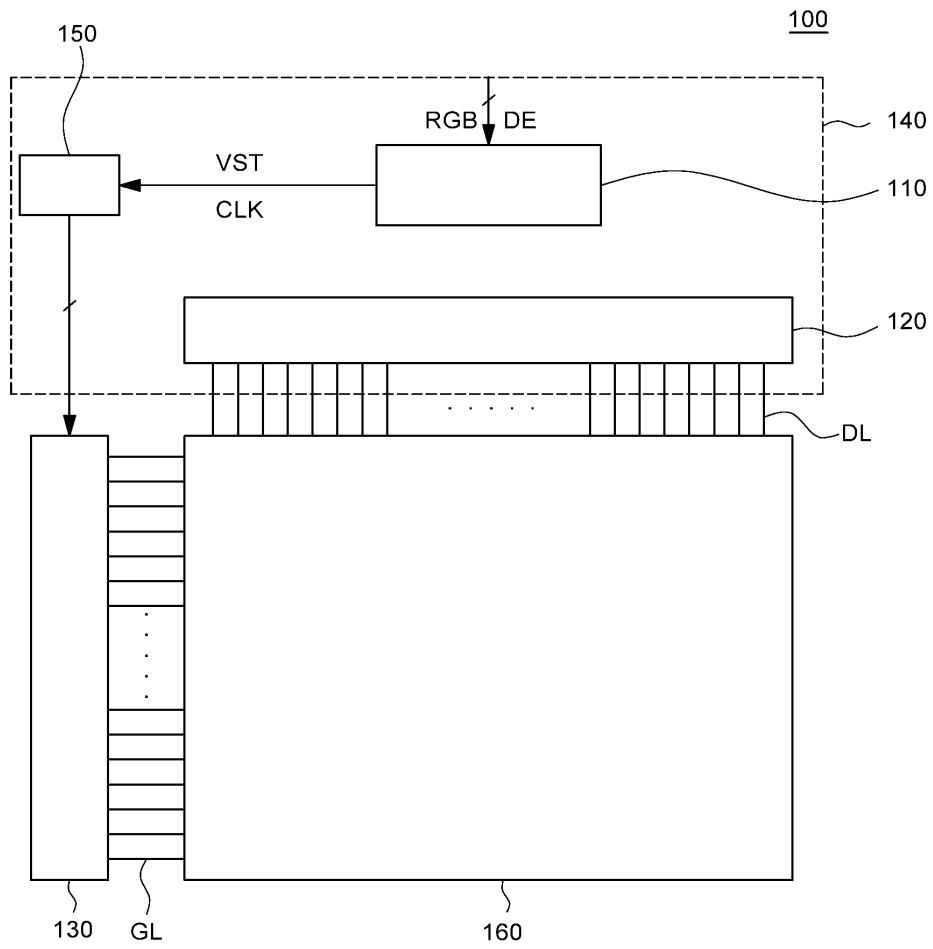
- [0081] 110: 타이밍 컨트롤러 120: 데이터 구동회로
130: 쉬프트 레지스터 140: PCB 기관
150: 레벨 쉬프터 160: 표시 패널
200: 제n 스테이지 210: 래치
220: 버퍼

도면

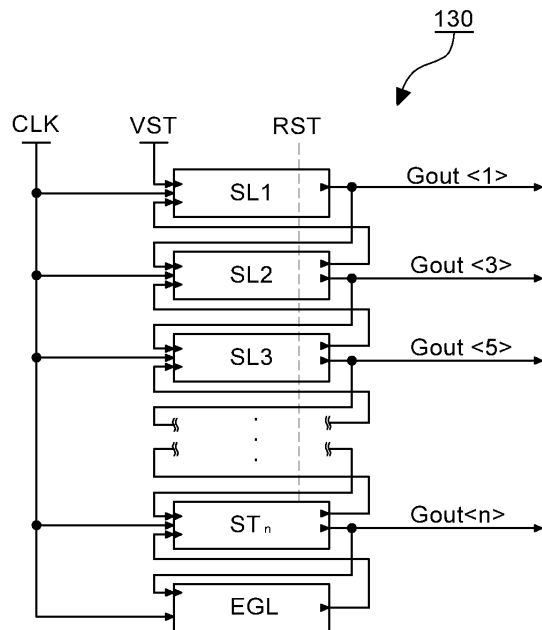
도면1



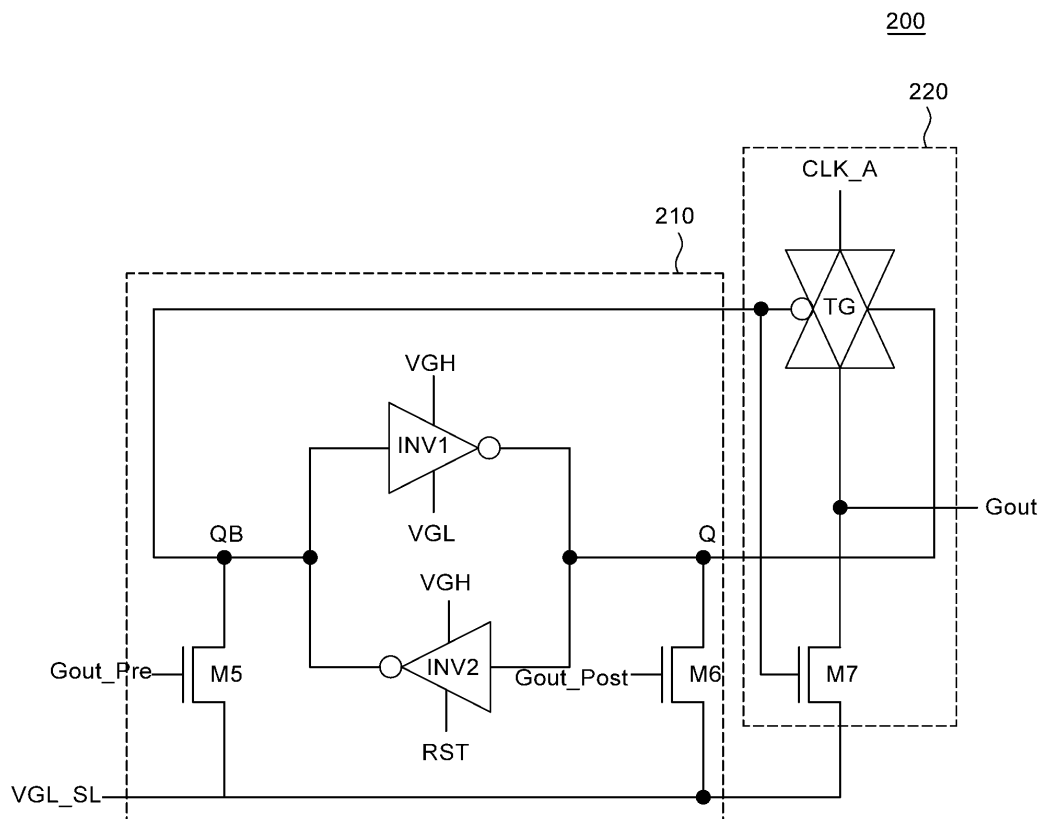
도면2



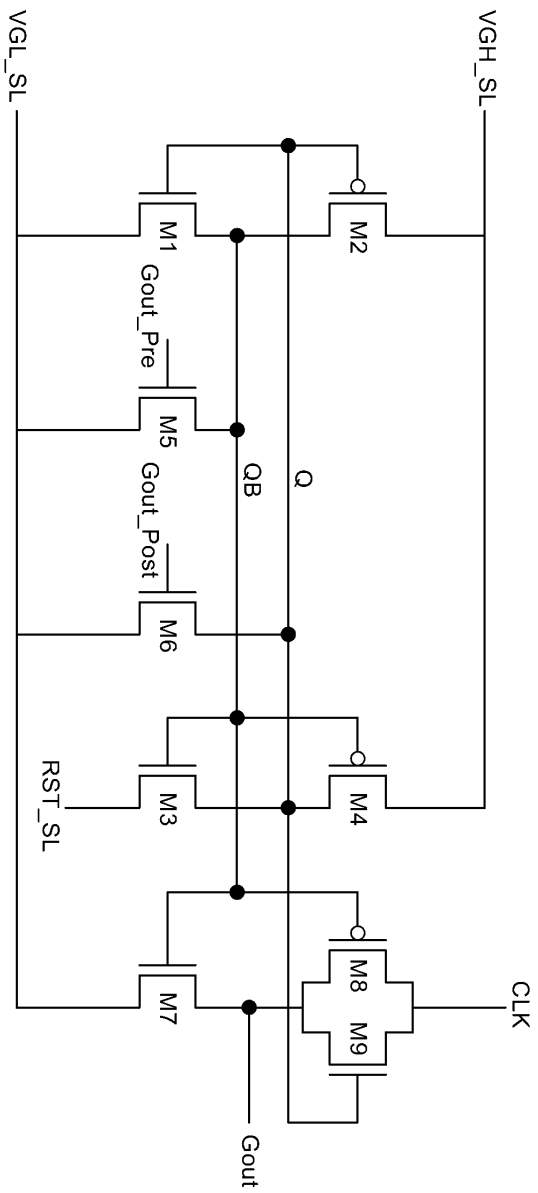
도면3



도면4



도면5



도면6

