



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0112036
(43) 공개일자 2017년10월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/32 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2016-0038506
(22) 출원일자 2016년03월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이명식
경기도 파주시 청석로 300 청석마을대원효성아파트 915동 101호
조한인
인천광역시 계양구 계양문화로 168 (용종동, 초정마을하나아파트) 314동 1006호
(74) 대리인
특허법인인벤투스

전체 청구항 수 : 총 23 항

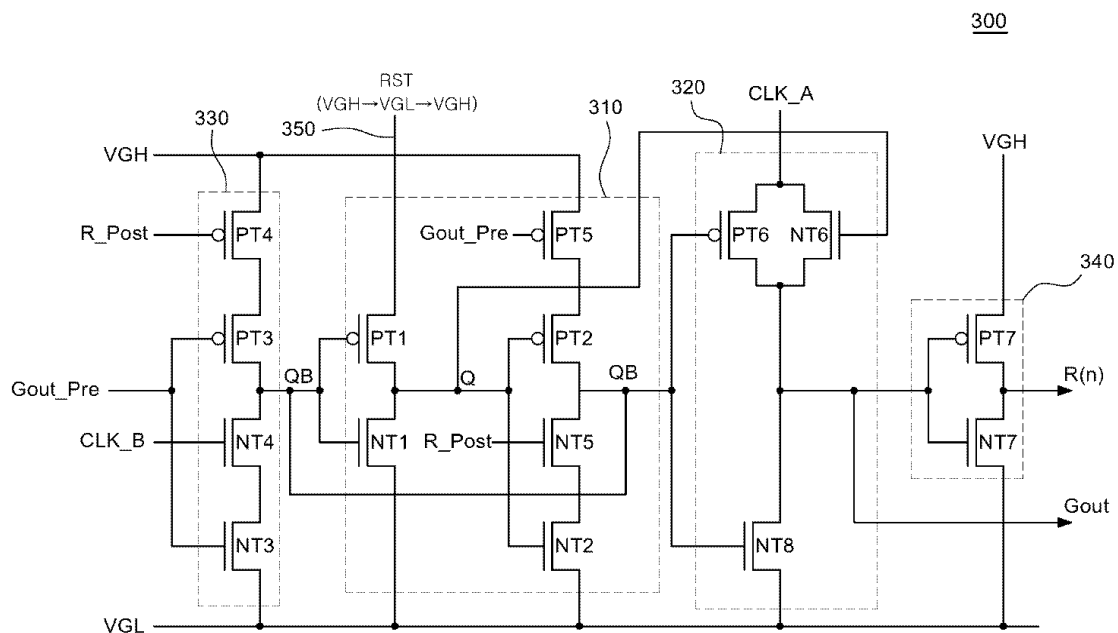
(54) 발명의 명칭 GIP(Gate-In-Panel) 구동회로와 이를 이용한 표시장치

(57) 요약

GIP(Gate-In-Panel) 구동회로와 이를 이용한 표시장치가 제공된다.

GIP(Gate-In-Panel) 구동회로는 Q노드와 QB노드 사이에서 서로 궤환(feedback)으로 연결된 인버터부를 포함한 복수의 스테이지를 구비한다. 인버터부는 제1 PMOS 트랜지스터 트랜지스터 및 제1 NMOS 트랜지스터 트랜지스터로 (뒷면에 계속)

대표도



구성된 제1 인버터, 제2 PMOS 트랜지스터 트랜지스터 및 제2 NMOS 트랜지스터 트랜지스터로 구성된 제2 인버터, 및 제1 PMOS 트랜지스터 트랜지스터의 소스 단자에 연결되어 상기 각 스테이지를 리셋(Reset)시키는 리셋신호 전송라인을 포함한다. Q노드 및 QB노드의 전압에 의해 제어되고, 제1 클럭(CLK1)을 입력 받아 게이트 전압을 출력하는 버퍼회로를 더 포함한다. Q노드의 전압과 QB노드의 전압은 래치로직 (Latch Logic) 회로에 의해 서로 반전 관계인 것을 특징으로 한다. 리셋신호 전송라인은 제1 인버터의 QB노드에 이상 전압이 발생 했을 때, GIP 구동회로가 리셋(Reset) 되도록 제1 인버터의 Q노드에 리셋(Reset) 전압을 전송한다. 또한, Q노드의 리셋(Reset)은 외부 노이즈(noise) 또는 전단 스테이지에서 출력된 이상 전압에 의해 제1 PMOS 트랜지스터가 턴-온 되면, Q노드가 게이트 로우 전압(VGL)으로 제어된다.

또한, 본 발명의 일 실시예에 따른 GIP(Gate-In-Panel) 구동회로에서는 표시장치의 파워 온(Power On) 직후에 게이트 구동회로의 각 스테이지가 초기 값이 정해지지 않은 랜덤 상태(random) 상태에 놓임으로써 발생하는 초기 구동 이상을 제어할 수 있다. 또한, 노이즈 신호를 포함하는 이전 스테이지의 출력 신호에 의해 스테이지의 Q 노드가 하이 전압으로 충전되어, 원하지 않는 타이밍에 게이트 신호가 출력되는 것을 제어할 수 있다.

(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

Q노드와 QB노드 사이에서 서로 궤환(feedback)으로 연결된 인버터부를 포함한 복수의 스테이지를 구비하고,

상기 인버터부는,

제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터로 구성된 제1 인버터;

제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터로 구성된 제2 인버터; 및

상기 제1 PMOS 트랜지스터의 소스 단자에 연결되어 상기 복수의 스테이지 각각을 리셋(Reset)시키는 리셋신호 전송라인을 포함하는 GIP(Gate In Panel) 구동회로.

청구항 2

제 1항에 있어서,

상기 Q노드의 전압 및 상기 QB노드의 전압에 의해 제어되고, 제1 클럭을 입력 받아 게이트 전압을 출력하는 버퍼회로를 더 포함하는 GIP 구동회로.

청구항 3

제 2항에 있어서,

상기 버퍼회로는,

상기 Q노드 및 상기 QB노드의 전압에 응답하고, 상기 제1 클럭을 출력 단자에 공급하여 상기 게이트 전압을 상승시키는 풀업 트랜지스터; 및

상기 QB 노드의 전압에 응답하여 게이트 로우 전압(VGL) 라인으로부터 입력되는 전압을 출력 단자에 공급하여 상기 게이트 전압을 떨어뜨리는 풀다운 트랜지스터를 포함하고,

상기 풀업 트랜지스터는 트랜스미션 게이트(Transmission Gate: TG)를 포함하는 GIP 구동회로.

청구항 4

제 3항에 있어서,

상기 트랜스미션 게이트는,

상기 QB 노드와 연결된 게이트, 상기 출력 단자에 연결된 드레인, 및 상기 제1 클럭이 입력되는 소스를 포함한 제6 PMOS 트랜지스터; 및

상기 Q 노드와 연결된 게이트, 상기 출력 단자에 연결된 소스, 및 상기 제1 클럭이 입력되는 드레인을 구비한 제6 NMOS 트랜지스터를 포함하고,

상기 풀다운 트랜지스터는,

상기 QB 노드에 연결된 게이트, 상기 출력 단자에 연결된 드레인, 및 상기 게이트 로우 전압(VGL) 라인에 연결된 소스를 구비한 제8 NMOS 트랜지스터를 포함하는 GIP 구동회로.

청구항 5

제 2항에 있어서,

상기 인버터부는 상기 Q노드의 전압과 상기 QB노드의 전압에 의해 상기 버퍼회로의 게이트 전압 출력을 제어하는 래치로직(Latch Logic) 회로인 GIP 구동회로.

청구항 6

제 5항에 있어서,

상기 Q 노드의 전압과 상기 QB노드의 전압은 상기 래치로직 회로에 의해 서로 반전 관계인 GIP 구동회로.

청구항 7

제 1항에 있어서,

상기 리셋신호 전송라인은 상기 제1 인버터의 QB노드에 이상 전압이 발생 했을 때, 상기 GIP 구동회로가 리셋(Reset) 되도록 상기 제1 인버터의 Q노드에 리셋신호를 전송하는 GIP 구동회로.

청구항 8

제 1항에 있어서,

상기 리셋신호 전송라인은 추가 트랜지스터를 거치지 않고 상기 제1 인버터의 입력단에 직접 연결되어, 상기 스테이지의 소비전력을 감소 시키는 GIP 구동회로.

청구항 9

제 7항에 있어서,

상기 Q노드의 리셋신호는, 외부 노이즈(noise) 또는 전단 스테이지에서 출력된 상기 이상 전압에 의해 상기 제1 PMOS 트랜지스터가 턴-온 되면, 상기 Q노드가 게이트 로우 전압(VGL)으로 제어되도록 인가되는 GIP 구동회로.

청구항 10

제 1항에 있어서,

상기 제1 NMOS 트랜지스터의 소스 단자에 게이트 로우 전압(VGL)을 전송하는 게이트 로우 전압(VGL) 라인을 더 포함하고,

상기 게이트 로우 전압(VGL) 라인은 GIP 구동회로가 파워 온(Power On) 직후, Q노드(Q)와 QB노드(QB)의 초기 값이 정해지지 않아 Q노드(Q)와 QB노드(QB)가 랜덤(random) 상태가 되었을 때, 상기 GIP 구동회로가 리셋되도록 제1 인버터의 Q노드에 게이트 로우 전압(VGL)을 전송하는 GIP 구동회로.

청구항 11

제 1 항에 있어서,

상기 제2 PMOS 트랜지스터의 소스에 연결된 제5 PMOS 트랜지스터 및 상기 제2 NMOS 트랜지스터의 드레인에 연결된 제5 NMOS 트랜지스터를 더 포함하는 GIP 구동회로.

청구항 12

제 11 항에 있어서,

상기 제5 PMOS 트랜지스터는 전단 스테이지로부터 입력되는 캐리신호에 의해 턴-온 되어 상기 QB노드를 게이트 하이 전압(VGH)으로 제어하는 GIP 구동회로.

청구항 13

제 11 항에 있어서,

상기 제5 NMOS 트랜지스터는 후단 스테이지로부터 입력되는 리버스 신호에 의해 턴-오프 되어 QB노드에 게이트 로우 전압(VGL)이 공급되는 것을 제어하는 GIP 구동회로.

청구항 14

제 1 항에 있어서,

상기 QB노드에 전기적으로 연결되고, 제3 PMOS 트랜지스터 및 제3 NMOS 트랜지스터를 구비한 제3 인버터;

상기 제3 PMOS 트랜지스터 소스에 연결된 제4 PMOS 트랜지스터; 및

상기 제3 NMOS 트랜지스터의 드레인에 연결된 제4 NMOS 트랜지스터를 구비한 이상출력 제어회로를 더 포함하는 GIP 구동회로.

청구항 15

제 14 항에 있어서,

상기 이상출력 제어회로는 제2 클럭(CLK_B) 및 전단 스테이지로부터 수신된 캐리 신호를 기초로, 상기 제3 인버터에 입력된 캐리 신호와 상기 제4 NMOS 트랜지스터에 입력된 상기 제2 클럭(CLK_B)이 서로 동기화 될 때 QB노드(QB)는 게이트 로우 전압(VGL)인 GIP 구동회로.

청구항 16

제 14 항에 있어서,

상기 제4 NMOS 트랜지스터에 입력되는 상기 제2 클럭(CLK_B)은, 캐리 신호가 비정상 타이밍으로 상기 제3 인버터에 입력되는 경우, 상기 QB노드에 게이트 로우 전압(VGL)이 인가되지 않도록 제어하는 GIP 구동회로

청구항 17

제 14 항에 있어서,

상기 제4 PMOS 트랜지스터는 후단 스테이지로부터 입력되는 리버스 신호에 의해 턴-온 되어 상기 QB노드를 게이트 하이 전압(VGH)으로 제어하는 GIP 구동회로.

청구항 18

제 17 항에 있어서,

상기 QB노드의 게이트 하이 전압(VGH)은 트랜스미션 게이트를 턴-오프 시키고 게이트 전압 출력을 제어하는 GIP 구동회로.

청구항 19

순차적으로 위상이 지연되는 제1 클럭 및 제2 클럭을 입력 받아 출력 신호를 발생하는 다수의 스테이지를 구비하고,

제 n (n 은 양의 정수) 스테이지는,

Q노드와 QB노드 사이에서 서로 궤환(feedback)으로 연결된 인버터를 구비하는 래치회로;

상기 Q노드 및 상기 QB노드와 연결되고 상기 제1 클럭에 동기 되어 상기 출력 신호를 발생하는 버퍼회로;

상기 QB노드와 전기적으로 연결되어 상기 제2 클럭(CLK_B) 및 전단 스테이지로부터 입력되는 캐리 신호의 동기화에 따라 상기 출력 신호를 제어하는 이상출력 제어회로; 및

상기 인버터와 전기적으로 연결되어 상기 Q 노드에 리셋신호를 전송하는 리셋신호 전송라인을 포함하는 CMOS 게이트 구동회로.

청구항 20

제 19항에 있어서,

상기 인버터는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 CMOS 트랜지스터인 CMOS 게이트 구동회로.

청구항 21

제 20 항에 있어서,

상기 PMOS 트랜지스터의 소스와 상기 NMOS 트랜지스터의 드레인에 각각 연결되어 상기 인버터의 동작 속도를 증

가 시키는 복수의 제어 스위치를 더 포함하는 CMOS 게이트 구동회로.

청구항 22

제 21 항에 있어서,

상기 인버터의 동작 속도는 상기 Q노드와 상기 QB노드에 시간적으로 서로 중복되지 않고 전압이 인가됨에 따라 증가하는 CMOS 게이트 구동회로.

청구항 23

제 19 항에 있어서,

상기 제n 스테이지의 QB노드에 걸리는 전압을 게이트 하이전압(VGH)으로 유지하여 상기 제n 스테이지의 게이트 신호 출력을 제어하는 더미(Dummy) 스테이지를 더 포함하는 CMOS 게이트 구동회로.

발명의 설명

기술 분야

[0001] 본 발명은 GIP(Gate-In-Panel) 구동회로와 이를 이용한 표시장치에 관한 것으로, 보다 상세하게는 CMOS 트랜지스터(Complementary Metal-Oxide-Semiconductor) 트랜지스터 소자를 포함한 GIP(Gate-In-Panel) 구동회로와 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0002] 모바일폰, 태블릿, 노트북 컴퓨터, 텔레비전 및 모니터와 같은 다양한 전자 디바이스에 평면 패널 표시 장치(flat panel display; FPD)가 채용되었다. 최근 FPD에는 액정 표시 장치(Liquid Crystal Display Device, 이하 'LCD' 라 함) 및 유기 발광 다이오드 표시 장치(Organic Light Emitting Diode Display, 이하 'OLED' 라 함) 등이 있다. 이와 같은 표시 장치는 복수의 화소를 포함하고, 영상이 표시되고 복수의 화소로 이루어진 화소 어레이와 복수의 화소 각각에서 광이 투과되거나 발광되도록 제어하는 구동회로를 포함한다.

[0003] 표시 장치의 구동회로는 화소 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동회로, 데이터 신호에 동기되는 게이트 신호(또는 스캔 신호)를 화소 어레이의 게이트 라인들(또는 스캔 라인)에 순차적으로 공급하는 게이트 구동회로(또는 스캔 구동회로) 및 데이터 구동회로와 게이트 구동회로를 제어하는 타이밍 컨트롤러 등을 포함한다.

[0004] 복수의 화소 각각은 게이트 라인을 통해 공급되는 게이트 신호에 응답하여 데이터 라인의 전압을 화소 전극에 공급하는 박막 트랜지스터(Thin Film Transistor)를 포함할 수 있다. 게이트 신호는 게이트 하이 전압(Gate High Voltage; VGH)과 게이트 로우 전압(Gate Low Voltage; VGL) 사이에서 스윙(swing)한다. 즉, 게이트 신호는 펄스 형태로 나타난다.

[0005] 게이트 하이 전압(VGH)은 표시 패널에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다. 화소들의 박막 트랜지스터는 게이트 하이 전압에 응답하여 턴-온(turn-on)된다.

[0006] 최근 표시 장치가 박형 화됨에 따라 게이트 구동회로를 화소 어레이와 함께 표시 패널에 내장하는 기술이 개발되고 있다. 이와 같이 표시 패널에 내장된 게이트 구동회로는 "GIP(Gate In Panel) 구동회로"로 알려져 있다. 여기서, 게이트 구동회로는 게이트 신호를 생성하기 위한 시프트 레지스터(shift register)를 포함한다. 시프트 레지스터는 종속적으로 접속된 복수의 스테이지(stage)를 포함한다. 복수의 스테이지는 스타트 신호에 응답하여 출력을 발생시키고 그 출력을 시프트 클럭에 따라 시프트시킨다. 이에 따라, 게이트 구동회로는 시프트 레지스터에서의 복수의 스테이지를 순차적으로 구동하여 게이트 신호를 생성할 수 있다.

[0007] 또한, 표시장치의 파워 온(Power On) 직후에, 비표시 기간 동안에는 게이트 구동회로는 각 스테이지의 Q 노드와 QB 노드에 초기 값이 정해지지 않아서 랜덤(random)상태이다. 그래서, 비정상 상태(abnormal state)에서 게이트 신호가 출력되는 상황이 발생 할 수 있다. 이를 해결하기 위해서, 복수의 스테이지를 리셋(Reset)하여 게이트 구동의 안정성을 확보한다.

[0008] 게이트 구동회로의 안정적인 동작을 위해서, Q노드 = Low Voltage, QB = High Voltage로 초기화하기 위한 리셋

(Reset) 신호가 게이트 구동회로의 각 스테이지들에 공통으로 공급될 필요가 있다.

[0009] 그리고, 스테이지 각각은 이전 스테이지의 출력 신호 및 다음 스테이지의 출력 신호에 종속적으로 구동하여 게이트 신호를 출력한다. 이에, 이전 스테이지의 출력 신호에 노이즈(noise) 신호가 존재하는 경우, 이전 스테이지의 노이즈(noise) 신호에 의해 Q 노드가 하이 전압으로 충전되어, 원하지 않는 타이밍(timing)에 게이트 신호가 출력되는 문제가 발생할 수 있다.

[0010] 따라서, 최근에 게이트 구동회로가 안정적으로 초기화 하기 위해 리셋(Reset) 신호 구현 및 이상(abnormal) 신호가 출력되는 것을 막기 위한 다양한 연구 개발이 진행되고 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 발명자들은 상술한 바와 같이, 표시장치의 파워 온(Power On) 직후에 게이트 구동회로의 각 스테이지가 초기 값이 정해지지 않은 랜덤 상태(random) 상태에 놓임으로써 발생하는 초기 구동이상을 제어하는 회로를 포함하는 GIP 구동회로 및 이를 포함하는 표시장치의 새로운 구조를 발명하였다.

[0012] 또한, 본 발명의 발명자들은 노이즈(noise) 신호를 포함하는 이전 스테이지의 출력 신호에 의해 스테이지의 Q 노드가 하이 전압으로 충전되어, 원하지 않는 타이밍에 게이트 신호가 출력되는 것을 제어하는 회로를 포함하는 GIP 구동회로 및 이를 포함하는 표시장치의 새로운 구조를 발명하였다.

[0013] 이에, 본 발명이 해결하고자 하는 과제는 표시장치의 파워 온(Power On) 직후에 GIP 구동회로의 각 스테이지에 있어서, Q 노드는 로우 전압 및 QB 노드는 하이 전압으로 리셋(Reset) 시킬 수 있는 GIP 구동회로 및 이를 포함하는 표시장치를 제공하는 것이다.

[0014] 또한, 본 발명이 해결하고자 하는 다른 과제는 노이즈(noise) 신호를 포함하는 이전 스테이지의 출력 신호에 의해 스테이지의 Q 노드가 하이 전압으로 충전되어, 원하지 않는 타이밍에 게이트 신호가 출력되는 것을 제어할 수 있는 GIP 게이트 구동회로 및 이를 포함하는 표시장치를 제공하는 것이다.

[0015] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술 되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0016] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 GIP(Gate-In-Panel) 구동회로와 이를 이용한 표시장치가 제공된다. GIP(Gate-In-Panel) 구동회로는 Q노드와 QB노드 사이에서 서로 제환(feedback)으로 연결된 인버터부를 포함한 복수의 스테이지를 구비하고, 인버터부는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터로 구성된 제1 인버터, 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터로 구성된 제2 인버터, 및 제1 PMOS 트랜지스터의 소스 단자에 연결되어 복수의 스테이지 각각을 리셋(Reset)시키는 리셋신호 전송라인을 포함한다.

[0017] 본 발명의 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로는 Q노드의 전압 및 QB노드의 전압에 의해 제어되고, 제1 클럭을 입력 받아 게이트 전압을 출력하는 버퍼회로를 더 포함할 수 있다.

[0018] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 버퍼회로는 Q노드 및 QB노드의 전압에 응답하고, 제1 클럭을 출력 단자에 공급하여 게이트 전압을 상승시키는 풀업 트랜지스터, 및 QB 노드의 전압에 응답하여 게이트 로우 전압(VGL) 라인으로부터 입력되는 전압을 출력 단자에 공급하여 게이트 전압을 떨어뜨리는 풀다운 트랜지스터를 포함하고, 풀업 트랜지스터는 트랜스미션 게이트(Transmission Gate: TG)를 포함할 수 있다.

[0019] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 트랜스미션 게이트(Transmission Gate: TG)는 QB 노드와 연결된 게이트, 출력 단자에 연결된 드레인, 및 제1 클럭이 입력되는 소스를 포함한 제6 PMOS 트랜지스터, 및 Q 노드와 연결된 게이트, 출력 단자에 연결된 소스, 및 제1 클럭이 입력되는 드레인을 구비한 제6 NMOS 트랜지스터를 포함하고, 풀다운 트랜지스터는, QB 노드에 연결된 게이트, 출력 단자에 연결된 드레인, 및 게이트 로우 전압(VGL) 라인에 연결된 소스를 구비한 제8 NMOS 트랜지스터를 포함할 수 있다.

[0020] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 인버터부는 Q노드의 전압과 QB노드의 전압에 의해 버퍼회로의 게이트 전압 출력을 제어하는 래치로직 (Latch Logic) 회로일 수 있다.

- [0021] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 인버터부는 Q 노드의 전압과 QB노드의 전압은 래치로직 회로에 의해 서로 반전 관계일 수 있다.
- [0022] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 리셋신호 전송라인은 추가 트랜지스터를 거치지 않고 제1 인버터의 입력단에 직접 연결되어, 스테이지의 소비전력을 감소시킬 수 있다.
- [0023] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 Q노드의 리셋신호는, 외부 노이즈(noise) 또는 전단 스테이지에서 출력된 이상 전압에 의해 제1 PMOS 트랜지스터가 턴-온 되면, Q노드가 게이트 로우 전압(VGL)으로 제어되도록 인가될 수 있다.
- [0024] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로는 제1NMOS 트랜지스터의 소스 단자에 게이트 로우 전압(VGL)을 전송하는 게이트 로우 전압(VGL) 라인을 더 포함하고, 게이트 로우 전압(VGL) 라인은 GIP 구동회로가 파워 온(Power On) 직후, Q노드(Q)와 QB노드(QB)의 초기 값이 정해지지 않아 Q노드(Q)와 QB노드(QB)가 랜덤(random) 상태가 되었을 때, GIP 구동회로가 리셋되도록 제1 인버터의 Q노드에 게이트 로우 전압(VGL)을 전송할 수 있다.
- [0025] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로는 제2 PMOS 트랜지스터의 소스에 연결된 제5 PMOS 트랜지스터 및 제2 NMOS 트랜지스터의 드레인에 연결된 제5 NMOS 트랜지스터를 더 포함할 수 있다.
- [0026] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로는 제5 PMOS 트랜지스터는 전단 스테이지로부터 입력되는 캐리신호에 의해 턴-온 되어 QB노드를 게이트 하이 전압(VGH)으로 제어할 수 있다.
- [0027] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 제5 NMOS 트랜지스터는 후단 스테이지로부터 입력되는 리버스 신호에 의해 턴-오프 되어 QB노드에 게이트 로우 전압(VGL)이 공급되는 것을 제어할 수 있다.
- [0028] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로는 QB노드에 전기적으로 연결되고, 제3 PMOS 트랜지스터 및 제3 NMOS 트랜지스터를 구비한 제3 인버터, 제3 PMOS 트랜지스터 소스에 연결된 제4 PMOS 트랜지스터, 및 제3 NMOS 트랜지스터의 드레인에 연결된 제4 NMOS 트랜지스터를 구비한 이상출력 제어회로를 더 포함할 수 있다.
- [0029] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 이상출력 제어회로는 제2 클럭(CLK_B) 및 전단 스테이지로부터 수신된 캐리 신호를 기초로, 제3 인버터에 입력된 캐리 신호와 제4 NMOS 트랜지스터에 입력된 제2 클럭(CLK_B)이 서로 동기화 될 때 QB노드(QB)는 게이트 로우 전압(VGL)일 수 있다.
- [0030] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 제4 NMOS 트랜지스터에 입력되는 제2 클럭(CLK_B)은, 캐리 신호가 비정상 타이밍으로 제3 인버터에 입력되는 경우, QB노드(QB)에 게이트 로우 전압(VGL)이 인가되지 않도록 제어할 수 있다.
- [0031] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 제4 PMOS 트랜지스터는 후단 스테이지로부터 입력되는 리버스 신호에 의해 턴-온 되어 QB노드를 게이트 하이 전압(VGH)으로 제어할 수 있다.
- [0032] 본 발명의 또 다른 특징에 따르면, GIP(Gate-In-Panel) 구동회로의 QB노드의 게이트 하이 전압(VGH)은 트랜스미션 게이트를 턴-오프 시키고 게이트 전압 출력을 제어할 수 있다.
- [0033] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 CMOS 게이트 구동회로는 순차적으로 위상이 지연되는 제1 클럭 및 제2 클럭을 입력 받아 출력 신호를 발생하는 다수의 스테이지를 구비한다. 제n(n은 양의 정수) 스테이지는 Q노드와 QB노드 사이에서 서로 궤환(feedback)으로 연결된 인버터를 구비하는 래치회로, Q노드 및 QB노드와 연결되고 제1 클럭에 동기 되어 출력신호를 발생하는 버퍼회로, QB노드와 전기적으로 연결되어 제2 클럭(CLK_B) 및 전단 스테이지로부터 입력되는 캐리 신호의 동기화에 따라 출력신호를 제어하는 이상출력 제어회로, 및 인버터와 전기적으로 연결되어 Q 노드에 리셋신호를 전송하는 리셋신호 전송라인을 포함한다.
- [0034] 본 발명의 다른 특징에 따르면, CMOS 게이트 구동회로의 인버터는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 CMOS 트랜지스터일 수 있다.
- [0035] 본 발명의 또 다른 특징에 따르면, CMOS 게이트 구동회로는 PMOS 트랜지스터의 소스와 NMOS 트랜지스터의 드레인에 각각 연결되어 인버터의 동작 속도를 증가 시키는 복수의 제어 스위치를 더 포함할 수 있다.
- [0036] 본 발명의 또 다른 특징에 따르면, CMOS 게이트 구동회로의 인버터의 동작 속도는 Q노드와 QB노드에 시간적으로 서로 중복되지 않고 전압이 인가됨에 따라 증가할 수 있다.

[0037] 본 발명의 또 다른 특징에 따르면, CMOS 게이트 구동회로는 n번째 스테이지의 QB노드에 걸리는 전압을 게이트 하이전압(VGH)으로 유지하여 n번째 스테이지의 게이트 신호 출력을 제어하는 더미(Dummy) 스테이지를 더 포함할 수 있다.

[0038] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0039] 본 발명의 GIP 구동회로는 Q노드 와 QB노드 사이에서 서로 궤환(feedback)으로 연결된 인버터부를 각각 구비한 복수의 스테이지를 포함한다. 각 스테이지의 인버터부는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터로 구성된 제1 인버터, 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터로 구성된 제2 인버터를 포함한다. 또한 제2 NMOS 트랜지스터의 소스 단자에 연결되어 각 스테이지를 초기화 시키는 리셋(Reset) 신호를 공급하는 리셋신호 전송라인이 연결되어 있다. 그 결과, 제1 인버터의 QB노드에 이상 전압이 발생 시, 제1 인버터의 Q노드에 리셋신호를 직접 전송하여 각 스테이지를 초기화 할 수 있다.

[0040] 리셋신호는 트랜지스터를 추가하지 않고 제1인버터의 입력단에 직접 전원을 전송받을 수 있다. 따라서, 게이트 구동회로의 소비전력을 감소 할 수 있으며, 게이트 구동회로의 면적 증가 없이, 표시장치의 네로우 베젤을 구현할 수 있다.

[0041] 또한, 본 발명의 GIP 구동회로는 QB노드에 전기적으로 연결되고, 제3 PMOS 트랜지스터 및 제3 NMOS 트랜지스터를 구비한 제3 인버터, 제3 PMOS 트랜지스터 소스에 연결된 제4 PMOS 트랜지스터 및 제3 NMOS 트랜지스터의 드레인에 연결된 제4 NMOS 트랜지스터를 구비한 게이트 전압 출력 제어회로를 포함한다. 그 결과, 제2 클럭(CLK_B) 및 전단 스테이지로부터 수신된 캐리 신호를 기초로, 제3 인버터에 입력된 캐리 신호와 제4 NMOS 트랜지스터에 입력된 상기 제2 클럭(CLK_B) 이 서로 동기화 될 때만 게이트 전압이 출력되도록 제어한다.

도면의 간단한 설명

[0042] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 GIP 구동회로의 복수의 스테이지와 GIP 구동회로의 제어 신호의 관계를 나타내는 블록도이다.

도 3a는 본 발명의 일 실시예에 따른 도 2에 도시된 복수의 스테이지 중 하나의 스테이지의 구성을 상세히 나타내는 회로도이다

도 3b는 본 발명의 일 실시예에 따른 도 3a의 상세 회로도를 간략하게 나타내는 회로도이다.

도 4는 본 발명의 일 실시예에 따른 도 3a에 도시된 스테이지에서의 입출력 신호를 나타내는 파형도이다.

도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 도 4의 파형도의 구간별 스테이지 내부에서 신호의 흐름을 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0043] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0044] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다.

[0045] 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0046] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 위치 관

계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접' 이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

- [0047] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0048] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0049] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0050] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0051] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0052] 이하, 도 1 내지 도 6을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0053] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다. 도 1을 참조하면, 표시 장치(100)는 표시 패널(PNL)과 표시 패널(PNL)의 화소 어레이(pixel array)(110)에 입력 영상의 데이터를 입력하기 위한 구동회로를 포함한다.
- [0054] 표시패널(PNL)은 LCD, OLED 표시장치 등 게이트 구동회로가 필요한 평판 표시장치의 표시패널로 구현될 수 있다.
- [0055] 표시패널(PNL)은 복수의 데이터 라인(139), 복수의 데이터 라인(139)과 직교하는 복수의 게이트 라인(149) 및 복수의 데이터 라인(150)과 복수의 게이트 라인(149)에 의해 정의된 매트릭스 형태로 화소들이 배치된 화소 어레이(110)를 포함한다.
- [0056] 표시패널(PNL)의 구동회로는 복수의 데이터 라인(139)에 데이터 전압을 공급하는 데이터 구동회로(130), 데이터 전압에 동기되는 게이트 신호를 복수의 게이트 라인(149)에 순차적으로 공급하는 게이트 구동회로 및 타이밍 콘트롤러(Timing Controller, TCON)(120)를 포함한다.
- [0057] 여기서, 본 발명의 일 실시예에 따른 게이트 구동회로는 표시패널(PNL)의 화소 어레이(110) 주변에 위치하며, 복수의 게이트 라인(149)을 경유하여 게이트 신호를 공급하는 GIP(Gate In Panel) 구동회로(140)를 포함한다.
- [0058] 타이밍 콘트롤러(120)는 외부의 호스트 시스템으로부터 수신된 입력 영상의 데이터를 데이터 구동회로(130) 및 GIP 구동회로(140)로 전송한다. 타이밍 콘트롤러(120)는 외부의 호스트 시스템으로부터 입력 영상에 동기되는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 도트 클럭 등의 타이밍 신호를 수신한다.
- [0059] 타이밍 콘트롤러(120)는 입력된 타이밍 신호를 기준으로 데이터 구동회로(130)와 GIP 구동회로(140)의 동작 타이밍을 제어하기 위한 다양한 제어 신호를 생성한다. 즉, 타이밍 콘트롤러(120)는 데이터 구동회로(130)를 제어하기 위한 데이터 드라이버 제어 신호(Data Driver Control signal; DDC)를 생성하고, GIP 구동회로(140)를 제어하기 위한 게이트 드라이버 제어 신호(Gate Driver Control signal; GDC)를 생성한다.
- [0060] 이러한 타이밍 콘트롤러(120)는 표시 패널(PNL)의 외부에 배치될 수 있다. 구체적으로, 타이밍 콘트롤러(120)는 인쇄 회로 기판과 같은 패드부에 배치된다. 이에 따라, 타이밍 콘트롤러(120)는 표시 패널(PNL)의 외부에서 데이터 드라이버 제어 신호(DDC)를 데이터 구동회로(130)로 전송하고, 게이트 드라이버 제어 신호(GDC)를 GIP 구동회로(140)로 전송한다.
- [0061] 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 입력 영상의 데이터와 데이터 드라이버 제어 신호(DDC)를 수신한다. 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 전송되는 데이터 드라이버 제어 신호(DDC)에 의해 입력 영상의 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 생성하고, 데이터 전압을 복수의 데이터 라인(150)로 출력한다.
- [0062] 데이터 구동회로(130)는 복수의 소스 전극 드라이버 IC(Integrated Circuit)를 포함한다. 소스 전극 드라이브

IC는 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 복수의 데이터 라인(139)에 접속된다.

- [0063] 게이트 구동회로는 GIP 구동회로(140)외에 레벨 시프터(Level shifter)를 더 포함한다. 여기서, 레벨 시프터는 GIP 구동회로(140)와 물리적으로 분리되어 배치될 수 있다. 레벨 시프터는 표시 패널(PNL)의 외부에 배치될 수 있으며, 표시 패널(PNL)에 연결된 외부 회로부(예를 들어, 인쇄 회로 기판)에 배치될 수 있다.
- [0064] 타이밍 컨트롤러(120)로부터 전송되는 게이트 드라이버 제어 신호(GDC)는 레벨 시프터에 의해 전압 레벨이 변환되어 GIP 구동회로(140)에 입력된다.
- [0065] 레벨 시프터에 입력되는 신호는 디지털 신호이기 때문에 표시 패널(PNL)의 박막 트랜지스터들을 구동할 수 없다. 이에, 레벨 시프터는 타이밍 컨트롤러(120)로부터 전송된 게이트 드라이버 제어 신호(GDC) 각각의 전압을 시프트(shift)하여 게이트 로우 전압(VGL)과 게이트 하이 전압(VGH) 사이에서 스윙(swing)하는 전압을 갖는 신호로 변환한다.
- [0066] 게이트 하이 전압(VGH)은 표시 패널(PNL)에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다.
- [0067] GIP 구동회로(140)는 구동방식에 따라 표시 패널(PNL)의 일측 가장자리에 배치되거나 양측 가장자리에 배치될 수 있다. 도 1에 도시된 게이트 구동회로는 인터레이스(Interlace) 방식의 GIP 구동회로(140)로 표시 패널(PNL)의 좌측 및 우측 가장자리에 배치된다. 즉, GIP 구동회로(140)는 표시 패널(PNL)의 좌측에 배치된 제1 GIP 구동회로(140L) 및 표시 패널(PNL)의 우측에 배치된 제2 GIP 구동회로(140R)로 이루어진다. GIP 구동회로(140)가 표시 패널(PNL)에서 배치되는 위치는 도 1에 도시된 바로 한정되지 않고 실시예에 따라 다양하게 구현될 수 있다.
- [0068] 이하에서는 인터레이스 방식의 GIP 구동회로(140)를 기준으로 게이트 구동회로의 구성 및 동작에 대해서 설명한다.
- [0069] GIP 구동회로(140)는 화소 어레이(110)와 동시에 표시 패널(PNL)의 기판 상에 형성될 수 있다. 즉, 게이트 구동회로에서 GIP 구동회로(140)가 표시 패널(PNL)의 양측 베젤 영역에 화소 어레이(110)와 동시에 형성될 수 있다.
- [0070] 본 발명의 일 실시예에 따른 표시 장치(100)는 화소 어레이(110)를 구동하기 위한 타이밍 컨트롤러(120), 데이터 구동회로(130) 및 GIP 구동회로(140)를 포함한다. 여기서, GIP 구동회로(140)는 타이밍 컨트롤러(120)로부터 전송된 게이트 드라이버 제어 신호(GDC)에 의해 게이트 라인(149)에 순차적으로 게이트 신호를 공급한다.
- [0071] 특히, GIP 구동회로(140)는 게이트 라인(149)에 게이트 신호를 공급하는 데 관여하는 다수의 제어 신호로 구성된 게이트 드라이버 제어 신호(GDC)를 타이밍 컨트롤러(120)로부터 공급 받을 수 있다.
- [0072] 게이트 구동회로에서 GIP 구동회로(140)의 구체적인 구성에 대해서는 이하 도 2를 참조하여 후술한다.
- [0073] 도 2는 본 발명의 일 실시예에 따른 GIP 구동회로의 복수의 스테이지와 GIP 구동회로의 제어 신호의 관계를 나타내는 블록도이다.
- [0074] GIP 구동회로(140)는 종속적으로 접속된 다수의 스테이지들(ST1~STn, n은 2 이상의 자연수)을 구비한다. 각 스테이지들(ST1~STn)은 각각 제1 내지 제n 게이트 펄스(Gout1~Goutn)를 출력한다. 게이트 펄스(Gout(1)~Gout(n))는 표시장치의 게이트 라인들에 인가됨과 동시에, 전단 스테이지와 후단 스테이지로 전달되는 제1 캐리 신호(Gout_pre) 역할을 겸한다. 이하의 설명에서 "전단 스테이지"는 기준이 되는 스테이지의 상부에 위치하는 것을 말한다.
- [0075] 예컨대, 제k(k는 $1 < k < n$ 인 자연수) 스테이지(STk)을 기준으로, 전단 스테이지는 제1 스테이지(ST1) 내지 제k-1 스테이지(ST(k-1)) 중 어느 하나를 지시한다.
- [0076] 또한, "후단 스테이지"는 기준이 되는 스테이지의 하부에 위치하는 것을 말한다. 예컨대, k($1 < k < n$) 스테이지(STk)을 기준으로, 후단 스테이지는 제k+1 스테이지(ST(k+1)) 내지 제n 스테이지 중 어느 하나를 지시한다.
- [0077] GIP 구동회로(140L)에서 신호 및 클럭에 (L)로 병기된 것은 좌측에 배치된 제1 GIP 구동회로(140L)에 인가되는 신호 및 클럭을 의미하는 기호이고, (R)로 병기된 것은 우측에 배치된 제2 GIP 구동회로(140R)에 인가되는 신호 및 클럭을 의미하는 기호이다.
- [0078] 도 2를 참조하면, GIP 구동회로(140)는 화소 어레이(110)의 양측에 배치된다.

- [0079] GIP 구동회로(140)는 게이트 드라이버 제어 신호(GDC)를 수신하여 게이트 라인(149)에 게이트 신호를 순차적으로 출력하는 시프트 레지스터(Shift Resistor:SR)이다. 즉, 시프트 레지스터(SR)는 레벨 시프터에서 생성된 게이트 신호를 게이트 드라이버 제어 신호(GDC)에 의해 게이트 라인(149)에 순차적으로 공급한다.
- [0080] 여기서, 게이트 드라이버 제어 신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse; GSP)(VST(L), VST(R)) 및 게이트 신호 시프트에 관여하는 클럭(CLK_A(L), CLK_A(R), CLK_B(L), CLK_B(R)) 등을 포함한다.
- [0081] 구체적으로, 제1 GIP 구동회로(140L)는 기수(odd) 번째 게이트 라인들(G1, G3, ..., Gn-1)에 게이트 신호를 순차적으로 공급하는 제1 시프트 레지스터(SR_A)를 포함한다. 제2 GIP 구동회로(140R)는 표시 패널(PNL)의 우측에 배치되어 우수(even) 번째 게이트 라인들(G2, G4, ..., Gn)에 게이트 신호를 순차적으로 공급하는 제2 시프트 레지스터(SR_B)를 포함한다.
- [0082] 도 2를 참조하면, GIP 구동회로(140)에 파워(Power)가 온(On) 된 후, 시프트 레지스터(SR)는 리셋(Reset)을 위한 리셋신호(RST(L), RST(R))가 공급된다.
- [0083] 도 2를 참조하면, 시프트 레지스터(SR) 각각에는 출력을 발생하지 않고 다른 스테이지에 리버스 신호(Reverse Signal:R_Post)를 공급하는 더미 스테이지들(Dummy stage) (D_GL, D_GR)이 존재한다.
- [0084] 더미 스테이지들(Dummy stage)은 전단 스테이지의 출력 신호와 위상이 반대인 리버스 신호(R_Post)를 생성하는 리버스 제너레이터(Reverse Generator:RG)이다. 즉, 제1 시프트 레지스터(SR_A)는 마지막 스테이지(SLn/2)의 다음 스테이지로 제1 더미 스테이지(D_GL)를 포함하고, 제2 시프트 레지스터(SR_B)는 마지막 스테이지(SRn/2)의 다음 스테이지로 제2 더미 스테이지(D_GR)를 포함한다.
- [0085] 즉, 마지막 게이트 신호를 출력하는 마지막 스테이지(SLn/2, SRn/2)에 더미 스테이지(D_GL, D_GR)가 연결되고, 더미 스테이지(D_GL, D_GR)는 게이트 신호를 출력하지 않고 마지막 스테이지(SLn/2, SRn/2)에 리버스 신호(R_Post)를 공급한다.
- [0086] 각각의 시프트 레지스터(SR)는 복수의 스테이지를 포함한다. 구체적으로, 화소 어레이(110)의 좌측에 배치된 제1 시프트 레지스터(SR_A)는 종속적으로 접속된 복수의 스테이지(SL1 내지 SLn/2)를 포함한다. 제1 시프트 레지스터(SR_A)의 제1 스테이지(SL1)는 게이트 스타트 펄스(VST(L))에 응답하여 게이트 신호를 출력하기 시작하고, 제1 클럭(CLK_A(L))에 응답하여 게이트 신호를 시프트하여 출력한다. 스테이지(SL1 내지 SLn/2) 각각으로부터 출력된 게이트 신호는 기수 번째 게이트 라인(G1, G3, ..., Gn-1)에 공급됨과 동시에 캐리 신호(Gout_Pre)로서 다음 스테이지에 입력된다.
- [0087] 마찬가지로, 화소 어레이(110)의 우측에 배치된 제2 시프트 레지스터(SR_B)는 종속적으로 접속된 복수의 스테이지(SR1 내지 SRn/2)를 포함한다. 제2 시프트 레지스터(SR_B)의 제1 스테이지(SR1)는 게이트 스타트 펄스(VST(R))에 응답하여 게이트 신호를 출력하기 시작하고, 제1 클럭(CLK_A(R))에 응답하여 게이트 신호를 시프트하여 출력한다. 스테이지(SR1 내지 SRn/2) 각각으로부터 출력된 게이트 신호는 우수 번째 게이트 라인(G2, G4, ..., Gn)에 공급됨과 동시에 제1 캐리 신호(Gout_Pre)로서 다음 스테이지에 입력된다.
- [0088] 또한, 제1 시프트 레지스터(SR_A)의 제1 스테이지(SL1)부터는 제2 클럭(CLK_B(L))이 입력된다. 제2 클럭(CLK_B(L))은 캐리 신호(Gout_Pre)와 동기화 되어 제1 시프트 레지스터(SR_A)에 입력되는 타이밍을 제어한다. 마찬가지로, 제2 시프트 레지스터의 스테이지(SR1)에는 제2 클럭(CLK_B(R))이 입력된다. 제2 클럭(CLK_B(R))은 캐리 신호(Gout_Pre)와 동기화 되어 제2 시프트 레지스터(SR_B)에 입력되는 타이밍을 제어한다.
- [0089] 따라서, 시프트 레지스터(SR) 각각에 제1 클럭(CLK_A(L), CLK_A(R)), 제2 클럭(CLK_B(L), CLK_B(R)), 이전 스테이지로부터 수신된 캐리 신호(Gout_Pre) 또는 스타트 펄스(VST(L), VST(R)), 다음 스테이지로부터 수신된 리버스 신호(R_Post), 게이트 구동회로에 파워(Power)가 온(On) 된 후, 시프트 레지스터(SR) 각각을 리셋(Reset)하는 리셋신호(RST(L), RST(R)), 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)이 입력된다.
- [0090] 제1 스테이지(SL1, SR1)를 제외한 제n 스테이지에 입력되는 캐리 신호(Gout_Pre)는 제n-2 스테이지의 출력(Gout)이고, 제n 스테이지에 입력되는 리버스 신호(R_Post)는 제n+2 스테이지의 출력(Gout)과 위상이 반대되는 신호이다. 제1 스테이지(SL1, SR1)에는 캐리 신호(Gout_Pre)가 입력되지 않고 스타트 펄스(VST(L), VST(R))가 입력된다. 마지막 스테이지(SLn/2, SRn/2)에는 캐리 신호(Gout_Pre)가 입력되고, 더미 스테이지(D_GL, D_GR)로부터 리버스 신호(R_Post)가 입력된다.
- [0091] 더미 스테이지(D_GL, D_GR)는 마지막 스테이지(SLn/2, SRn/2)의 QB노드 전압을 게이트 하이전압으로 유지하기 위한 스테이지이다. 따라서, 더미 스테이지(D_GL, D_GR)는 게이트 신호를 출력하지 않고, 마지막 스테이지

(SLn/2, SRn/2)의 Q노드(Q)와 QB노드(QB)를 일정 전압으로 설정하여 이상 전압 출력이 발생하지 않도록 리버스 신호(R_Post)을 출력한다.

- [0092] 또한, 종래기술을 통해서는 GIP 구동회로(140)가 파워 온(Powr On) 직후, Q노드(Q)와 QB노드(QB)의 초기 값이 정해지지 않아서 Q노드(Q)와 QB노드(QB) 상태가 랜덤(random) 상태이다. 이러한 랜덤 상태에서, GIP 구동회로(140)는 오동작하여 이상(abnormal) 출력을 발생할 수 있다.
- [0093] 또한, 노이즈 신호 및 전단 스테이지(STn_2)의 비정상(abnormal)에 의해 초기 구동 이상이 발생 할 수 있으며, 이 경우 비표시 구간에 게이트 신호가 게이트 라인으로 출력하는 문제가 발생한다.
- [0094] 따라서, 본 발명의 일 실시예에 따른 GIP 구동회로(140)는 안정적인 동작을 위해서, Q노드(Q)= Low, QB노드(QB)= High로 초기화하는 리셋신호를 GIP 구동회로(140)의 스테이지들에 공통으로 공급 받고 있다. 또한, 이를 위하여, GIP 구동회로(140)에 리셋신호(Reset, RST)를 공급하는 리셋신호(RST) 전송라인이 연결되어 있다. 스테이지의 구체적인 회로 구성에 대해서는 이하 도 3a 및 도 3b를 참조하여 후술한다.
- [0095] 도 3a는 본 발명의 일 실시예에 따른 도 2에 도시된 복수의 스테이지 중 하나의 스테이지의 구성을 상세히 나타내는 회로도이다. 도 3b는 본 발명의 일 실시예에 따른 도 3a의 상세 회로도를 간략하게 나타내는 회로도이다.
- [0096] 도 3a 및 도 3b에 도시된 회로는 제 n(n은 양의 정수) 스테이지 회로(STn)이다. 도 3a 및 도 3b에서 PT1, PT2, PT3, PT4, PT5, PT6 및 PT7은 p 타입 MOS FET(이하, 'PMOS 트랜지스터'라 함)으로 구현되고, NT1, NT2, NT3, NT4, NT5, NT6, NT7 및 NT8은 n 타입 MOS FET(이하, 'NMOS 트랜지스터'라 함)으로 구현된다. 이하, 도 3a 및 도 3b를 참조하여 쉬프트 레지스터의 제n 스테이지(STn)에 대하여 설명한다.
- [0097] 도 3a 및 도 3b를 참조하면, 제n 스테이지 회로(300)는 인버터부(310), 리버스 신호 생성회로(340), 이상출력 제어회로(330), 버퍼회로(320) 및 리셋신호(RST) 전송라인(350)을 포함한다.
- [0098] 제n 스테이지 회로(300)에 리셋신호(RST), 제1 클럭, 제2 클럭(CLK_A, CLK_B), 전단 스테이지(STn-2)로부터 수신되는 캐리 신호(Gout_Pre) 또는 스타트 펄스(VST), 후단 스테이지(STn+2)로부터 수신되는 리버스 신호(R_Post), 게이트 하이 전압(VGH), 및 게이트 로우 전압(VGL)이 입력된다. 제1 스테이지를 제외한 제n 스테이지에 입력되는 캐리 신호(Gout_Pre)는 제n-2 스테이지의 출력(Gout)이다. 제1 스테이지(ST1)에는 캐리 신호(Gout_Pre)가 입력되지 않고 스타트 펄스(VST)가 입력된다.
- [0099] 인버터부(310)는 Q노드(Q)와 QB노드(QB) 사이에서 폐루프(closed loop) 형태의 궤환(feedback) 회로로 연결된 두 개의 인버터들(INV1, INV2)을 포함하여, Q노드(Q) 전압 및 Q노드(Q) 전압의 반전 상태로 QB노드(QB)의 전압을 조절한다.
- [0100] 즉, Q노드(QB)의 전압이 게이트 로우 전압(VGL)이면 QB노드(QB)의 전압이 게이트 하이 전압(VGH)이고, Q노드(QB)의 전압이 게이트 하이 전압(VGH)이면 QB노드(QB)의 전압이 게이트 로우 전압(VGL)인 관계를 설명한다.
- [0101] 인버터부(310)는 CMOS 트랜지스터로 구성된 인버터(Invertor) 2개를 궤환으로 형성한 래치(Latch) 회로이다. 래치 회로는 두 개의 안정 상태를 갖는 일종의 기억회로이다. 안정 상태란 회로의 외부로부터 입력을 가하지 않는 한 본래의 값을 유지할 수 있는 회로의 상태를 의미한다. 흔히, 두 가지의 안정 상태는 이전 값으로 1 혹은 0의 값을 기억하고 있을 수 있다는 의미이며, 제1 클럭, 제2 클럭(CLK_A, CLK_B)이 1(high)인 동안 인버터부(310)의 입력 변화를 그대로 출력에 반영한다.
- [0102] 제1 인버터(INV1)는 제1 NMOS 트랜지스터(NT1)와 제1 PMOS 트랜지스터(PT1)를 포함한다. 제1 인버터(INV1)는 QB노드(QB)의 반전 신호를 Q노드(QB)에 공급한다. 제1 PMOS 트랜지스터(PT1)는 QB노드(QB)에 연결된 게이트, 제1 NMOS 트랜지스터(NT1)의 소스와 Q노드(QB)에 연결된 드레인 및 제n 스테이지 회로(300)에 리셋신호(RST)를 입력하는 리셋신호(RST) 전송라인(350)과 연결된 소스를 포함한다. 제n 스테이지 회로(300)에 입력되는 리셋신호(RST)는 게이트 로우 전압(VGL)이다. 제1 NMOS 트랜지스터(NT1)는 QB노드(QB)에 연결된 게이트, 제1 PMOS 트랜지스터(PT1)의 드레인과 Q노드(Q)에 연결된 드레인, 및 게이트 로우 전압(VGL) 라인에 연결된 소스를 포함한다.
- [0103] GIP 구동회로(140)의 파워(Power)가 온(On) 되었을 때, 제n 스테이지 회로(300)의 Q노드(QB)와 QB노드(QB)는 초기 값이 정해지지 않은 랜덤(random) 상태이다. 따라서, 제n 스테이지 회로(300)가 리셋(Reset)되도록 게이트 로우 전압(VGL) 라인으로부터 공급되는 전압에 의해 제1 인버터(INV1)의 Q노드(QB)를 게이트 로우 전압(VGL)으로 제어한다.
- [0104] 또한, GIP 구동회로(140)의 파워(Power)가 온(On) 되었을 때, QB노드(QB)에 노이즈(Noise)가 발생 할 수 있다.

그 결과, 제1 인버터(INV1)의 제1 NMOS 트랜지스터(NT1)와 제1 PMOS 트랜지스터(PT1)가 턴-온(Turn-On)하는 경우가 발생할 수 있다. 그리고, QB노드(QB)에서 발생한 노이즈(Noise)가 Q노드(QB)에 전달될 수 있다.

- [0105] 따라서, 본 발명의 실시예에 따른 GIP 구동회로(140)는 리셋신호(RST) 전송라인(350)을 제1 PMOS 트랜지스터(PT1)의 소스와 연결하여, 제1 PMOS 트랜지스터(PT1)가 턴-온(Turn-On)하는 경우에도, Q노드(QB)는 게이트 로우 전압(VGL)으로 제어 된다. 따라서, 제n 스테이지 회로(300)는 이상 출력이 발생되지 않고, 리셋(Reset) 될 수 있다. 리셋신호(RST) 전송라인(350)에 전송되는 전압은 GIP 구동회로(140)의 구동 타이밍(timing)에 따라 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로, 다시 게이트 하이 전압(VGH)으로 변하게 된다.
- [0106] 또한, QB노드(QB)에 전단 스테이지(STn-2)의 비정상(abnormal) 출력 전압이 발생하는 경우에도, 제1 PMOS 트랜지스터(PT1)가 턴-온(Turn-On)되어 QB노드(QB)에서 발생한 이상 전압이 Q노드(QB)에 전달될 수 있다.
- [0107] 본 발명의 실시예에 따른 GIP 구동회로(140)는 리셋신호(RST) 전송라인(350)을 제1 PMOS 트랜지스터(PT1)의 소스와 연결하여 제1 PMOS 트랜지스터(PT1)이 턴-온(Turn-On)하는 경우에도, Q노드(QB)는 게이트 로우 전압(VGL)으로 리셋(Reset) 된다.
- [0108] 제2 인버터(INV2)는 제2 NMOS 트랜지스터(NT2)와 제2 PMOS 트랜지스터(PT2)를 포함한다. 제2 인버터(INV2)는 Q노드(QB)의 반전 신호를 QB노드(QB)에 공급한다.
- [0109] 제2 PMOS 트랜지스터(PT2)는 Q노드(Q)에 연결된 게이트, 제5 NMOS 트랜지스터(NT5)의 드레인과 QB노드(QB)에 연결된 드레인 및 제5 PMOS 트랜지스터(PT5)의 드레인과 연결된 소스를 포함한다.
- [0110] 제2 NMOS 트랜지스터(NT2)는 Q노드(QB)에 연결된 게이트, 제5 NMOS 트랜지스터(NT5)의 소스와 연결된 드레인 및 게이트 로우 전압(VGL) 라인에 연결된 소스를 포함한다.
- [0111] 제2 PMOS 트랜지스터(PT2)의 소스에 연결된 제5 PMOS 트랜지스터(PT5)의 소스는 게이트 하이 전압(VGH) 라인에 연결되어 있다. 또한, 제5 PMOS 트랜지스터(PT5)의 게이트는 전단 스테이지(STn-2)로부터 게이트 로우 전압(VGL)의 캐리 신호(Gout_Pre)를 입력 받는다. 그 결과, 제2 인버터(INV2)의 QB노드(QB)는 게이트 하이 전압(VGH)으로 유지된다. 즉, GIP 구동회로(140)의 제n 스테이지(STn)회로(300)에서 이상 출력이 발생하는 것을 방지 할 수 있다.
- [0112] 또한, 제5 NMOS 트랜지스터(NT5)는 제2 NMOS 트랜지스터(NT2)의 드레인에 연결 되어 있다. 제5 NMOS 트랜지스터(NT5)의 게이트는 후단 스테이지(STn+2)로부터 게이트 로우 전압(VGL)의 리버스 신호(R_Post)를 입력 받는다. 리버스 신호(R_Post)에 의해 제5 NMOS 트랜지스터(NT5)는 턴-오프 되어 QB노드(QB)에 게이트 로우 전압(VGL)이 걸리는 것을 차단 할 수 있다.
- [0113] 그 결과, 제2 인버터(INV2)에 연결된 QB노드(QB)는 제5 NMOS 트랜지스터(NT5)에 의해 게이트 하이 전압(VGH)으로 제어 되어, 제n 스테이지 회로(300)가 안정화 된 회로가 될 수 있다.
- [0114] 인버터부(310)로 구성된 래치 회로는 Q노드(QB)의 전압과 QB노드(QB)의 전압을 반전시켜 출력 전압을 제어한다. 래치 회로에서 Q노드(QB)의 전압과 QB노드(QB)의 전압은 버퍼회로(320)에 입력 전압으로 활성화 되어, 버퍼회로(320)의 출력 전압이 게이트 라인에 공급되는 타이밍을 제어한다.
- [0115] 도 3a 및 도 3b를 참조하면, 버퍼회로(320)는 트랜스미션 게이트(transmission gate; TG) 및 풀다운(pull-down transistor)를 포함한다.
- [0116] 트랜스미션 게이트(TG)는 NMOS 트랜지스터와 PMOS 트랜지스터가 병렬로 연결되어 온 저항(ON)을 낮추고, 풀 레인지(Full range) 전압 구동이 가능한 스위치 소자이다. 예를 들어, $V_{GH} = 10V$, $V_{GL} = 0V$, $V_{th} = 1V$, $V_{gs} = 10V$ 일 때 구동 Range는 1~10V일 때 NMOS 트랜지스터의 출력 전압 레인지는 1~10V이고, PMOS 트랜지스터의 출력 전압 레인지는 0~9V이다. 여기서, V_{th} 는 문턱 전압이고, V_{gs} 는 게이트-소스간 전압이다. TG는 NMOS 트랜지스터와 PMOS 트랜지스터를 병렬로 연결하여 그 출력 전압 레인지가 0~10V 즉, 풀 레인지로 구동할 수 있다.
- [0117] 도 3a 및 도 3b를 참조하면, 트랜스미션 게이트(TG)는 Q노드(Q)의 전압에 응답하여 제1 클럭(CLK_A)을 출력 단자에 공급하며, 출력 전압(Gout)을 상승(rising)시키는 풀업 트랜지스터(Pull-up transistor)이다.
- [0118] 또한, 트랜스미션 게이트(TG)는 제6 PMOS 트랜지스터(PT6)와 제6 NMOS 트랜지스터(NT6)를 포함한다. 제6 PMOS 트랜지스터(PT6)와 제6 NMOS 트랜지스터(NT6)의 소스 전극이 서로 연결되고, 제6 PMOS 트랜지스터(PT6)와 제6 NMOS 트랜지스터(NT6)의 드레인 전극이 서로 연결된다.

- [0119] 트랜스미션 게이트(TG)의 제6 PMOS 트랜지스터(PT6)는 QB노드(QB)와 연결된 게이트, 출력 단자에 연결된 드레인, 및 제1 클럭(CLK_A)이 입력되는 소스를 포함한다. 또한, 트랜스미션 게이트(TG)의 제6 NMOS 트랜지스터(NT6)는 Q노드(Q)와 연결된 게이트, 출력 단자에 연결된 소스, 및 제1 클럭(CLK_A)이 입력되는 드레인을 포함한다.
- [0120] 즉, 트랜스미션 게이트(TG)는 제6 PMOS 트랜지스터(PT6)와 제6 NMOS 트랜지스터(NT6)가 병렬로 연결되어 온 저항(ON)을 낮추고, 풀 레인지(Full range) 전압 구동이 가능한 스위치 소자이다.
- [0121] 도 3a 및 도 3b를 참조하면, 풀다운 트랜지스터(Pull-down transistor)는 1개의 NMOS 트랜지스터(NT8)로 이루어진다.
- [0122] 풀다운 트랜지스터(Pull-down transistor)는 QB노드(QB)의 전압에 응답하여 출력 단자를 방전시켜 출력 전압(Gout)을 하강(falling)시킨다. 풀다운 트랜지스터(Pull-down transistor)의 제8 NMOS 트랜지스터(NT8)는 QB노드(QB)에 연결된 게이트, 출력 단자에 연결된 드레인, 및 VGL 라인((VGL_SL)에 연결된 소스를 포함한다.
- [0123] 도 3a 및 도 3b를 참조하면, 버퍼회로(320)는 Q노드(QB)에 게이트 하이 전압(VGH)이 걸리면, 제1 클럭(CLK_A)의 게이트 펄스를 출력전압(Gout)으로 상승시킨다. 또한, 버퍼회로(320)는 QB노드(QB)에 게이트 하이 전압(VGH)이 걸리면, 게이트 로우 전압(VGL) 라인으로부터 전송되는 게이트 로우 전압(VGL)을 제8 NMOS 트랜지스터(NT8)을 통해 출력전압(Gout)으로 떨어뜨린다.
- [0124] 버퍼회로(320)는 Q노드(QB)의 전압이 게이트 하이 전압(VGH)인 경우 제1 클럭(CLK_A)에 동기되어 출력 전압을 상승시키고, QB노드(QB)의 전압이 게이트 하이 전압(VGH)인 경우 출력 전압을 하강시킨다. 이에 따라, Q노드(QB)의 전압이 게이트 하이 전압(VGH)인 경우, 버퍼회로(320)의 출력 노드(Gout)를 통해 출력 신호가 제1 클럭(CLK_A)에 동기되어 게이트 라인으로 공급된다. 마찬가지로, QB노드(QB)의 전압이 게이트 하이 전압(VGH)인 경우, 버퍼회로(320)의 출력 노드(Gout)가 게이트 로우 전압(VGL) 라인에 연결되어 출력 전압이 하강된다. 즉, 버퍼회로(320)는 Q노드(Q) 및 QB노드(QB)와 연결되고, 제1 클럭(CLK_A)에 동기 되어 출력전압을 제어한다.
- [0125] 도 3a 및 도 3b를 참조하면, 이상출력 제어회로(330)는 제3 인버터(INV3), 제3인버터(INV3)에 연결된 제4 PMOS 트랜지스터(PT4) 및 제4 NMOS 트랜지스터(NT4)를 포함한다.
- [0126] 제3 인버터(INV3)는 제3 PMOS 트랜지스터(PT3) 및 제3 NMOS 트랜지스터(NT3)을 포함한다. 제3 인버터(INV3)는 QB노드(QB)연결 되어 있고, 제3 인버터(INV3)의 제3 PMOS 트랜지스터(PT3) 소스는 후단 스테이지(STn+2)로부터 수신되는 리버스 신호(R_Post)에 의해서 게이트가 턴-온 되는 제4 PMOS 트랜지스터(PT4)와 연결되어 있다. 리버스 신호(R_Post)는 제4 PMOS 트랜지스터(PT4)의 소스와 연결된 게이트 하이 전압(VGH) 라인으로부터 전송되는 전압이 제3 인버터(INV3)에 공급되는 것을 제어한다.
- [0127] 제3 인버터(INV3)의 제3 NMOS 트랜지스터(NT3) 드레인은 제2 클럭(CLK_B)에 의해 게이트가 턴-온 되는 제4 NMOS 트랜지스터(NT4)와 연결되어 있다. 제2 클럭(CLK_B)은 제4 NMOS 트랜지스터(NT4)의 소스와 연결된 게이트 로우 전압(VGL)라인으로부터 전송되는 전압이 제3 인버터(INV3)에 공급되는 것을 제어한다.
- [0128] 또한, 제2 클럭(CLK_B)은 제4 NMOS 트랜지스터(NT4)에 연결되고 추가 트랜지스터에는 연결되어 있지 않다. 이상출력 제어회로(330)는 제4 NMOS 트랜지스터(NT4)에 연결된 제2 클럭(CLK_B)만 사용하고 추가 클럭을 사용하지 않는다. 그 결과, GIP 구동회로(130)의 구동 소비전력을 최소화 할 수 있다.
- [0129] 도 3a 및 도 3b를 참조하면, 이상출력 제어회로(330)는 제2 클럭(CLK_B), 후단 스테이지(STn+2)에서 입력 받은 리버스 신호(R_Post) 및 전단 스테이지(STn-2)로부터 입력 받은 캐리 신호(Gout_Pre)에 의해 QB노드(QB)에 걸리는 전압을 제어 한다. QB노드(QB)에 걸리는 전압에 의해 버퍼회로(320)는 출력되는 게이트 전압(Gout)을 제어 할 수 있다.
- [0130] 보다 상세하게는, 이상출력 제어회로(330)는 캐리 신호(Gout_Pre)가 비정상 타이밍(annormal timing)에 인버터(INV3)에 입력되는 경우, 제4 NMOS 트랜지스터에 입력되는 제2 클럭(CLK_B)의 타이밍과 동기화 될 때 게이트 로우 전압(VGL) 라인으로부터 게이트 로우 전압(VGL)이 QB노드(QB)로 공급된다. 그러면, QB노드(QB)의 게이트 로우 전압(VGL)과 Q노드(Q)의 게이트 하이 전압(VGH)이 버퍼회로(320)로 입력되어 게이트 전압(Gout)이 출력된다.
- [0131] 즉, 전단 스테이지(STn-2)의 게이트 전압(Gout)으로 제3 인버터(INV3)에 입력되는 캐리 신호(Gout_Pre)의 타이밍(Timing)이 이상 상태(abnormal state)이더라도, 제4 NMOS 트랜지스터의 게이트에 연결된 제2 클럭(CLK_B)과 동기화 유무에 따라 비정상 적으로 출력되는 게이트 전압(Gout)이 제어 될 수 있다.

- [0132] 또한, 이상출력 제어회로(330)는 캐리 신호(Gout_Pre)가 게이트 로우 전압(VGL)으로 제3 인버터(INV3)를 턴-온 시키고, 리버스 신호(R_Post)가 제4 PMOS 트랜지스터(PT4)를 턴-온 시켜서 상기 QB노드(QB)를 게이트 하이 전압(VGH)으로 변경되도록 제어한다. 그 결과, 제1 클럭(CLK_A)에 의해 트랜스미션 게이트(TG)에서 게이트 전압(Gout)이 출력된 이후 트랜스미션 게이트(TG)를 턴-오프 시켜서 이상 전압이 출력하는 것을 제어한다.
- [0133] 도 3a 및 도 3b를 참조하면, 리버스 신호 생성회로(340)는 제7 PMOS 트랜지스터(PT7) 및 제7 NMOS 트랜지스터(NT7)로 구성된 제4 인버터(INV4)를 포함한다. 제7 PMOS 트랜지스터(PT7)의 소스에는 게이트 하이 전압(VGH) 라인이 연결되어 있고, 제7 NMOS 트랜지스터(NT7)의 소스에는 게이트 로우 전압(VGL) 라인이 연결되어 있다.
- [0134] 리버스 신호 생성회로(340)는 트랜스미션 게이트(TG)에서 출력되는 게이트 전압(Gout)에 의해 리버스 신호(R_Post)를 발생 시킨다. 즉, 게이트 전압(Gout)이 게이트 로우 전압(VGH)으로 제4 인버터(INV4)에 입력되면 제7 MOS 트랜지스터(PT7)의 게이트가 턴-온 되고, 게이트 하이 전압(VGH) 라인으로부터 게이트 하이 전압(VGH)이 공급되어, 리버스 신호(R_Post)를 발생하게 된다. 이러한 리버스 신호(R_Post)는 전단 스테이지(STn_2)의 동작에 관여하는 신호이다.
- [0135] 따라서, 본 발명의 일 실시예에 따른 GIP 구동회로(140)는 Q노드(Q)와 QB노드(QB)사이에서 제1인버터(INV1) 및 제2 인버터(INV2)를 레환으로 묶어 래치(Latch)를 형성하고, 제1 인버터(INV1)의 제1 PMOS 트랜지스터(PT1)의 소스에 리셋신호 전송라인(350)이 연결된다. 그 결과, GIP 구동회로(140)는 구동 시작 후, QB노드(QB)에 노이즈(noise)등의 이상전압이 발생하더라도 Q노드(Q)는 버퍼회로(320)를 통해 제1 클럭(CLK_A)이 게이트 전압(Gout)으로 출력되는 현상을 방지할 수 있다.
- [0136] 또한, 본 발명의 일 실시예에 따른 GIP 구동회로(140)는 제2 인버터(INV)에 제5 PMOS 트랜지스터(PT5)와 제5 NMOS 트랜지스터(NT5)를 연결한다. 그 결과, 캐리신호(Gout_pre) 및 리버스 신호(R_Post)에 의해 Q노드(Q)는 게이트 로우 전압(VGL)으로 유지되고, QB노드(QB)는 게이트 하이 전압(VGH)으로 유지되어서, GIP 구동회로(140)에 이상출력이 발생하지 않도록 할 수 있다.
- [0137] 본 발명의 일 실시예에 따른 GIP 구동회로(140)는 QB노드(QB)에 제3 인버터(INV3)가 연결되고, 제3 인버터(INV3)에 제4PMOS 트랜지스터(PT4) 및 제4NMOS 트랜지스터(NT4)가 연결된다. 그 결과, 캐리신호(Gout_pre) 및 리버스 신호(R_Post)에 의해 QB노드(QB)는 게이트 하이 전압(VGH)을 유지하여, 버퍼회로(320)를 제1 클럭(CLK_A)에 의한 게이트 전압(Gout)이 출력 된 이후, 이상전압 출력이 발생하지 않도록 턴-오프 시킨다. 또한, 캐리신호(Gout_pre) 및 제2 클럭(CLK_B)가 동기화 되었을 때만 QB노드(QB)에 게이트 로우 전압(VGL)이 걸리게 되어, 캐리신호(Gout_pre)가 비정상적으로 제3 인버터(INV3)에 입력되더라도 버퍼회로(320)에서 이상전압이 출력되는 것을 방지할 수 있다.
- [0138] 이에 따라, 본 발명의 일 실시예에 따른 GIP 구동회로(140)는 Q노드(Q)와 QB노드(QB)를 제어하여 출력되는 게이트 신호의 안정성을 향상 시킬 수 있다. 제n 스테이지 회로(300)에 입력되는 다양한 신호들과 출력 전압 사이의 구체적인 관계에 대해서는 도 4 내지 도 5d를 참조하여 후술한다.
- [0139] 도 4는 본 발명의 일 실시예에 따른 도 3a에 도시된 스테이지에서의 입출력 신호를 나타내는 파형도이다. 도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 도 4의 파형도의 구간별 스테이지 내부에서 신호의 흐름을 나타내는 회로도이다.
- [0140] 도 5a 내지 도 5d의 제n 스테이지 회로(500)는 도 3의 제n 스테이지 회로(300)에 입력되는 신호들에 의한 활성화 상태를 나타낸 것으로, 도 3의 제n 스테이지 회로(300)와 실질적으로 동일한 바, 중복 설명은 생략한다. 도 5a 내지 도 5d에서 도시된 점선은 제n 스테이지 회로(300)에 입력되는 신호에 의한 내부 신호의 흐름을 나타낸다. 또한, n 스테이지 회로(300)에 도시된 일부 트랜지스터의 점선 도시는 제n 스테이지 회로(300)에 입력되는 신호에 의해 활성화되지 않은 부분을 나타낸다.
- [0141] 도4를 참조하면, 구간 ①은 표시패널(PNL)의 화소 어레이(110)에 게이트 신호를 공급하여 영상을 표시하기 전인 비표시 구간이다. 또한, 구간 ②부터 구간 ④까지는 표시패널(PNL)에 영상을 표시하는 표시 구간이다.
- [0142] 도 4 및 도 5a를 참조하면, 구간 ①은 GIP 구동회로(140)의 제n 스테이지 회로(300)가 파워-온(Power-On) 기간이다. 구간 ①동안, QB노드(QB)는 게이트 하이 전압(VGH)이 된다. 즉, 제1 NMOS 트랜지스터(NT1)이 턴-온 상태가 되고, 게이트 로우 전압(VGL)이 Q노드(Q)에 걸리게 되어 Q노드(Q)는 게이트 로우 전압(VGL)으로 리셋(Reset)된다.
- [0143] 또한, 구간 ①동안, QB노드(QB)에서 노이즈(noise)가 발생하여 제1 PMOS 트랜지스터(PT1)가 턴-온 상태가 되는

비정상(abnormal)상태가 발생 할 수 있다.

- [0144] 그러면, 제1 PMOS 트랜지스터(PT1)의 소스에 연결된 리셋신호(Reset) 전송라인(350)으로부터 게이트 로우 전압(VGL)이 Q노드(Q)에 걸리게 되어 Q노드(Q)는 게이트 로우 전압(VGL)으로 리셋(Reset) 된다. 구간 ①동안에는 리셋신호(Reset) 전송라인(350)으로 게이트 로우 전압(VGL)이 공급된다.
- [0145] 따라서, 본 발명의 일 실시예에 따른 GIP 구동회로(140)는 파워-온(Power-On)이 된 이후, 구간 ①동안에 QB노드(QB)에 게이트 하이 전압(VGH) 또는 노이즈(noise)가 발생하더라도 Q노드(Q)가 게이트 로우 전압(VGL)으로 유지되는 리셋(Reset)를 실시할 수 있다.
- [0146] 이어서, 도 4 및 도 5b를 참조하면, 구간 ②는 GIP 구동회로(140)의 제n 스테이지 회로(300)에서 게이트 전압(Gout) 출력 이전 구간이다.
- [0147] 구간 ② 동안, 제2 클럭(CLK_B)과 캐리신호(Gout_pre)가 동기화 되어 제3 NMOS 트랜지스터(NT3)와 제4 NMOS 트랜지스터(NT4)가 동시에 턴-온 된다. 그 결과, QB노드(QB)는 게이트 로우 전압(VGL)으로 제어된다. 이어서, 제1 인버터(INV1)에 의해 Q노드(Q)의 전압이 게이트 하이 전압(VGH)으로 제어된다.
- [0148] 즉, 제1 인버터(INV1)의 제1 PMOS 트랜지스터(PT1)의 게이트에 QB노드(QB)의 게이트 로우 전압(VGL)이 입력되어 제1 PMOS 트랜지스터(PT1)가 턴-온 된다. 그 결과, 제1 PMOS 트랜지스터(PT1) 소스에 연결된 리셋신호(Reset) 전송라인(350)으로부터 게이트 하이 전압(VGH)이 입력되어 Q노드(Q)의 전압이 게이트 하이 전압(VGH)으로 제어된다.
- [0149] Q노드(Q)와 QB노드(QB)에 걸리는 전압으로 인해 버퍼회로(320)의 트랜스미션 게이트(TG)가 턴-온 된다. 즉, 제1 클럭(CLK_A)의 게이트 로우 전압(VGL)이 게이트 전압(Gout)으로 출력하게 된다. 또한, 트랜스미션 게이트(TG)로부터 출력된 게이트 로우 전압(VGL)은 리버스 신호 생성회로(340)의 제7 PMOS 트랜지스터(PT7)를 턴-온 시킨다. 제7 PMOS 트랜지스터(PT7) 소스에 연결된 게이트 하이 전압(VGH) 라인에 의해 게이트 하이 전압(VGH)의 리버스 신호(Rn)가 출력된다.
- [0150] 따라서, 본 발명의 일 실시예에 따른 GIP 구동회로(140)는 제2 클럭(CLK_B)과 캐리신호(Gout_pre)가 동기화 되었을 때만 QB노드(QB)가 게이트 로우 전압(VGL)으로 제어되므로, 캐리신호(Gout_pre)가 전단 스테이지(STn-2)에서 비정상적으로 출력된 전압으로 제3 NMOS 트랜지스터(NT3)에 입력되더라도 이상 전압 출력을 제어 할 수 있다.
- [0151] 이어서, 도 4 및 도 5c를 참조하면, 구간 ③는 GIP 구동회로(140)의 제n 스테이지 회로(300)에서 게이트 전압(Gout) 출력 구간이다.
- [0152] 구간 ③동안, Q노드(Q)의 게이트 하이 전압(VGH) 및 QB노드(QB)의 게이트 로우 전압(VGL)으로 인해 버퍼회로(320)의 트랜스미션 게이트(TG)가 턴-온 된다. 이때, 제1 클럭(CLK_A)은 게이트 하이 전압(VGH)으로 트랜스미션 게이트(TG)에 입력된다. 그 결과, 제1 클럭(CLK_A)의 게이트 하이 전압(VGH)이 게이트 전압(Gout)으로 출력하게 된다.
- [0153] 또한, 출력된 게이트 하이 전압(VGH)은 리버스 신호 생성회로(340)의 제7 NMOS 트랜지스터(NT7)를 턴-온 시킨다. 제7 NMOS 트랜지스터(NT7) 소스에 연결된 게이트 로우 전압(VGL) 라인에 의해 게이트 로우 전압(VGL)의 리버스 신호(Rn)가 출력된다.
- [0154] 도 4 및 도 5d를 참조하면, 구간 ④는 GIP 구동회로(140)의 제n 스테이지 회로(300)가 턴-오프 되는 구간이다.
- [0155] 구간 ④동안, 전단 스테이지(STn-2)의 캐리신호(Gout_Pre)는 게이트 로우 전압(VGL)으로 제3 인버터(INV3)의 제3 PMOS 트랜지스터(PT3)에 입력된다. 후단 스테이지(STn+2)의 리버스 신호(R_Post)는 게이트 로우 전압(VGL)으로 제4 PMOS 트랜지스터(PT4)에 입력된다. 캐리신호(Gout_Pre) 및 리버스 신호(R_Post)에 의해 제3 PMOS 트랜지스터(PT3)와 제4 PMOS 트랜지스터(PT4)가 턴-온 되고, 게이트 하이 전압(VGH) 라인으로부터 공급되는 게이트 하이 전압(VGH)이 QB노드(QB)에 걸리게 된다.
- [0156] 이어서, QB노드(QB)의 게이트 하이 전압(VGH)은 제1 인버터(INV1)의 제1 NMOS 트랜지스터(NT1)을 턴-온 시키며, 이로 인해, 게이트 로우 전압(VGL) 라인으로부터 공급되는 게이트 로우 전압(VGL)이 Q노드(Q)에 걸리게 된다.
- [0157] 또한, Q노드(Q)의 게이트 로우 전압(VGL)이 제2 인버터(INV2)의 제2 PMOS 트랜지스터(PT2)를 턴-온 시키고, 캐리신호(Gout_Pre)가 제5 PMOS 트랜지스터(PT5)를 턴-온 시킨다. 그 결과, 제2 인버터(INV2)의 QB노드(QB)는 게이트 하이 전압(VGH)으로 유지된다. Q노드(Q)와 QB노드(QB)에 걸리는 전압으로 인해 버퍼회로(320)의 트랜스미

선 게이트(TG)가 턴-오프 된다. 또한, QB노드(QB)의 게이트 하이 전압(VGH)으로 인해 제8 NMOS 트랜지스터(NT8)가 턴-온 된다. 그 결과, 출력되는 게이트 전압(Gout)은 제1 클럭(CLK_A)의 전압과 관계없이 게이트 로우 전압(VGL)으로 출력하게 된다.

[0158] 따라서, 본 발명의 일 실시예에 따른 GIP 구동회로(140)의 턴-오프 구간인 구간 ④ 동안에는, 제n 스테이지 회로(300)가 안정적으로 턴-오프 될 수 있다.

[0159] 본 발명의 일 실시예에 따른 GIP 구동회로(140)는 Q노드(Q)와 QB노드(QB) 사이에서 서로 궤환(feedback)으로 연결된 인버터부를 각각 구비한 복수의 스테이지를 포함한다. 각 스테이지의 인버터부는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터로 구성된 제1 인버터, 제2 PMOS 트랜지스터 및 제2 NMOS 트랜지스터로 구성된 제2 인버터를 포함한다. 또한 제2 NMOS 트랜지스터의 소스 단자에 연결되어 각 스테이지를 초기화 시키는 리셋(Reset) 신호를 공급하는 리셋신호 전송라인이 연결되어 있다. 그 결과, 제1 인버터의 QB노드(QB)에 이상 전압이 발생 시, 제1 인버터의 Q노드(Q)에 리셋신호를 직접 전송하여 각 스테이지를 초기화 할 수 있다.

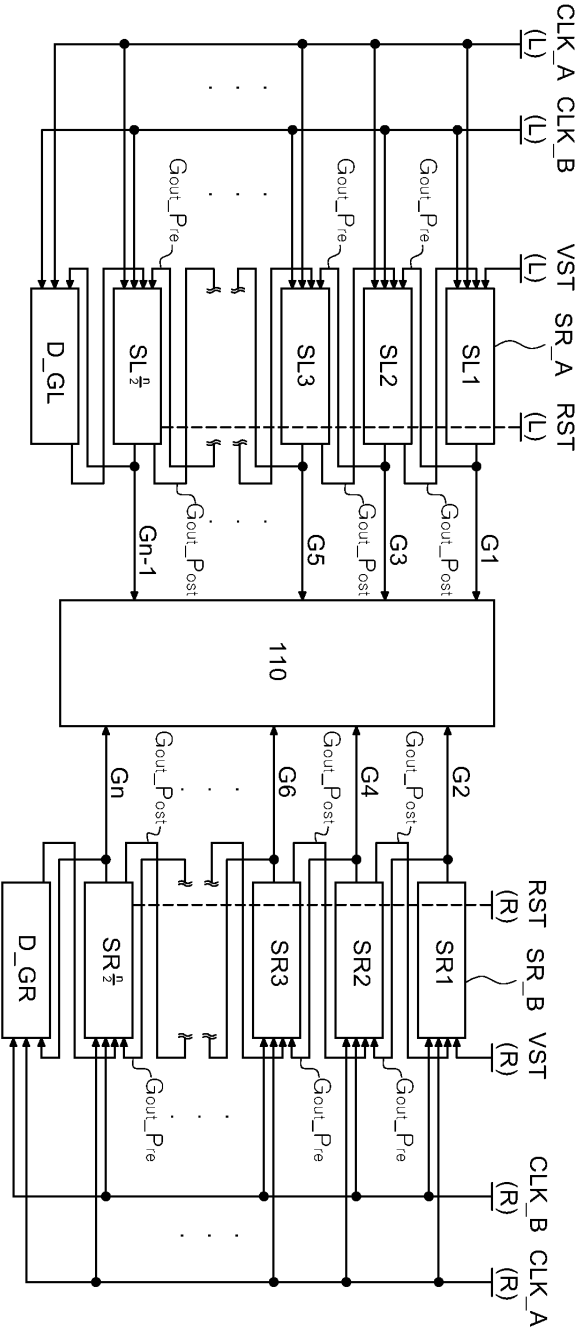
[0160] 리셋신호는 트랜지스터를 추가하지 않고 제1인버터의 입력단에 직접 전원을 전송받을 수 있다. 따라서, 게이트 구동회로의 소비전력을 감소 할 수 있으며, 게이트 구동회로의 면적 증가 없이, 표시장치의 네로우 베젤을 구현 할 수 있다.

[0161] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

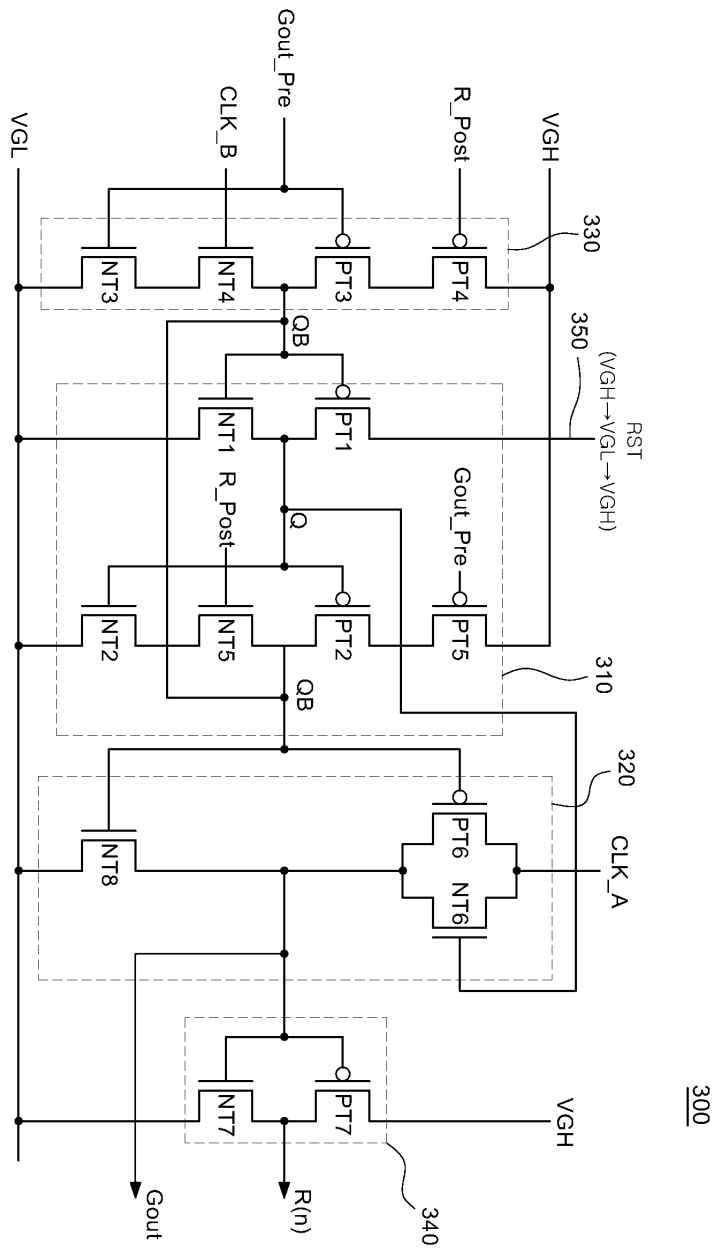
부호의 설명

[0162]	100: 표시패널	110: 화소 어레이
	120: 타이밍 콘트롤러	130: 데이터 구동회로
	139: 복수 데이터 라인	40L, 140R: 제1, 제2 GIP 구동회로
	140: GIP 구동회로	149: 복수 게이트 라인
	310: 인버터부	320: 버퍼회로
	330: 이상출력 제어회로	300, 500: 제n 스테이지
	340: 리버스 신호 생성회로	350: 리셋신호 전송라인

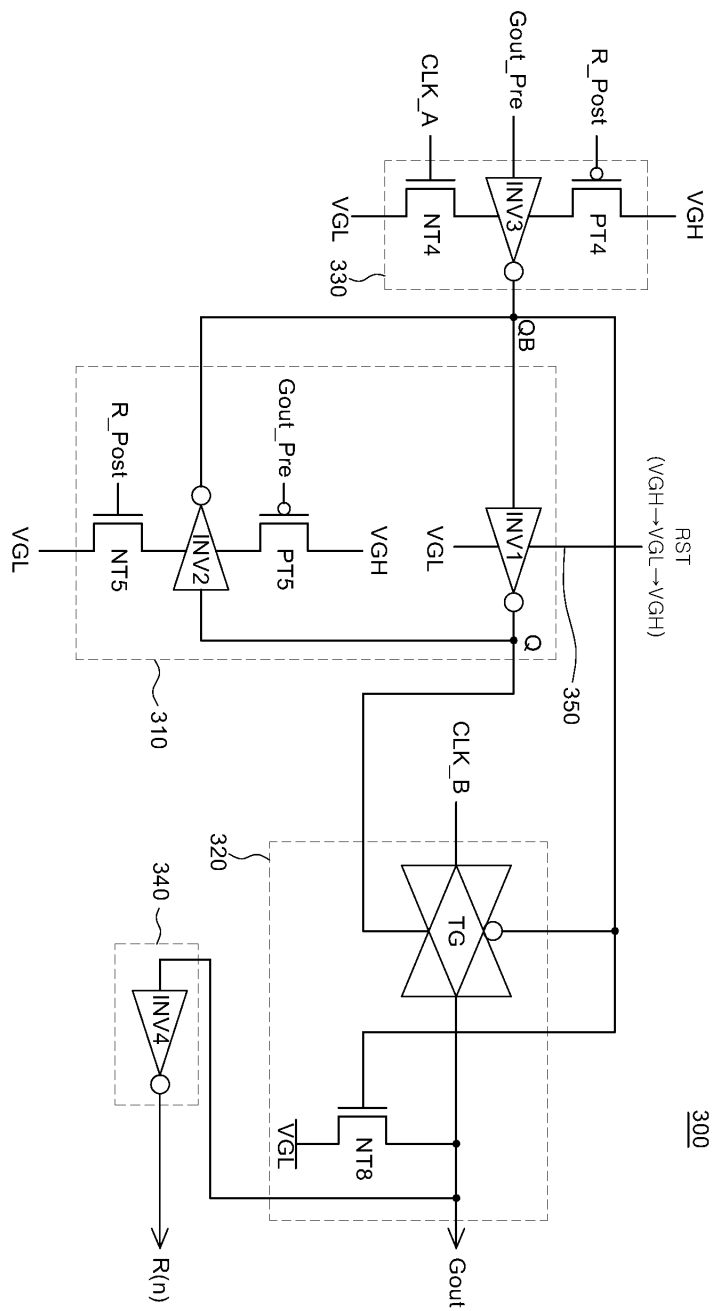
도면2



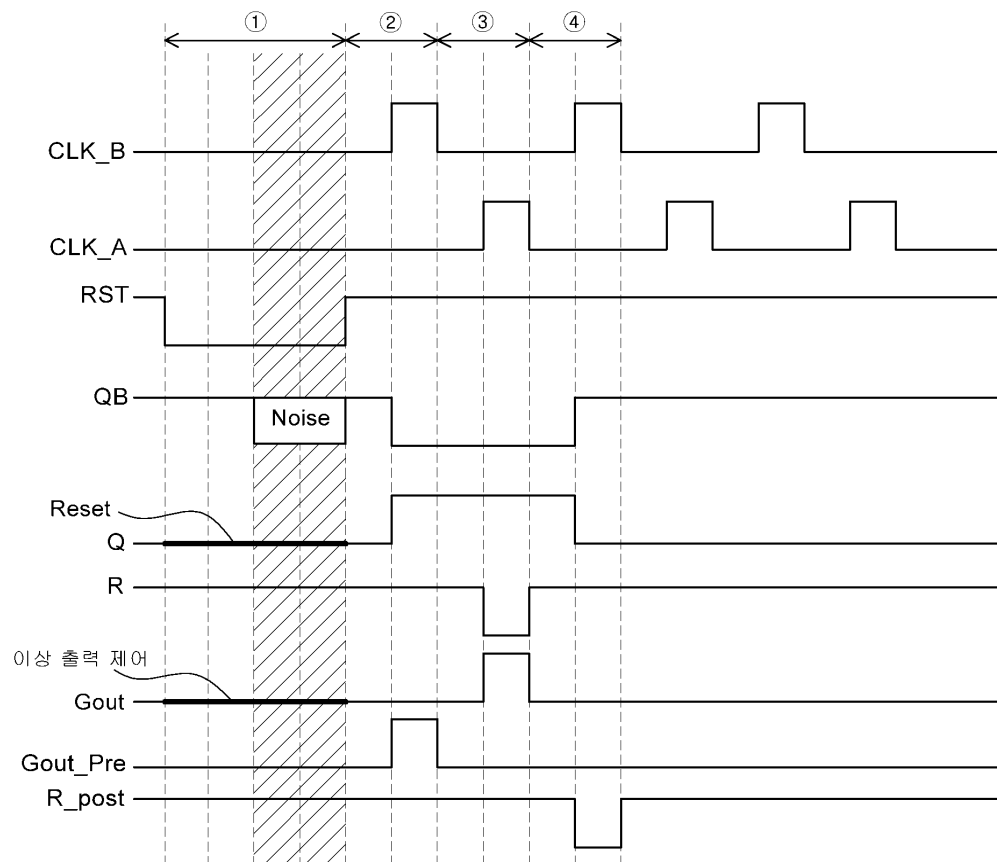
도면3a



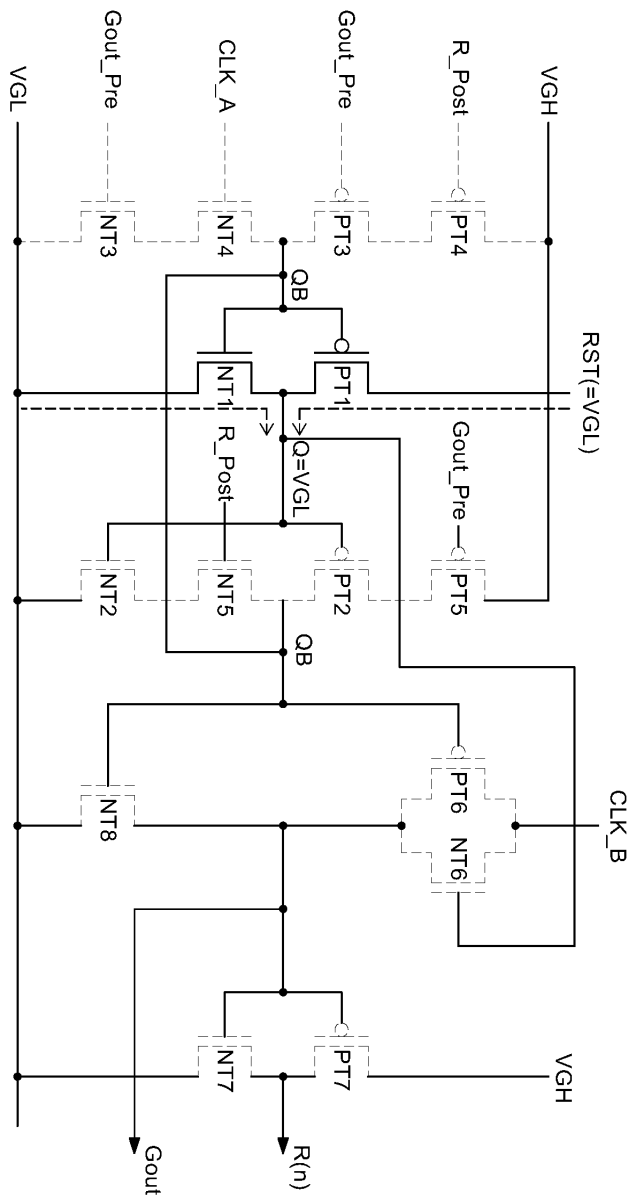
도면3b



도면4

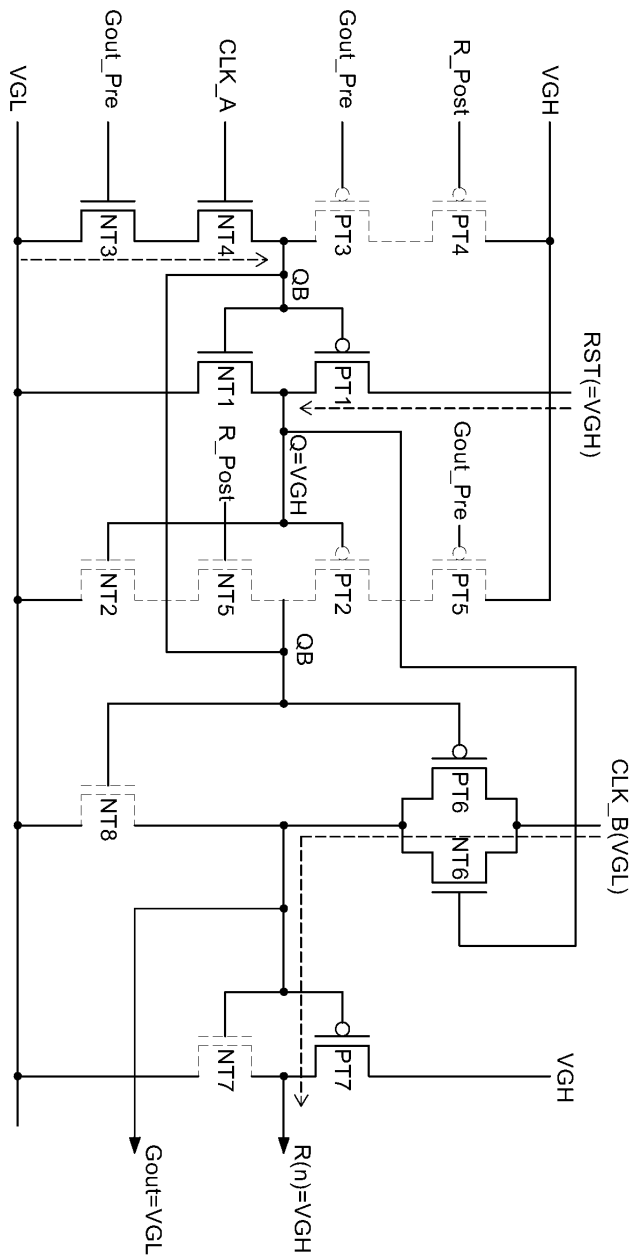


도면5a



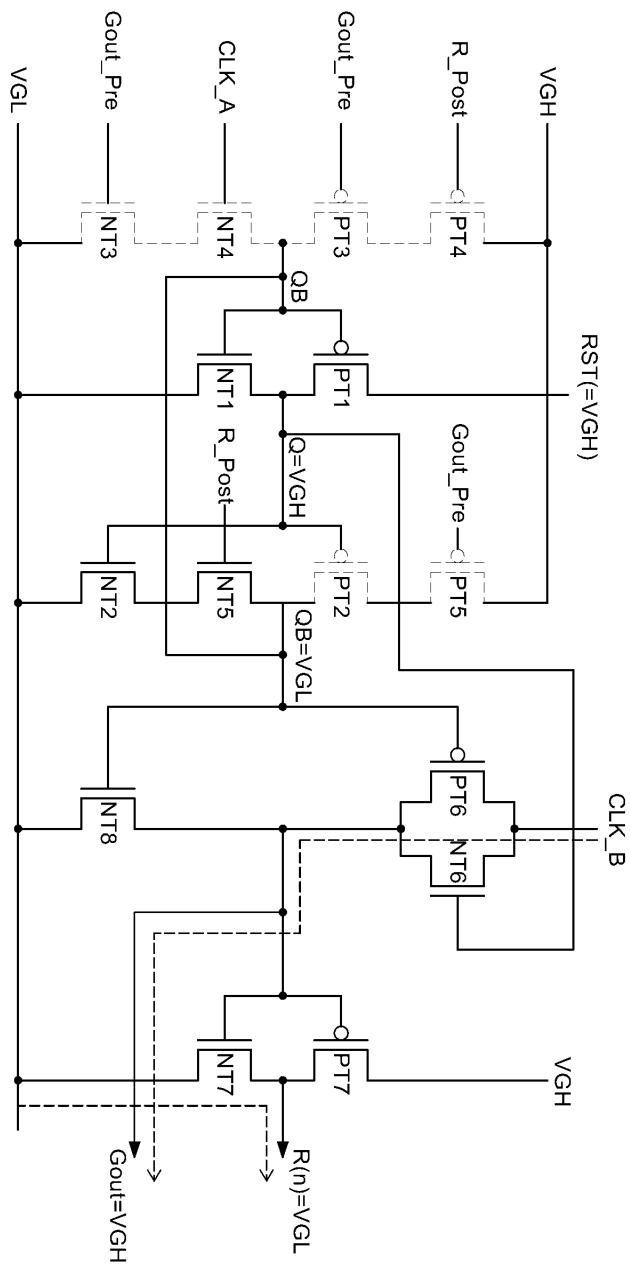
500

도면5b



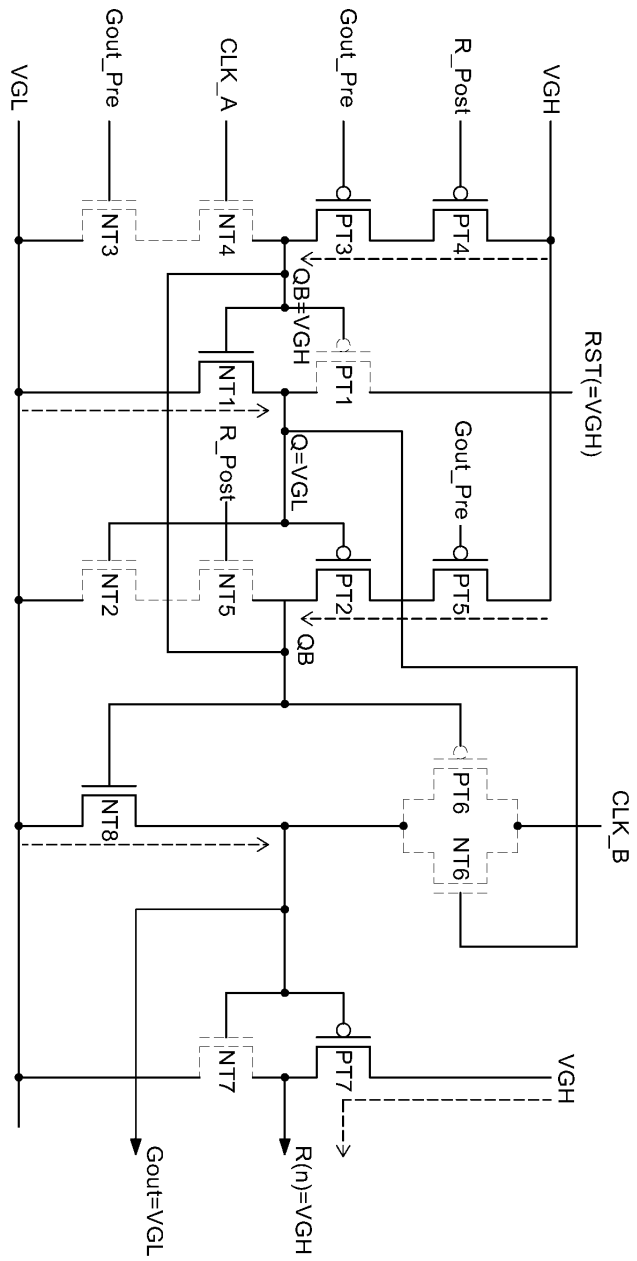
500

도면5c



500

도면5d



500