



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0062185
(43) 공개일자 2018년06월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01)

(52) CPC특허분류

G09G 3/20 (2013.01)

G09G 2310/0286 (2013.01)

(21) 출원번호 10-2016-0162184

(22) 출원일자 2016년11월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이세완

경기도 고양시 일산동구 무궁화로 43-15, 709호(장항동)

(74) 대리인

특허법인인벤투스

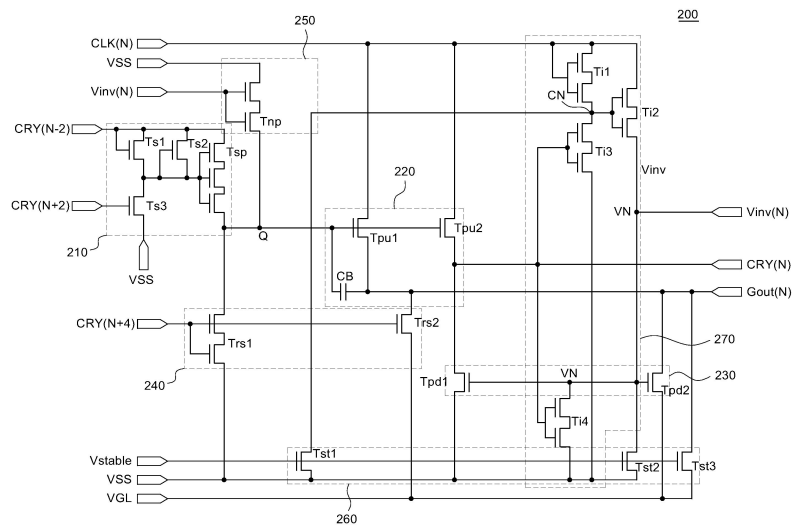
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 시프트 레지스터 및 이를 이용한 표시장치

(57) 요약

본 발명의 일 실시예에 따른 시프트 레지스터는 서로 종속적으로 접속된 복수의 스테이지가 제공된다. 각 스테이지는 Q노드(Q)를 프리차징 전압(V_{pc})으로 제어하는 제1 내지 제3 세트 트랜지스터($Ts1$ 내지 $Ts3$) 및 Q노드(Q)에 프리차징 전압(V_{pc})을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한 세트부, Q노드(Q)에 의해 제어되며, 클럭 단자(CLK)에 공급되는 제n 번째 클럭($CLK(N)$)을 출력 단자(OUT)를 통해 스캔 출력($Gout(N)$)으로 출력하는 제1 풀업 트랜지스터($Tpu1$)와, 제n 번째 클럭($CLK(N)$)을 캐리 단자(CR)를 통해 캐리 신호($CRY(N)$)로 출력하는 제2 풀업 트랜지스터($Tpu2$)를 구비하는 풀업부를 포함한다.

대표도



명세서

청구범위

청구항 1

서로 종속적으로 접속된 복수의 스테이지를 갖는 시프트 레지스터에서,
각 스테이지는,

Q노드(Q)를 프리차징 전압(V_{pc})으로 제어하는 제1 내지 제3 세트 트랜지스터($Ts1$ 내지 $Ts3$) 및 Q노드(Q)에 프리차징 전압(V_{pc})을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한 세트부; 및

상기 Q노드(Q)에 의해 제어되며, 클럭 단자(CK)에 공급되는 제 n 번째 클럭($CLK(N)$)을 출력 단자(OUT)를 통해 스캔 출력($Gout(N)$)으로 출력하는 제1 풀업 트랜지스터($Tpu1$)와, 상기 제 n 번째 클럭($CLK(N)$)을 캐리 단자(CR)를 통해 캐리 신호($CRY(N)$)로 출력하는 제2 풀업 트랜지스터($Tpu2$)를 구비하는 풀업부를 포함하는 시프트 레지스터.

청구항 2

제1항에 있어서,

상기 세트부는 게이트 하이 전압(V_{GH})인 $N-2$ 번째 전단 캐리 신호($CRY(N-2)$) 및 $N+2$ 번째 전단 캐리 신호($CRY(N+2)$)를 세트 신호로 공급받아 상기 Q노드(Q)를 상기 프리차징 전압(V_{pc})으로 충전하는 시프트 레지스터.

청구항 3

제2항에 있어서,

상기 제1 세트 트랜지스터($Ts1$)의 게이트 전극 및 드레인 전극은 다이오드 구조이고, 상기 $N-2$ 번째 전단 캐리 신호($CRY(N-2)$)를 게이트 하이 전압(V_{GH})으로 공급받는 시프트 레지스터.

청구항 4

제2항에 있어서,

상기 제1 세트 트랜지스터($Ts1$)의 소스 전극은 상기 프리차징 세트 트랜지스터(Tsp)와 연결되는 시프트 레지스터.

청구항 5

제1항에 있어서,

상기 프리차징 세트 트랜지스터(Tsp)는 세트 단자(S)에 연결된 하나의 게이트 전극을 공유하는 3개의 트랜지스터로 구성되어, 하이 정션 스트레스(High Junction Stress: HJS)를 최소화하는 시프트 레지스터.

청구항 6

제2항에 있어서,

상기 프리차징 세트 트랜지스터(Tsp)의 게이트 전극은 상기 제1 세트 트랜지스터($Ts1$) 및 상기 제2 세트 트랜지스터($Ts2$)와 연결되고, 상기 프리차징 세트 트랜지스터(Tsp)의 드레인 전극은 상기 $N-2$ 번째 전단 캐리 신호($CRY(N-2)$)를 공급받는 시프트 레지스터.

청구항 7

제2항에 있어서,

상기 프리차징 세트 트랜지스터(Tsp)의 소스 전극은 상기 Q노드(Q)에 연결되는 시프트 레지스터.

청구항 8

제2항 내지 제5항 중 어느 한 항에 있어서,

상기 제2 세트 트랜지스터(Ts2)의 게이트 전극 및 소스 전극은 상기 제1 세트 트랜지스터(Ts1)의 소스 전극 및 상기 프리차징 세트 트랜지스터(Tsp)의 게이트 전극과 연결되며, 상기 제2 세트 트랜지스터(Ts2)의 드레인 전극은 상기 N-2번째 전단 캐리 신호(CRY(N-2))를 공급받는 시프트 레지스터.

청구항 9

제2항에 있어서,

상기 제3 세트 트랜지스터(Ts3)의 게이트 전극은 상기 N+2 번째 전단 캐리 신호(CRY(N+2))를 공급 받으며, 상기 제3 세트 트랜지스터(Ts3)의 드레인 전극은 상기 프리차징 세트 트랜지스터(Tsp)와 연결되며, 상기 제3 세트 트랜지스터(Ts3)의 소스 전극은 저전위 전압(Vss)과 연결되는 시프트 레지스터.

청구항 10

제9항에 있어서,

상기 제3 세트 트랜지스터(Ts3)는 상기 N+2 번째 전단 캐리 신호(CRY(N+2))의 하이 전압으로 턴-온 되어, 상기 프리차징 세트 트랜지스터(Tsp)의 게이트 전극에 걸린 전압을 상기 저전위 전압(VSS)으로 방전시키는 시프트 레지스터.

청구항 11

제7 항에 있어서,

상기 세트부는 상기 Q노드(Q)의 전압이 상기 게이트 하이 전압(VGH)보다 낮아지지 않도록, 상기 Q노드(Q)를 상기 게이트 하이 전압(VGH)으로 충전시키는 시프트 레지스터.

청구항 12

제1항에 있어서,

상기 제1 풀업 트랜지스터(Tpu1)는 제1 기간 동안에 상기 Q노드(Q)의 하이 전압인 상기 프리차징 전압(Vpc)에 의해 턴-온되며, 제2 기간 동안에 하이 전압의 상기 클럭 신호(CLK(N))를 상기 출력 단자(OUT)를 통해 스캔 출력(Gout(N))하는 시프트 레지스터.

청구항 13

제1항에 있어서,

상기 제2 풀업 트랜지스터(Tpu2)는 제1 기간 동안에 상기 Q노드(Q)의 하이 전압인 상기 프리차징 전압(Vpc)에 의해 턴-온되며, 제2 기간 동안에 하이 전압의 상기 클럭 신호(CLK(N))를 상기 캐리 단자(CR)를 통해 캐리 신호(CRY(N))를 출력하는 시프트 레지스터.

청구항 14

제1 항에 있어서,

상기 Q노드(Q)는 프리차징 구간(PC) 동안에 상기 프리차징 전압(Vpc)으로 충전되고, 부트스트랩 구간(BS) 동안에 부트스트랩 커패시터(BC)의 커플링에 의해 상기 프리차징 전압(Vpc)보다 높은 전압으로 상승되는 시프트 레지스터.

청구항 15

제1항에 있어서,

리셋 단자에 의해 제어되며,

Q노드(Q) 및 스캔 출력(Gout(N))을 출력하는 출력 단자(OUT)를 리셋시키는 리셋부를 더 포함하는 시프트 레지스터

청구항 16

제1항에 있어서,

상기 클럭 단자(CK)에 게이트 전극 및 드레인 전극이 다이오드 구조로 연결되고, 제어 노드(CN)에 소스 전극이 연결되는 제1 인버터용 트랜지스터(Ti1);

상기 제어 노드(CN)에 게이트 전극이 연결되고, 상기 클럭 단자(CK)에 드레인 전극이 연결되고, 인버터 출력 노드(VN)에 소스 전극이 연결되는 제2 인버터용 트랜지스터(Ti2);

상기 캐리 단자(CR)에 게이트 전극이 연결되고, 상기 제어 노드(CN)에 드레인 전극이 연결되고, 저전위 전압(VSS)의 공급 단자에 소스 전극이 연결되는 제3 인버터용 트랜지스터(Ti3); 및

상기 캐리 단자(CR)에 게이트 전극이 연결되고 상기 인버터 출력 노드(VN)에 드레인 전극이 연결되고, 상기 저전위 전압(VSS)의 공급 단자에 소스 전극이 연결되는 제4 인버터용 트랜지스터(Ti4)를 구비하는 인버터를 더 포함하는 시프트 레지스터.

청구항 17

제16항에 있어서,

상기 클럭 신호(CLK(N))를 하이 전압으로 출력하는 제2 기간(t_2) 동안에 상기 인버터의 상기 제3 및 제4 인버터용 트랜지스터(Ti3, Ti4)에 의해 상기 인버터 출력 ($V_{inv}(N)$)은 저전위 전압(VSS)으로 출력되는 시프트 레지스터.

청구항 18

제16항에 있어서,

상기 인버터 출력($V_{inv}(N)$)이 공급되는 상기 인버터 출력 노드(VN)의 제어에 응답하여, 상기 캐리 단자(CR) 및 상기 출력 단자(OUT)를 방전시키는 풀다운부를 더 포함하는 시프트 레지스터.

청구항 19

제16항에 있어서,

상기 인버터 출력($V_{inv}(N)$)의 제어에 응답하여 상기 Q노드(Q)를 상기 저전위 전압(VSS)으로 방전시키는 노이즈 제거부를 더 포함하는 시프트 레지스터.

청구항 20

제16항에 있어서,

안정화 신호(V_{stable})에 응답하여 상기 인버터 제어 노드(CN), 상기 인버터 출력 노드(VN), 및 상기 출력 단자(OUT)를 각각 리셋시키는 제1 내지 제3 안정화 트랜지스터(Tst1 내지 Tst3)를 구비하는 안정화부를 더 포함하는 시프트 레지스터.

청구항 21

기판 상에 복수의 픽셀이 정의된 표시부;

상기 표시부의 적어도 일측에 배치되는 비표시부; 및

상기 비표시부 상에 위치하며 상기 복수의 픽셀과 대응되는 GIP(Gate In Panel)회로부를 포함하고,

상기 GIP 회로부는,

Q노드(Q)를 프리차징 전압(V_{pc})으로 제어하는 제1 내지 제3 세트 트랜지스터(Ts1 내지 Ts3) 및 Q노드(Q)에 프리차징 전압(V_{pc})을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한 세트부; 및

상기 Q노드(Q)에 의해 제어되며, 클럭 단자(CK)에 공급되는 제n 번째 클럭(CLK(N))을 출력 단자(OUT)를 통해 스캔 출력($G_{out}(N)$)으로 출력하는 제1 풀업 트랜지스터(Tpu1)와, 상기 제n 번째 클럭(CLK(N))을 캐리 단자(CR)를 통해 캐리 신호(CRY(N))로 출력하는 제2 풀업 트랜지스터(Tpu2)를 구비하는 풀업부를 포함하는 표시장치.

청구항 22

제21항에 있어서,

상기 세트부는 프리차징 구간(PC)에 게이트 하이 전압(VGH)인 N-2번째 전단 캐리 신호(CRY(N-2))를 공급 받아 상기 Q노드(Q)를 상기 프리차징 전압(Vpc)으로 충전하는 표시장치.

청구항 23

제22항에 있어서,

상기 제1 세트 트랜지스터(Ts1)의 게이트 전극 및 드레인 전극은 다이오드 구조를 이루고 상기 N-2번째 전단 캐리 신호(CRY(N-2))를 게이트 하이 전압(VGH)을 공급 받으며, 상기 제1 세트 트랜지스터(Ts1)의 소스 전극은 상기 프리차징 세트 트랜지스터(Tsp)와 연결되는 표시장치.

청구항 24

제23항에 있어서,

상기 프리차징 세트 트랜지스터(Tsp)의 게이트 전극은 상기 제1 세트 트랜지스터(Ts1) 및 상기 제2 세트 트랜지스터(Ts2)와 연결되고, 상기 프리차징 세트 트랜지스터(Tsp)의 드레인 전극은 상기 N-2번째 전단 캐리 신호(CRY(N-2))를 공급받으며, 상기 프리차징 세트 트랜지스터(Tsp)의 소스 전극은 상기 Q노드(Q)에 연결되는 표시장치.

청구항 25

제22항에 있어서,

상기 제2 세트 트랜지스터(Ts2)의 게이트 전극 및 소스 전극은 상기 제1 세트 트랜지스터(Ts1)의 소스 전극 및 상기 프리차징 세트 트랜지스터(Tsp)의 게이트 전극과 연결되며, 상기 제2 세트 트랜지스터(Ts2)의 드레인 전극은 상기 N-2번째 전단 캐리 신호(CRY(N-2))를 공급받는 표시장치.

청구항 26

제22항에 있어서,

상기 제3 세트 트랜지스터(Ts3)의 게이트 전극은 N+2 번째 전단 캐리 신호(CRY(N-2))를 공급 받으며, 상기 제3 세트 트랜지스터(Ts3)의 드레인 전극은 상기 프리차징 세트 트랜지스터(Tsp)와 연결되며, 상기 제3 세트 트랜지스터(Ts3)의 소스 전극은 저전위 전압(Vss)과 연결되는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 시프트 레지스터와 이를 이용한 표시장치에 관한 것으로, 보다 상세하게는 프리차징 트랜지스터(Tpc)의 출력 신호 감소를 제어하기 위한 회로부를 포함하는 시프트 레지스터와 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 모바일폰(mobile phone), 태블릿(tablet), 내비게이션(navigation), 노트북(notebook), 텔레비전(television), 모니터(monitor) 및 퍼블릭 디스플레이(public display; PD)와 같은 다양한 전자 디바이스가 일상 생활에 깊숙이 자리 잡았으며, 이러한 전자 디바이스에는 표시장치가 기본적으로 탑재되어 있어 표시장치의 수요 또한 날이 증가하고 있다. 표시장치에는 액정표시장치(Liquid Crystal Display Device, 이하 'LCD' 라 함) 및 유기발광표시장치(Organic Light Emitting Diode Display, 이하 'OLED' 라 함) 등이 있다.

[0003] 이와 같은 표시장치는 영상을 표시하는 복수의 픽셀 및 복수의 픽셀 각각에서 광이 투과되거나 발광되도록 제어하는 구동회로를 포함한다.

- [0004] 표시장치의 구동회로는 픽셀 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동회로, 데이터 신호에 동기되는 게이트 신호(또는 스캔 신호)를 픽셀 어레이의 게이트 라인들(또는 스캔 라인)에 순차적으로 공급하는 게이트 구동회로(또는 스캔 구동회로) 및 데이터 구동회로와 게이트 구동회로를 제어하는 타이밍 콘트롤러 등을 포함한다.
- [0005] 복수의 픽셀 각각은 게이트 라인을 통해 공급되는 게이트 신호에 응답하여 데이터 라인의 전압을 픽셀 전극에 공급하는 박막 트랜지스터(Thin Film Transistor)를 포함할 수 있다. 게이트 신호는 게이트 하이 전압(Gate High Voltage; VGH)과 게이트 로우 전압(Gate Low Voltage; VGL) 사이에서 스윙(swing)한다. 즉, 게이트 신호는 펄스 형태로 나타난다.
- [0006] 게이트 하이 전압(VGH)은 표시 패널에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다. 픽셀들의 박막 트랜지스터는 게이트 하이 전압에 응답하여 턴-온(turn-on)된다.
- [0007] 게이트 신호는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 이루어진다. 게이트 신호가 출력단을 통해 게이트 하이 전압(VGH)을 출력할 때, 표시패널의 게이트 라인(GL)은 게이트 하이 전압(VGH)을 전달받아 픽셀을 발광시킨다. 픽셀이 발광이 된 이후에는 다음 픽셀에 전달될 데이터 신호가 유입되지 못하도록 발광된 픽셀에 연결된 스테이지(stage) 출력단의 게이트 신호는 게이트 로우 전압(VGL)을 출력한다. 그리고, 스테이지(stage) 출력단이 게이트 로우 전압(VGL)으로 유지되는 시간 동안에는 리플 신호가 유입되지 않도록 하는 것이 바람직하다.
- [0008] 최근 표시장치가 박형화됨에 따라 게이트 구동회로를 픽셀 어레이와 함께 표시 패널에 내장하는 기술이 개발되고 있다. 이와 같이 표시 패널에 내장된 게이트 구동회로는 "GIP(Gate-In-Panel) 구동회로"로 알려져 있다. 여기서, GIP 구동회로는 게이트 신호를 생성하기 위한 시프트 레지스터(shift register)를 포함한다. 시프트 레지스터(shift register)는 종속적으로 접속된 복수의 스테이지(stage)를 포함한다. 복수의 스테이지(stage)는 스타트 신호에 응답하여 출력을 발생시키고 그 출력을 시프트 신호에 따라 다음 스테이지(stage)로 이동시킨다. 이에 따라, GIP 구동회로는 시프트 레지스터(shift register)에서의 복수의 스테이지(stage)를 순차적으로 구동하여 게이트 신호를 생성한다.
- [0009] 한편, GIP 구동회로는 시프트 레지스터로 구성되며, 시프트 레지스터는 복수의 트랜지스터를 포함한다. 전원과 클럭 신호가 인가되어 시프트 레지스터가 동작하는 동안, 시프트 레지스터에 포함되는 복수의 트랜지스터는 다양한 스트레스에 노출된다. 트랜지스터가 턴-온(Turn-on)되는 구간뿐 아니라, 턴-오프(Turn-off)되는 구간에도 스트레스가 발생한다. 특히, 트랜지스터가 턴-오프 되는 구간 동안, 드레인 전극과 소스 전극의 전압 차이에 의해 정션 스트레스(Junction Stress)가 발생할 수 있다. 정션 스트레스(Junction Stress)에 일정 시간 동안 노출된 트랜지스터는 열화(degradation)가 진행될 수 있으며, 열화가 진행된 트랜지스터 및 시프트 레지스터는 의도치 않는 신호를 출력할 수 있다.
- [0010] 상술한 시프트 레지스터는 세트 신호를 공급받아서 Q노드(Q)를 프리차징(Pre-Charging) 하는 트랜지스터(이하, 프리차징 트랜지스터(Tpc)라 함)를 포함하고 있다. 프리차징 트랜지스터(Tpc)의 프리차징(Pre-Charging) 시간이 길어지면, 복수의 스테이지를 구성하는 트랜지스터들 중 풀-업(Pull-Up) 트랜지스터(Tpu)가 스트레스(Stress)가 발생하여 GIP 구동회로의 출력 신호에 영향을 줄 수 있다.
- [0011] 또한, 프리차징 트랜지스터(Tpc)는 게이트 전극과 드레인 전극이 연결된 다이오드(Diode) 구조로 이루어져 있다. 이러한 구조의 경우, 프리차징 트랜지스터(Tpc)의 문턱전압(V_{th})이 클수록 Q노드(Q)의 프리차징(Pre-Charging) 전압이 감소하며, 이는 부트스트랩 구간 동안에 Q노드(Q)에 발생하는 부트스트랩 전압(V_{bc})을 감소시킨다.
- [0012] 그 결과, 풀-업(Pull-Up) 트랜지스터(Tpu)의 턴-온 라이징(Rising) 및 턴-오프 폴링(Falling) 시간이 변화되어, GIP 구동회로의 출력 신호가 감소될 수 있다. 이는 표시장치의 신뢰성 수준을 악화시키는 문제점으로 이어질 수 있다.
- [0013] 따라서 GIP 구동회로는 프리차징 트랜지스터(Tpc)의 출력 신호 감소를 개선할 필요가 있으며, 이를 위한 다양한 연구 개발이 진행되고 있다.

발명의 내용

해결하려는 과제

- [0014] 본 발명의 발명자들은 상술한 바와 같이, GIP 구동회로의 프리차징 트랜지스터(Tpc)의 출력 신호 감소를 개선시키고, Q노드(Q)의 프리차징 전압(Vpc)을 증가시키는 회로를 포함하는 시프트 레지스터 및 이를 포함하는 표시장치의 새로운 구조를 발명하였다.
- [0015] 이에, 본 발명이 해결하고자 하는 과제는 Q노드(Q)의 프리차징 전압(Vpc)을 증가시킴으로써, GIP 구동회로의 출력 신호 감소를 개선 할 수 있는 Q노드(Q)의 프리차징을 제어하는 회로부를 포함하는 시프트 레지스터 및 이를 포함하는 표시장치를 제공하는 것이다.
- [0016] 또한, 본 발명이 해결하고자 하는 다른 과제는 복수의 스테이지를 구성하는 트랜지스터들 중 풀업(Pull-Up) 트랜지스터(Tpu)의 스트레스(Stress)를 개선 시킬 수 있는 회로부를 포함하는 시프트 레지스터 및 이를 포함하는 표시장치를 제공하는 것이다.
- [0017] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0018] 본 명세서의 일 실시예에 따른 서로 종속적으로 접속된 복수의 스테이지를 갖는 시프트 레지스터가 제공된다. 게이트 구동회로는 복수의 스테이지를 포함한다. 각 스테이지는 Q노드(Q)를 프리차징 전압(Vpc)으로 제어하는 제1 내지 제3 세트 트랜지스터(Ts1 내지 Ts3) 및 Q노드(Q)에 프리차징 전압(Vpc)을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한 세트부, Q노드(Q)에 의해 제어되며, 클럭 단자(CK)에 공급되는 제n 번째 클럭(CLK(N))을 출력 단자(OUT)를 통해 스캔 출력(Gout(N))으로 출력하는 제1 풀업 트랜지스터(Tpu1)와, 제n 번째 클럭(CLK(N))을 캐리 단자(CR)를 통해 캐리 신호(CRY(N))로 출력하는 제2 풀업 트랜지스터(Tpu2)를 구비하는 풀업부를 포함한다.
- [0019] 본 명세서의 일 실시예에 따른 표시장치가 제공된다. 표시장치는 기판, 기판 상에 복수의 픽셀이 정의된 표시부, 표시부의 적어도 일측에 배치되는 비표시부 및 비표시부 상에 위치하며 복수의 픽셀과 대응되는 GIP(Gate In Panel)회로부를 포함한다. GIP회로부는 Q노드(Q)를 프리차징 전압(Vpc)으로 제어하는 제1 내지 제3 세트 트랜지스터(Ts1 내지 Ts3) 및 Q노드(Q)에 프리차징 전압(Vpc)을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한 세트부, Q노드(Q)에 의해 제어되며, 클럭 단자(CK)에 공급되는 제n 번째 클럭(CLK(N))을 출력 단자(OUT)를 통해 스캔 출력(Gout(N))으로 출력하는 제1 풀업 트랜지스터(Tpu1)와, 제n 번째 클럭(CLK(N))을 캐리 단자(CR)를 통해 캐리 신호(CRY(N))로 출력하는 제2 풀업 트랜지스터(Tpu2)를 구비하는 풀업부를 포함한다.
- [0020] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0021] 본 발명은 Q노드(Q)를 프리차징 전압(Vpc)으로 제어하는 제1 내지 제3 세트 트랜지스터(Ts1 내지 Ts3) 및 Q노드(Q)에 프리차징 전압(Vpc)을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한 세트부를 구비함으로써, Q노드(Q)에 프리차징 세트 트랜지스터(Tsp)의 임계전압(Vth)만큼 낮은 프리차징 전압(Vpc)을 게이트 하이 전압(VGH)으로 충전시키는 효과가 있다.
- [0022] 본 발명은 프리차징 세트 트랜지스터(Tsp)는 세트 단자(S)에 연결된 하나의 게이트 전극을 공유하는 3개의 트랜지스터로 구성되어, 하이 정션 스트레스(High Junction Stress: HJS)를 최소화하는 효과가 있다.
- [0023] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.
- [0024] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시예에 따른 시프트 레지스터를 내장한 표시 장치의 구성을 개략적으로 나타낸 블록도이다.

도 2는 본 발명의 일 실시예에 따른 시프트 레지스터의 구성을 나타낸 블록도이다.

도 3은 본 발명의 일 실시예에 따른 시프트 레지스터에서 N번째 스테이지의 구성을 나타낸 회로도이다.

도 4는 도 3에 도시된 N번째 스테이지의 구동 파형도이다.

도 5는 본 발명의 일 실시예에 따른 N번째 스테이지의 프리차징 구간이 2H 인 것을 보여주는 그래프이다.

도 6은 본 발명의 일 실시예에 따른 N번째 스테이지의 Q노드(Q)에 인가되는 전압을 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0027] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다. 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0028] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0029] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0030] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 표시장치의 개략적인 블록도이다.
- [0033] 도 1을 참조하면, 표시장치는 표시패널(110), 타이밍 컨트롤러(150), 데이터 구동부(120) 및 스캔 구동부(130, 140)를 포함한다.
- [0034] 표시패널(110)은 상호 교차하는 데이터 라인들(DL) 및 스캔 라인들(GL)에 의해 구분되며, 데이터 라인들(DL) 및 스캔 라인들(GL)에 연결된 픽셀들(PXL)을 포함한다. 표시패널(110)은 픽셀들(PXL)에 의해 정의되는 표시영역(110A)과 각종 신호라인들이나 패드 등이 형성되는 비표시영역(110B)을 포함한다. 표시패널(110)은 액정표시장치(LCD), 유기발광표시장치(OLED), 전기영동표시장치(EPD) 등과 같은 다양한 표시장치에서 사용되는 표시패널로 구현될 수 있다.
- [0035] 하나의 픽셀(PXL)에는 스캔 라인(GL) 또는 데이터 라인(DL)과 연결된 트랜지스터와 스캔 신호 및 트랜지스터에 의해 공급된 데이터 신호에 대응하여 동작하는 픽셀회로가 포함된다. 픽셀(PXL)은 픽셀회로의 구성에 따라 액정소자를 포함하는 액정표시패널이나 유기발광소자를 포함하는 유기발광표시패널 등으로 구현된다.
- [0036] 예를 들어, 표시패널(110)이 액정표시패널로 구성된 경우, 표시패널(110)은 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드 등으로 구현될 수 있다. 표시패널(110)이 유기발광표시패널

로 구성된 경우, 표시패널(110)은 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등으로 구현될 수 있다.

- [0037] 타이밍 콘트롤러(150)는 영상보드에 연결된 LVDS 또는 TMDS 인터페이스 등의 수신회로를 통해 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 도트 클럭 등의 타이밍신호를 입력받는다. 타이밍 콘트롤러(150)는 입력된 타이밍 신호를 기준으로 데이터 구동부(120)와 스캔 구동부(130, 140)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생시킨다.
- [0038] 데이터 구동부(120)는 복수의 소스 드라이브 IC(Integrated Circuit)들을 포함한다. 소스 드라이브 IC들은 타이밍 콘트롤러(150)로부터 디지털 비디오 데이터들(RGB)과 소스 타이밍 제어신호(DDC)를 공급받는다. 소스 드라이브 IC들은 소스 타이밍 제어신호(DDC)에 응답하여 디지털 비디오 데이터들(RGB)을 감마전압으로 변환하여 데이터전압을 생성하고, 데이터전압을 표시패널(110)의 데이터 라인들(DL)을 통해 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 표시패널(110)의 데이터 라인들(DL)에 접속된다. 소스 드라이브 IC들은 표시패널(110) 상에 형성되거나, 별도의 PCB 기판에 형성되어 표시패널(110)과 연결되는 형태일 수도 있다.
- [0039] 스캔 구동부(130, 140)는 레벨 시프터(130) 및 시프트 레지스터(140)를 포함한다. 레벨 시프터(130)는 타이밍 콘트롤러(150)로부터 0V 내지 3.3V의 TTL(Transistor-Transistor-Logic) 레벨로 입력되는 클럭신호들(CLK)의 레벨을 시프트한 후 시프트 레지스터(140)에 공급한다. 시프트 레지스터(140)는 게이트인패널(Gate-In-Panel; 이하 GIP) 방식에 의해 표시패널(110)의 비표시영역(110B)에 박막 트랜지스터(이하 TFT) 형태로 형성될 수 있다. 시프트 레지스터(140)는 클럭신호들(CLK) 및 스타트신호(Vst)에 대응하여 스캔 신호를 시프트하여 출력하는 스테이지들로 구성된다. 시프트 레지스터(140)에 포함된 스테이지들은 복수 개의 출력단을 통해 스캔 신호들을 순차적으로 출력한다.
- [0040] 스캔 신호는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 이루어진다. 스캔 신호가 출력단을 통해 게이트 하이 전압(VGH)을 출력할 때, 표시패널(110)의 스캔 라인(GL)은 게이트 하이 전압(VGH)을 전달받아 픽셀을 발광시킨다. 픽셀이 발광이 된 이후에는 다음 픽셀에 전달될 데이터 신호가 유입되지 못하도록 발광된 픽셀에 연결된 스테이지 출력단의 스캔 신호는 게이트 로우 전압(VGL)을 출력한다. 픽셀(PXL)이 발광하는 동안에는 스테이지 출력단의 출력 신호는 충분한 시간 동안 게이트 하이 전압(VGH)으로 유지되는 것이 바람직하다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 시프트 레지스터를 간략하게 설명하는 블록도이다. 도 3은 도 2에 도시된 본 발명의 일 실시예에 따른 시프트 레지스터에서 N번째(N은 자연수) 스테이지(STn)의 구성을 보여주는 회로도이다. 도 4는 도 3에 도시된 스테이지의 구동 파형도이다. 시프트 레지스터(140)는 복수의 트랜지스터를 포함한다.
- [0042] 시프트 레지스터는 서로 종속적으로 접속되고 개별적인 스캔 출력(Gout)을 발생하는 복수의 스테이지(ST1 내지 STn; n은 스테이지 수)를 구비하며, 편의상 도 2에는 제1 내지 제5 스테이지(ST1 내지 ST5)만 나타내고 있다. 이하에서 "전단 스테이지"는 해당 스테이지의 이전(상부)에 위치하는 적어도 하나의 스테이지들 중 어느 하나를 의미하고, "후단 스테이지"는 해당 스테이지의 이후(하부)에 위치하는 적어도 하나의 스테이지들 중 어느 하나를 의미한다.
- [0043] 도 2를 참조하면, 스테이지들(ST1 내지 STn) 각각은 세트 단자(S), 리셋 단자(R), 클럭 단자(CK), 전원 단자(PT), 출력 단자(OUT) 및 캐리 단자(CR) 등을 구비한다.
- [0044] 도 4를 참조하면, N번째 스테이지(STn)는 위상이 서로 다른 i상(i는 양의 정수)의 클럭 신호들 중 어느 하나의 클럭 신호(CLK(N))를 공급받는다. 예를 들면, 순차적으로 위상이 지연되면서 하이 논리 구간이 서로 부분적으로 오버랩하는 8상 클럭 신호(CLK1 내지 CLK8) 중 어느 하나의 클럭 신호(CLK(N))를 N번째 스테이지(STn)에 공급받을 수 있다.
- [0045] 8상 클럭 신호들(CLK1 내지 CLK8)은 하이 논리 구간이 1H 기간씩 순차적으로 위상 지연되며 각 클럭 신호는 하이 논리 구간 중 3H 기간, 2H 기간, 1H 기간이 인접한 다른 클럭들 각각의 하이 논리 구간과 오버랩(Overlap)할 수 있다. 이러한 8상 클럭 신호들(CLK1 내지 CLK8)은 순차적으로 스캔 출력(Gout)으로 출력되어 각 스캔 출력(Gout)도 4H 기간의 하이 구간을 가지므로, 고속 구동에서 충분한 충전 시간을 제공할 수 있다. 8상 클럭 신호들(CLK1 내지 CLK8)에서 N번째 위상을 갖는 클럭(CLK(N))과 N+4번째 위상을 갖는 클럭(CLK(N+4)), 예를 들면 제1 클럭(CLK)과 제5 클럭(CLK)은 서로 위상 반전된 형태를 갖는다.
- [0046] 도 4을 참조하면, N번째 스테이지에서 스캔 출력(Gout(N)) 및 캐리 신호(CRY(N))로 출력되는 N번째 위상을 갖는

클럭 신호(CLK(N))는 4H 기간의 하이 논리(게이트 온 전압) 구간과 4H 기간의 로우 논리(게이트 오프 전압) 구간이 교번적으로 반복된다.

- [0047] 또한, N번째 위상을 갖는 클럭 신호(CLK(N))는, 세트 신호로 이용되는 N-2번째 전단 캐리 신호(CRY(N-2)) 및 N+2번째 전단 캐리 신호(CRY(N+2))와 하이 구간이 각각 2H 기간씩 오버랩 되며, 리셋 신호로 이용되는 N+4번째 후단 캐리 신호(CRY(N+4))와는 하이 구간이 오버랩(Overlap) 되지 않는다.
- [0048] 도 3 도시된 N번째 스테이지(STn)는 프레임(Frame)마다 도 4에 도시된 제1 및 제2 기간(t1, t2)을 포함하는 폴업 기간과, 제3 기간(t3) 및 그 이후를 포함하는 폴다운 기간으로 구동될 수 있다.
- [0049] 도 4를 참조하면, 제1 구간(t1)은 N-2번째 전단 캐리 신호(CRY(N-2))가 2H 기간 동안 하이 전압으로 유지되는 구간이다. 또한, 제1 구간(t1)은 Q노드(Q)가 프리차징되는 구간(PC)이다.
- [0050] 제2 구간(t2)은 캐리 신호(CRY(N))가 4H 기간 동안 하이 전압으로 유지되는 구간이며, Q노드(Q)가 부트스트랩되는 구간(BS)이다.
- [0051] 제3 구간(t3)은 N+4번째 후단 캐리 신호(CRY(N+4))가 2H 기간 동안 하이 전압으로 유지되는 구간이다.
- [0052] 도 2를 참조하여, 각 스테이지의 단자들을 구체적으로 설명한다.
- [0053] 세트 단자(S)는 스타트 신호 라인을 통해 공급된 스타트 신호(Vst) 또는 전단 스테이지(STn-2)로부터 공급된 전단 캐리 신호(CRY(N-2))를 세트 신호로 공급 받을 수 있다.
- [0054] 또한, 세트 신호에 응답하여, 각 스테이지(ST)의 Q노드(Qn)는 순차적으로 프리차징(Pre-Charging) 되고, 폴업(Pull-up)될 수 있다.
- [0055] 또한, 리셋 단자(R)는 후단 스테이지의 캐리 단자(CR)로부터 공급된 후단 캐리 신호(CRY(N+4))를 리셋(Reset) 신호로 공급받을 수 있다.
- [0056] 클럭 단자(CK)는 위상이 서로 다른 클럭 신호들 중 하나 이상의 클럭 신호(CLK(N))를 공급받는다. 이어서, N 번째 위상을 갖는 클럭 신호(CLK(N))는 출력 단자(OUT)를 통해 스캔 출력(Gout(N))으로 출력될 수 있다.
- [0057] 전원 단자(PT)는 캐리 신호(CRY(N)) 또는 출력 전압(Gout(N))의 로우 전압으로 사용되는 저전위 전압(VSS) 및 게이트 로우 전압(VGL)을 공급 받을 수 있다.
- [0058] 따라서, 각 스테이지(ST)는 스타트 신호(Vst) 또는 어느 하나의 전단 스테이지로부터 공급된 전단 캐리 신호(CRY(N-2))에 의해 세트되어 해당 클럭(CLK(N))을 스캔 출력(Gout(N)) 또는 캐리 신호(CRY(N))로 출력한다.
- [0059] 또한, 각 스테이지(ST)는 어느 하나의 후단 스테이지로부터 공급된 후단 캐리 신호(CRY(N+4))에 의해 리셋(Reset)되어 게이트 로우 전압(VGL)을 스캔 출력(Gout(N))으로 출력하고, 저전위 전압(VSS)을 캐리 신호(CRY(N))로 출력한다.
- [0060] 또한, 각 스테이지(ST)의 Q노드(Q)는 리셋 신호에 응답하여, 전원 단자(PT)를 통해 공급된 저전위 전압(VSS)으로 풀-다운(Pull-down)될 수 있다.
- [0061] 도 3을 참조하여, N번째 스테이지(STn)의 동작을 구체적으로 설명한다. N번째 스테이지(STn)는 SLC(Simple Logic Circuit)구조를 갖는다
- [0062] 도 3에 도시된 N번째 스테이지(STn)의 SLC 구조는 세트부(210), 폴업부(220), 폴다운부(230), 리셋부(240), 노이즈 제거부(250), 안정화부(260) 및 인버터(270)를 구비한다.
- [0063] N번째 스테이지(STn)는 스캔 출력(Gout(N))에 관여하는 폴업부(220)의 트랜지스터에서 스캔 출력(Gout(N))과 Q노드(Q)사이에 부트스트랩 커패시터(CB)를 추가 함으로써 Q노드(Q)는 부트스트래핑(Bootstrapping) 될 수 있다. 그 결과, 폴업부 트랜지스터의 게이트 전극과 연결된 Q노드(Q)의 전압이 크게 부트스트랩 된다.
- [0064] Q노드(Q)에 연결된 세트부(210)는 Q노드(Q)의 프리차징에 관여하며, Q노드(Q)에 연결된 노이즈 제거부(250)는 Q노드(Q)의 리플(Ripple) 발생을 방지할 수 있다. 또한, Q노드(Q)에 연결된 리셋부(240)는 스캔 출력(Gout(N)) 이후 Q노드(Q)의 전압을 로우 전압으로 방전시킬 수 있다.
- [0065] 도 3 및 도 4를 참조하면, 본 발명의 일 실시예에 따른 세트부(210)는 N-2번째 전단 캐리 신호(CRY(N-2)) 및 N+2번째 전단 캐리 신호(CRY(N+2))가 세트 신호로 공급되어 Q노드(Q)를 세트 신호의 하이 전압(이하, 프리차징 전압(Vpc)으로 표현함)으로 프리차징한다. 여기서, 프리차징 전압(Vpc)은 게이트 하이 전압(VGH)이 될 수 있다.

- [0066] 이하에서는 세트부(210)의 구성 및 연결 관계를 설명한다.
- [0067] 세트부(210)는 Q노드(Q)의 프리차징 전압(V_{pc})를 제어하는 제1 내지 제3 세트 트랜지스터(Ts_1 내지 Ts_3) 및 Q노드(Q)에 프리차징 전압(V_{pc})을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한다.
- [0068] 제1 세트 트랜지스터(Ts_1)의 게이트 전극 및 드레인 전극은 다이오드 구조이고, N-2번째 전단 캐리 신호($CRY(N-2)$)를 게이트 하이 전압(V_{GH})으로 공급 받는다. 제1 세트 트랜지스터(Ts_1)의 소스 전극은 프리차징 세트 트랜지스터(Tsp)의 게이트 전극과 연결되어 있다. 그 결과, 프리차징 세트 트랜지스터(Tsp)의 게이트 전극은 게이트 하이 전압(V_{GH})과 임계전압(V_{th})의 차이 만큼의 전압이 충전된다.
- [0069] 프리차징 세트 트랜지스터(Tsp)는 세트 단자(S)에 연결된 하나의 게이트 전극을 공유하는 3개의 트랜지스터로 이루어 졌으며, 세트 단자(S)와 Q노드(Q) 사이는 직렬로 연결된 구조이다. 즉, 3개 직렬로 연결된 프리차징 세트 트랜지스터(Tsp)는 하이 정션 스트레스(High Junction Stress: HJS)가 분산될 수 있다. 또한, 프리차징 세트 트랜지스터(Tsp)는 하이 정션 스트레스(HJS)로 인해 발생하는 구동 전류(Ion) 드랍(Drop) 현상이 개선될 수 있다.
- [0070] 프리차징 세트 트랜지스터(Tsp)의 게이트 전극은 세트 단자(S)와 연결되고, 프리차징 세트 트랜지스터(Tsp)의 드레인 전극은 N-2번째 전단 캐리 신호($CRY(N-2)$)단과 연결된다. 또한, Q노드(Q)는 프리차징 세트 트랜지스터(Tsp)의 소스 전극과 연결된다. N-2번째 전단 캐리 신호($CRY(N-2)$)가 게이트 하이 전압(V_{GH})이 되면, 프리차징 세트 트랜지스터(Tsp)의 게이트 전극이 게이트 하이 전압(V_{GH})과 임계전압(V_{th})의 차이 만큼의 전압으로 상승하게 되어 프리차징 세트 트랜지스터(Tsp)는 턴-온 된다.
- [0071] 이어서, 프리차징 세트 트랜지스터(Tsp)의 소스 전극이 게이트 로우 전압(V_{GL})에서 게이트 하이 전압(V_{GH})으로 상승하게 된다. 이때, 프리차징 세트 트랜지스터(Tsp)의 기생 커패시턴스(C_{gs})로 인하여 커플링(Coupling) 효과가 발생하여 게이트 전극의 전압이 게이트 하이 전압(V_{GH})보다 상승하게 된다.
- [0072] 따라서, 프리차징 세트 트랜지스터(Tsp)의 출력 전압이 상승하게 된다. 이는 Q노드(Q)의 프리차징 전압(V_{pc})을 상승 시키는 결과를 가져올 수 있다. 즉, Q노드(Q)에 충전되는 전압은 프리차징 세트 트랜지스터(Tsp)의 임계전압(V_{th})만큼 저하 되는 현상 없이, 게이트 하이 전압(V_{GH})이 그대로 충전될 수 있다.
- [0073] 제2 세트 트랜지스터(Ts_2)의 게이트 전극 및 소스 전극은 제1 세트 트랜지스터(Ts_1)의 소스 전극 및 프리차징 세트 트랜지스터(Tsp)의 게이트 전극과 연결되어 있다. 그 결과, 제2 세트 트랜지스터(Ts_2)는 제1 세트 트랜지스터(Ts_1)의 소스 전극에 충전된 게이트 하이 전압(V_{GH})에서 임계전압(V_{th})을 뺀 만큼의 전압을 게이트 전극에 공급 받아서 턴-온 된다.
- [0074] 또한, 제2 세트 트랜지스터(Ts_2)의 드레인 전극에는 N-2번째 전단 캐리 신호($CRY(N-2)$)의 게이트 하이 전압(V_{GH})이 인가된다. 제2 세트 트랜지스터(Ts_2)의 소스 전극은 프리차징 세트 트랜지스터(Tsp)의 게이트 전극에 걸리는 게이트 하이 전압(V_{GH})보다 높은 전압이 충전된다. 이어서, 제2세트 트랜지스터(Ts_2)는 소스 전극에 걸린 게이트 하이 전압(V_{GH})보다 높은 전압을 게이트 하이 전압(V_{GH})만큼 떨어 지도록 드레인 전극으로 방전하게 된다.
- [0075] 제3 세트 트랜지스터(Ts_3)의 게이트 전극은 N+2 번째 전단 캐리 신호($CRY(N+2)$)를 공급 받으며, 제3 세트 트랜지스터(Ts_3)의 드레인 전극은 프리차징 세트 트랜지스터(Tsp)의 게이트 전극과 연결되어 있다. 제3 세트 트랜지스터(Ts_3)의 소스 전극은 저전위 전압(V_{ss})과 연결되어 있다. 그 결과, 제3 세트 트랜지스터(Ts_3)는 N+2 번째 전단 캐리 신호($CRY(N+2)$)의 하이 전압에 대응하여 턴-온 되어, 프리차징 세트 트랜지스터(Tsp)의 게이트 전극에 걸린 전압을 저전위 전압(V_{ss})으로 방전시킨다.
- [0076] 따라서, 제1 구간(t_1) 동안, 제1 내지 제3 세트 트랜지스터(Ts_1 내지 Ts_3)를 포함하는 세트부(210)는 Q노드(Q)의 전압이 게이트 하이 전압(V_{GH})보다 낮아지는 것을 방지한다. 즉, 제1 구간(t_1) 동안, 세트부(210)는 Q노드(Q)의 전압이 게이트 하이 전압(V_{GH})을 유지되도록 제어한다.
- [0077] 도 3 및 도 4를 참조하면, 풀업부(220)는 Q노드(Q)의 제어에 의해 풀업되어, 클럭 단자(CK)에 공급된 N번째 위상을 갖는 클럭 신호($CLK(N)$)를 스캔 출력($Gout(N)$)으로 출력함과 아울러 캐리 신호($CRY(N)$)로 출력한다.
- [0078] 풀업부(220)는 제1 및 제2 풀업 트랜지스터(Tpu_1 , Tpu_2)를 구비한다. 제1 풀업 트랜지스터(Tpu_1)는 Q노드(Q)에 게이트 전극이 접속되고, 클럭 단자(CK)에 드레인 전극이 접속되며, 출력 단자(OUT)에 소스 전극이 접속된다. 제2 풀업 트랜지스터(Tpu_2)는 Q노드(Q)에 게이트 전극이 연결되고, 클럭 단자(CK)에 드레인 전극이 연결되며,

캐리 단자(CR)에 소스 전극이 연결된다.

- [0079] 풀업부(220)의 제1 풀업 트랜지스터(Tpu1)는 Q노드(Q)의 하이 전압인 프리차징 전압(Vpc)에 의해 턴-온된다. 이어서, N번째 위상을 갖는 클럭 신호(CLK(N))가 출력단자(OUT)를 통해 스캔 출력(Gout(N))으로 출력된다.
- [0080] 제2 풀업 트랜지스터(Tpu2)는 Q노드(Q)의 프리차징 전압(Vpc)에 의해 턴-온 된다. 이어서, N번째 위상을 갖는 클럭 신호(CLK(N))가 캐리 단자(CR)를 통해 캐리 신호(CRY(N))로 출력된다.
- [0081] 따라서, 제2 구간(t2) 동안, 풀업부(220)의 제1 및 제2 풀업 트랜지스터(Tpu1, Tpu2)를 이용하여, 스캔 출력(Gout(N)) 및 캐리 신호(CRY(N))를 출력시킬 수 있다.
- [0082] 도 3 및 도 4를 참조하면, 제1 기간(t1)에는 N번째 위상을 갖는 클럭 신호(CLK(N))의 로우 전압이 스캔 출력(Gout(N)) 및 캐리 신호(CRY(N))의 로우 전압으로 출력되고, 제2 기간(t2)에는 N번째 위상을 갖는 클럭 신호(CLK(N))의 하이 전압이 스캔 출력(Gout(N)) 및 캐리 신호(CRY(N))의 하이 전압으로 출력된다.
- [0083] 구체적으로 설명하면, 제1 기간(t1)은 프리차징 구간(PC)이고, 제2 기간(t2)는 부트스트랩 구간(BS)이다. 프리차징 구간(PC) 동안, Q노드(Q)는 프리차징 전압(Vpc)으로 프리차징 된다. 또한, 제2구간(t2) 동안, Q노드(Q)는 제1 풀업 트랜지스터(Tpu1)의 게이트 전극과 소스 전극 사이에 위치하는 부트스트랩 커패시터(CB)의 커플링 현상에 의해 프리차징 전압(Vpc)보다 크게 상승한다.
- [0084] 그 결과, 프리차징 구간(PC) 동안, 충전된 Q노드(Q)의 프리차징 전압(Vpc)에 의해 제1 및 제2 풀업 트랜지스터(Tpu1, Tpu2)가 턴-온 되고, 제N 스테이지 출력단(OUT)을 통해 N번째 위상을 갖는 클럭 신호(CLK(N))에 대응되는 스캔 출력(Gout(N)) 및 캐리 신호(CRY(N))가 출력된다. 이 때의 클럭 신호(CLK(N))는 로우 상태이므로 N번째 스테이지(STn)의 출력단은 게이트 로우 전압(VGL)이 출력된다.
- [0085] 이어서, 부트스트랩 구간(BS) 동안, 클럭 신호(CLK(N))가 하이 상태가 되면, N번째 스테이지(STn)의 출력단은 게이트 하이 전압(VGH)을 출력한다.
- [0086] 또한, Q노드(Q)의 부트스트랩 구간(BS) 동안의 전위 변화는 전하량 보존의 법칙과 관련하여 설명할 수 있다.
- [0087] 이와 같이 전하량 보존의 법칙은 다음 [수학식 1]과 같다.
- [0088] [수학식 1]
- [0089] $Q = CV, Q1 = Q2$
- [0090] $C1(\Delta Va - \Delta Vb) = C2(\Delta Vb - \Delta Vc), \Delta Vc=0$
- [0091] $C1(\Delta Va - \Delta Vb) = C2\Delta Vb$
- [0092] $\therefore \Delta V2= C1/C1+C2* \Delta V1$
- [0093] 여기서, C1는 부트스트랩 커패시터(CB)의 정전용량, ΔVa 은 Q노드(Q)의 전위변화량, ΔVb 는 제N 스테이지 출력단의 전위변화량, C2는 제1 풀업 트랜지스터(Tpu1)의 기생용량, ΔVc 는 클럭 신호(CLK(N))의 전위 변화량이다.
- [0094] 구체적으로 설명하면, 제1 풀업 트랜지스터(Tpu1)의 소스 전극에 스캔 출력(Gout(N))의 하이 전압이 인가 되면, 소스 전극은 전압 변화가 발생한다. 이어서, 플로어링(Floating)된 게이트 전극, Q노드(Q)에 걸리는 전압이 부트스트랩 된다.
- [0095] 따라서, 부트스트랩 구간(BS)에서 Q노드(Q)는 도 4에서와 같이 프리차징보다 큰 전압(이하, 부트스트랩 전압(Vbs)이라 표현 함)으로 상승하게 된다.
- [0096] 또한, 본 발명의 부트스트랩 구간(BS)은 일정한 프리차징 전압(Vpc)이 충전된 Q노드(Q)가 부트스트랩되어 하이 전압(VGH) 보다 높은 부트스트랩 전압(Vbs)으로 유지되는 구간이며, 제1 풀업 트랜지스터(Tpu1)의 게이트-소스 전압(Vgs)이 임계 전압(Vth)보다 큰 구간이다. 따라서, 제1 풀업 트랜지스터(Tpu1)는 충분히 긴 시간 동안 턴-온될 수 있어서, N번째 스테이지(STn)의 스캔 출력(Gout(N))을 안정적으로 제어할 수 있다. 또한, 이는 GIP 구동회로의 신뢰성을 높일 수 있다.
- [0097] 또한, 제1 풀업 TFT(Tpu1)의 게이트 전극과 소스 전극 사이에 접속된 부트스트랩 커패시터(CB)는 제1 풀업 트랜지스터(Tpu1)가 풀업되어 해당 클럭 신호(CLK(N))의 하이 전압을 출력할 때 Q노드(Q)의 프리차징 전압(Vpc)을 부트스트래핑하여 증폭시킴으로써 스캔 출력(Gout(N))의 라이징(Rising) 시간을 감소시킬 수 있다.

- [0098] 풀업부(220)의 역할은 제1 풀업 트랜지스터(Tpu1)가 턴-온 되어 있는 시간 동안, 드레인 전극의 입력된 클럭 신호(CLK(N))를 소스 전극으로 전달하는데 있다. 이 때, 제1 풀업 트랜지스터(Tpu1)가 턴-온 되는 조건은 게이트-소스 전압(Vgs)이 임계 전압(Vth)보다 클 때이다. 또한, 게이트-소스 전압(Vgs)이 임계전압(Vth)보다 작아지는 구간에 Q노드(Q)가 부트스트랩 되지 않고 프리차징 전압(Vpc)으로 유지 될 수 있다.
- [0099] 도 2 내지 도 4를 참조하면, 리셋부(240)는 리셋 펄스 또는 N+4번째의 후단 스테이지로부터 공급된 N+4번째 캐리 신호(CRY(N+4))가 리셋 신호로 리셋 단자(R)에 공급된다. 리셋부(240)에 입력된 리셋 신호는 Q노드(Q)와, 스캔 출력(Gout(N))을 출력하는 출력 단자(OUT)를 리셋(방전)시킨다. 편의상 이하에서는 리셋 단자(R)에 N+4번째 캐리 신호(CRY(N+4))가 리셋 신호로 공급된 경우를 설명하기로 한다.
- [0100] 리셋부(240)는 리셋 신호(CRY(N+4))에 의해 제어되며, Q노드(Q) 및 출력 단자(OUT)를 각각 리셋시키는 제1 및 제2 리셋 트랜지스터(Trs1, Trs2)를 구비한다. 또한, 제1 및 제2 리셋 트랜지스터(Trs1, Trs2)는 리셋 신호(CRY(N+4))가 하이 전압일 때 동시에 턴-온된다.
- [0101] 제1 리셋 트랜지스터(Trs1)는 Q노드(Q)를 저전위 전압(VSS)으로 방전시킨다. 제2 리셋 트랜지스터(Trs2)는 출력 단자(OUT)를 게이트 로우 전압(VGL)으로 방전시킨다.
- [0102] 제1 리셋 트랜지스터(Trs1)는 리셋 단자(R)에 접속된 게이트 전극을 공유하는 2개의 트랜지스터가 Q노드(Q)와 저전위 전압(VSS)의 공급 단자 사이에 직렬 접속된 구조를 갖는다.
- [0103] 따라서, 제3 구간(t3) 동안, 리셋부(240)는 제1 및 제2 리셋 트랜지스터(Trs1, Trs2)를 이용하여 Q노드(Q)는 저전위 전압(VSS)으로, 출력 단자(OUT)는 게이트 로우 전압(VGL)으로 방전시킨다.
- [0104] 도 3 및 도 4를 참조하면, 인버터(270)는 제1 내지 제4 인버터용 TFT(Ti1 내지 Ti4)를 구비한다.
- [0105] 제1 인버터용 트랜지스터(Ti1)는 N번째 위상을 갖는 클럭 신호(CLK(N))가 공급되는 클럭 단자(CK)에 게이트 전극 및 드레인 전극이 접속된 다이오드 구조이고, 제어 노드(CN)에 소스 전극이 접속된다.
- [0106] 제2 인버터용 트랜지스터(Ti2)는 제어 노드(CN)에 게이트 전극이 접속되고, 클럭 단자(CK)에 드레인 전극이 접속되며, 인버터 출력 노드(VN)에 소스 전극이 접속된다.
- [0107] 제3 인버터용 트랜지스터(Ti3)는 캐리 단자(CR)에 게이트 전극이 접속되고, 제어 노드(CN)에 드레인 전극이 접속되며 저전위 전압(VSS)의 공급 단자에 소스 전극이 접속된다.
- [0108] 제4 인버터용 트랜지스터(Ti4)는 캐리 단자(CR)에 게이트 전극이 접속되고 인버터 출력 노드(VN)에 드레인 전극이 접속되며 저전위 전압(VSS)의 공급 단자에 소스 전극이 접속된다.
- [0109] 제1 인버터용 TFT(Ti1)는 N번째 위상을 갖는 클럭 신호(CLK(N))의 하이 전압에 의해 턴-온 되고, 클럭 신호(CLK(N))의 하이 전압은 제어 노드(CN)에 충전된다. 이어서, 충전된 제어 노드(CN)에 의해 제2 인버터용 TFT(Ti2)가 턴-온되어 N번째 위상을 갖는 클럭 신호(CLK(N))를 인버터 출력 (Vinv(N))으로 출력한다.
- [0110] 제3 및 제4 인버터용 TFT(Ti3, Ti4)는 N 번째 캐리 신호(CRY(N))에 의해 턴-온되어 제어 노드(CN) 및 인버터 출력 노드(VN)를 저전위 전압(VSS)으로 방전시킨다.
- [0111] 따라서, N번째 위상을 갖는 클럭 신호(CLK(N))를 출력하는 제2 기간(t2) 동안, 인버터부(270)의 제1 및 제2 인버터용 트랜지스터(Ti1, Ti2)가 턴-온 되더라도, 턴-온된 제3 및 제4 인버터용 TFT(Ti3, Ti4)에 의해 인버터 출력 (Vinv(N))은 저전위 전압(VSS)을 출력한다. 또한, 제1 내지 제4 인버터용 TFT(Ti1 내지 Ti4) 각각은 게이트 전극을 공유하는 2개 TFT가 직렬 접속된 구조를 갖는다.
- [0112] 도 3 및 도 4를 참조하면, 풀다운부(230)는 N번째 인버터 출력(Vinv(N))이 공급되는 인버터 출력 노드(VN)의 제어에 응답하여 캐리 단자(CR) 및 출력 단자(OUT)를 방전시킨다.
- [0113] 풀다운부(230)는 N번째 인버터 출력(Vinv(N))에 의해 제어되어 캐리 단자(CR)를 저전위 전압(VSS)으로 방전시키는 제1 풀다운 트랜지스터(Tpd1)와, N번째 인버터 출력(Vinv(N))에 의해 제어되어 출력 단자를 게이트 로우 전압(VGL)으로 방전시키는 제2 풀다운 트랜지스터(Tpd2)를 구비한다.
- [0114] 이에 따라, N번째 위상을 갖는 클럭 신호(CLK(N))와 동기하여 N번째 인버터 출력(Vinv(N))의 하이 전압이 공급될 때마다, 제1 풀다운 트랜지스터(Tpd1)와 제2 풀다운 트랜지스터(Tpd2)가 턴-온되어 캐리 신호(CRY(N)) 및 스캔 출력(Gout(N))의 멀티 출력을 방지할 수 있다.

- [0115] 도 3 및 도 4를 참조하면, 본 발명의 노이즈 제거부(250)는 N번째 인버터 출력($V_{inv}(N)$)의 제어에 응답하여 Q노드(Q)를 저전위 전압(VSS)으로 방전시킨다. 노이즈 제거부(250)는 게이트 전극을 공유하는 2개의 트랜지스터가 직렬로 접속된 구조를 갖는 노이즈 제거 트랜지스터(T_{np})를 구비한다.
- [0116] 노이즈 제거 트랜지스터(T_{np})의 게이트 전극은 N번째 인버터 출력($V_{inv}(N)$)을 공급 받으며 드레인 전극은 Q노드(Q)에 연결되며, 소스 전극은 저전위 전압(VSS) 공급 단자에 연결된다.
- [0117] 따라서, 노이즈 제거 트랜지스터(T_{np})는 N번째 인버터 출력($V_{inv}(N)$)의 하이 전압에 의해 턴-온 되어 Q노드(Q)를 저전위 전압(VSS)으로 방전시킬 수 있다.
- [0118] 그 결과, N번째 위상을 갖는 클럭 신호($CLK(N)$)의 커플링에 의한 Q노드(Q)의 리플을 제거할 수 있다.
- [0119] 도 3 및 도 4를 참조하면, 본 발명의 안정화부(260)는 안정화 신호(V_{stable})에 응답하여 인버터 제어 노드(CN), 인버터 출력 노드(VN), 및 출력 단자(OUT)를 각각 리셋시키는 제1 내지 제3 안정화 트랜지스터(T_{st1} 내지 T_{st3})를 구비한다. 제1 내지 제3 안정화 트랜지스터(T_{st1} 내지 T_{st3})는 수직 동기 신호의 수직 블랭크 기간마다 안정화 신호(V_{stable})에 의해 동시에 턴-온 된다.
- [0120] 제1 안정화 TFT(T_{st1})는 인버터 제어 노드(CN)를 저전위 전압(VSS)으로 방전시키고, 제2 안정화 TFT(T_{st2})는 인버터 출력 노드(VN)를 저전위 전압(VSS)으로 방전시키고, 제3 안정화 TFT(T_{st3})는 출력 단자를 게이트 로우 전압(VGL)으로 방전시킴으로써 스테이지의 주요 노드를 모두 초기화시킨다. 또한, 도 3을 참조하면, N번째 스테이지(ST_n)에 공급되는 게이트 로우 전압(VGL)과 저전위 전압(VSS)은 트랜지스터를 턴-오프시킬 수 있는 부극성의 저전위 전압으로 제1 및 제2 게이트 오프 전압으로 각각 표현될 수 있다. 저전위 전압(VSS)은 제2 게이트 오프 전압으로 스캔 출력에 이용되는 게이트 로우 전압(VGL), 즉 제1 게이트 오프 전압 보다 낮은 전압이 이용된다. 이에 따라, 저전위 전압(VSS)은 해당 트랜지스터를 안정적으로 턴-오프시킴으로써 누설 전류를 감소시킬 수 있다.
- [0121] 도 5는 본 발명의 일 실시예에 따른 N번째 스테이지의 프리차징 구간이 2H 인 것을 보여주는 그래프이다.
- [0122] 도 5를 참조하면, 세트부(210)는 N-2번째 전단 캐리 신호($CRY(N-2)$)가 세트 신호로 공급되어 Q노드(Q)를 세트 신호의 하이 전압(이하, 프리차징 전압(V_{pc}))으로 표현함)으로 프리차징한다.
- [0123] N번째 스테이지(ST_n)에서 스캔 출력($Gout(N)$) 및 캐리 신호($CRY(N)$)로 출력하는 N번째 위상을 갖는 클럭 신호($CLK(N)$)는 4H 기간의 하이 논리(게이트 온 전압) 구간과 4H 기간의 로우 논리(게이트 오프 전압) 구간이 교번적으로 반복된다. N-2번째 전단 캐리 신호($CRY(N-2)$)에 대응하여 Q노드(Q)는 프리차징되며, 프리차징의 구간은 2H 기간 동안 유지된다.
- [0124] 본 발명의 일 실시예에 따른 N번째 스테이지(ST_n)는 세트 신호로 전단 캐리 신호($CRY(N-2)$)를 사용한다. 이는 Q노드(Q)의 프리차징 시간을 줄일 수 있다.
- [0125] 구체적으로 설명하면, 전단 캐리 신호($CRY(N-2)$)를 사용함으로써 Q노드(Q)의 프리차징 시간이 줄어들어 프리차징 구간(PC)에서 풀업부(220)의 제1 풀업 트랜지스터(T_{pu1})가 받는 스트레스 시간이 줄어든다. 그 결과, N번째(N은 자연수) 스테이지(ST_n)에서 클럭($CLK(N)$)을 스캔 출력($Gout(N)$) 또는 캐리 신호($CRY(N)$)으로 출력하는 데 관여하는 풀업부(220)의 제1 풀업 트랜지스터(T_{pu1})의 스트레스 및 열화를 최소화 할 수 있다.
- [0126] 도 6은 본 발명의 일 실시예에 따른 N번째 스테이지의 Q노드(Q)에 인가되는 전압을 보여주는 그래프이다. 즉, 풀업부를 구성하는 제1 풀업 트랜지스터(T_{pu1})의 게이트 전극인 Q노드(Q)에 인가되는 전압을 보여주는 그래프이다.
- [0127] 도 6을 참조하면, 프리차징 구간 동안, 비교예의 그래프는 Q노드(Q)에 프리차징에 관여하는 트랜지스터의 임계 전압(V_{th})만큼 낮은 프리차징 전압(V_{pc})이 충전되는 것을 나타낸다.
- [0128] 본 발명의 세트부(210)는 Q노드(Q)의 프리차징 전압(V_{pc}) 제어하는 제1 내지 제3 세트 트랜지스터(T_{s1} 내지 T_{s3}) 및 Q노드(Q)에 프리차징 전압(V_{pc})을 인가하는 프리차징 세트 트랜지스터(T_{sp})를 구비한다.
- [0129] 프리차징 구간(PC) 동안, 실시예의 그래프는 프리차징에 관여하는 프리차징 세트 트랜지스터(T_{sp})가 게이트 하이 전압(V_{GH})을 출력하여 Q노드(Q)에 충전되는 프리차징 전압(V_{pc})이 증가된 것을 보여준다.
- [0130] 또한, 부트스트랩 구간(BS) 동안, 실시예의 그래프는 Q노드(Q)가 하이 전압(V_{GH})으로 프리차징된 후 부트스트랩 전압(V_{bs})으로 부트스트랩핑 되는 것을 보여준다.

- [0131] 따라서, Q노드(Q)는 제1 풀업 트랜지스터(Tpu1)의 게이트 전극과 소스 전극 사이에 위치하는 부트스트랩 커패시터(CB)의 커플링 현상에 의해 부트스트랩 전압(Vbs)으로 크게 상승한다.
- [0132] 도 6을 참조하면, 실시예의 부트스트랩 전압(Vbs)은 비교예의 부트스트랩 전압(Vbs) 보다 높은 것을 알 수 있다. 이는 제1 풀업 트랜지스터(Tpu1)의 게이트 전극 전압이 높아진다는 것을 의미한다. 그 결과, 제1 풀업 트랜지스터(Tpu1)의 라이징(Rising) 및 폴링(Falling) 시간이 개선될 수 있다. 이를 통해 GIP 회로의 수명이 향상될 수 있다.
- [0133] 이하에서는, 본 발명의 일 실시예에 따른 Q노드(Q)의 프리차징 전압(Vpc)을 증가 시키며, GIP 구동회로의 출력 신호 감소를 개선하는 Q노드(Q)의 프리차징을 제어하는 회로부를 포함하는 시프트 레지스터 및 이를 포함하는 표시장치의 다양한 특징들에 대해 설명한다.
- [0134] 서로 종속적으로 접속된 복수의 스테이지를 갖는 시프트 레지스터에서, 각 스테이지는, Q노드(Q)를 프리차징 전압(Vpc)으로 제어하는 제1 내지 제3 세트 트랜지스터(Ts1 내지 Ts3) 및 Q노드(Q)에 프리차징 전압(Vpc)을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한 세트부; 및 Q노드(Q)에 의해 제어되며, 클럭 단자(CLK)에 공급되는 제n 번째 클럭(CLK(N))을 출력 단자(OUT)를 통해 스캔 출력(Gout(N))으로 출력하는 제1 풀업 트랜지스터(Tpu1)와, 제n 번째 클럭(CLK(N))을 캐리 단자(CR)를 통해 캐리 신호(CRY(N))로 출력하는 제2 풀업 트랜지스터(Tpu2)를 구비하는 풀업부를 포함한다.
- [0135] 본 발명의 다른 특징에 따르면, 세트부는 게이트 하이 전압(VGH)인 N-2번째 전단 캐리 신호(CRY(N-2)) 및 N+2번째 전단 캐리 신호(CRY(N+2))를 세트 신호로 공급받아 Q노드(Q)를 프리차징 전압(Vpc)으로 충전할 수 있다.
- [0136] 본 발명의 또 다른 특징에 따르면, 제1 세트 트랜지스터(Ts1)의 게이트 전극 및 드레인 전극은 다이오드 구조이고, N-2번째 전단 캐리 신호(CRY(N-2))를 게이트 하이 전압(VGH)으로 공급받을 수 있다.
- [0137] 본 발명의 또 다른 특징에 따르면, 제1 세트 트랜지스터(Ts1)의 소스 전극은 프리차징 세트 트랜지스터(Tsp)와 연결될 수 있다.
- [0138] 본 발명의 또 다른 특징에 따르면, 프리차징 세트 트랜지스터(Tsp)는 세트 단자(S)에 연결된 하나의 게이트 전극을 공유하는 3개의 트랜지스터로 구성되어, 하이 정션 스트레스(High Junction Stress: HJS)를 최소화할 수 있다.
- [0139] 본 발명의 또 다른 특징에 따르면, 프리차징 세트 트랜지스터(Tsp)의 게이트 전극은 제1 세트 트랜지스터(Ts1) 및 제2 세트 트랜지스터(Ts2)와 연결되고, 프리차징 세트 트랜지스터(Tsp)의 드레인 전극은 N-2번째 전단 캐리 신호(CRY(N-2))를 공급받을 수 있다.
- [0140] 본 발명의 또 다른 특징에 따르면, 프리차징 세트 트랜지스터(Tsp)의 소스 전극은 Q노드(Q)에 연결될 수 있다.
- [0141] 본 발명의 또 다른 특징에 따르면, 제2 세트 트랜지스터(Ts2)의 게이트 전극 및 소스 전극은 제1 세트 트랜지스터(Ts1)의 소스 전극 및 프리차징 세트 트랜지스터(Tsp)의 게이트 전극과 연결되며, 제2 세트 트랜지스터(Ts2)의 드레인 전극은 N-2번째 전단 캐리 신호(CRY(N-2))를 공급받을 수 있다.
- [0142] 본 발명의 또 다른 특징에 따르면, 제3 세트 트랜지스터(Ts3)의 게이트 전극은 N+2 번째 전단 캐리 신호(CRY(N+2))를 공급 받으며, 제3 세트 트랜지스터(Ts3)의 드레인 전극은 프리차징 세트 트랜지스터(Tsp)와 연결되며, 제3 세트 트랜지스터(Ts3)의 소스 전극은 저전위 전압(Vss)과 연결될 수 있다.
- [0143] 본 발명의 또 다른 특징에 따르면, 제3 세트 트랜지스터(Ts3)는 N+2 번째 전단 캐리 신호(CRY(N+2))의 하이 전압으로 턴-온 되어, 프리차징 세트 트랜지스터(Tsp)의 게이트 전극에 걸린 전압을 저전위 전압(VSS)으로 방전시킬 수 있다.
- [0144] 본 발명의 또 다른 특징에 따르면, 세트부는 Q노드(Q)의 전압이 게이트 하이 전압(VGH)보다 낮아지지 않도록, Q노드(Q)를 게이트 하이 전압(VGH)으로 충전시킬 수 있다.
- [0145] 본 발명의 또 다른 특징에 따르면, 제1 풀업 트랜지스터(Tpu1)는 제1 기간 동안에 Q노드(Q)의 하이 전압인 프리차징 전압(Vpc)에 의해 턴-온되며, 제2 기간 동안에 하이 전압의 클럭 신호(CLK(N))를 출력단자(OUT)를 통해 스캔 출력(Gout(N))할 수 있다.
- [0146] 본 발명의 또 다른 특징에 따르면, 제2 풀업 트랜지스터(Tpu2)는 제1 기간 동안에 Q노드(Q)의 하이 전압인 프리차징 전압(Vpc)에 의해 턴-온되며, 제2 기간 동안에 하이 전압의 클럭 신호(CLK(N))를 캐리 단자(CR)를 통해 캐

리 신호(CRY(N))를 출력할 수 있다.

- [0147] 본 발명의 또 다른 특징에 따르면, Q노드(Q)는 프리차징 구간(PC) 동안에 프리차징 전압(V_{pc})으로 충전되고, 부트스트랩 구간(BS) 동안에 부트스트랩 커패시터(BC)의 커플링에 의해 프리차징 전압(V_{pc})보다 높은 전압으로 상승할 수 있다.
- [0148] 본 발명의 또 다른 특징에 따르면, 시프트 레지스터는 리셋 단자에 의해 제어되며, Q노드(Q), 및 스캔 출력(Gout(N))을 출력하는 출력 단자(OUT)를 리셋시키는 리셋부를 더 포함할 수 있다.
- [0149] 본 발명의 또 다른 특징에 따르면, 시프트 레지스터는 클럭 단자(CK)에 게이트 전극 및 드레인 전극이 다이오드 구조로 연결되고, 제어 노드(CN)에 소스 전극이 연결되는 제1 인버터용 트랜지스터(Ti1), 제어 노드(CN)에 게이트 전극이 연결되고, 클럭 단자(CK)에 드레인 전극이 연결되고, 인버터 출력 노드(VN)에 소스 전극이 연결되는 제2 인버터용 트랜지스터(Ti2), 캐리 단자(CR)에 게이트 전극이 연결되고, 제어 노드(CN)에 드레인 전극이 연결되고, 저전위 전압(VSS)의 공급 단자에 소스 전극이 연결되는 제3 인버터용 트랜지스터(Ti3) 및 캐리 단자(CR)에 게이트 전극이 연결되고 인버터 출력 노드(VN)에 드레인 전극이 연결되고, 저전위 전압(VSS)의 공급 단자에 소스 전극이 연결되는 제4 인버터용 트랜지스터(Ti4)를 구비하는 인버터를 더 포함할 수 있다.
- [0150] 본 발명의 또 다른 특징에 따르면, 클럭 신호(CLK(N))를 하이 전압으로 출력하는 제2 기간(t₂) 동안에 인버터부의 제3 및 제4 인버터용 트랜지스터(Ti3, Ti4)에 의해 인버터 출력 (V_{inv}(N))은 저전위 전압(VSS)으로 출력할 수 있다.
- [0151] 본 발명의 또 다른 특징에 따르면, 시프트 레지스터는 인버터 출력(V_{inv}(N))이 공급되는 인버터 출력 노드(VN)의 제어에 응답하여, 캐리 단자(CR) 및 출력 단자(OUT)를 방전시키는 풀다운부를 더 포함할 수 있다.
- [0152] 본 발명의 또 다른 특징에 따르면, 시프트 레지스터는 인버터 출력(V_{inv}(N))의 제어에 응답하여 Q노드(Q)를 저전위 전압(VSS)으로 방전시키는 노이즈 제거부를 더 포함할 수 있다.
- [0153] 본 발명의 또 다른 특징에 따르면, 시프트 레지스터는 안정화 신호(Vstable)에 응답하여 상기 인버터 제어 노드(CN), 상기 인버터 출력 노드(VN), 및 출력 단자(OUT)를 각각 리셋시키는 제1 내지 제3 안정화 트랜지스터(Tst1 내지 Tst3)를 구비하는 안정화부를 더 포함할 수 있다.
- [0154] 표시 장치는 기판 상에 복수의 픽셀이 정의된 표시부; 표시부의 적어도 일측에 배치되는 비표시부; 및 비표시부 상에 위치하며 복수의 픽셀과 대응되는 GIP(Gate In Panel)회로부를 포함하고, GIP 회로부는, Q노드(Q)를 프리차징 전압(V_{pc})으로 제어하는 제1 내지 제3 세트 트랜지스터(Ts1 내지 Ts3) 및 Q노드(Q)에 프리차징 전압(V_{pc})을 인가하는 프리차징 세트 트랜지스터(Tsp)를 구비한 세트부; 및 Q노드(Q)에 의해 제어되며, 클럭 단자(CK)에 공급되는 제n 번째 클럭(CLK(N))을 출력 단자(OUT)를 통해 스캔 출력(Gout(N))으로 출력하는 제1 풀업 트랜지스터(Tpu1)와, 제n 번째 클럭(CLK(N))을 캐리 단자(CR)를 통해 캐리 신호(CRY(N))로 출력하는 제2 풀업 트랜지스터(Tpu2)를 구비하는 풀업부를 포함한다.
- [0155] 세트부는 프리차징 구간(PC)에 게이트 하이 전압(VGH)인 N-2번째 전단 캐리 신호(CRY(N-2))를 공급 받아 Q노드(Q)를 프리차징 전압(V_{pc})으로 충전할 수 있다.
- [0156] 제1 세트 트랜지스터(Ts1)의 게이트 전극 및 드레인 전극은 다이오드 구조를 이루고 N-2번째 전단 캐리 신호(CRY(N-2))를 게이트 하이 전압(VGH)을 공급 받으며, 제1 세트 트랜지스터(Ts1)의 소스 전극은 프리차징 세트 트랜지스터(Tsp)와 연결될 수 있다.
- [0157] 프리차징 세트 트랜지스터(Tsp)의 게이트 전극은 제1 세트 트랜지스터(Ts1) 및 제2 세트 트랜지스터(Ts2)와 연결되고, 프리차징 세트 트랜지스터(Tsp)의 드레인 전극은 N-2번째 전단 캐리 신호(CRY(N-2))를 공급받으며, 프리차징 세트 트랜지스터(Tsp)의 소스 전극은 Q노드(Q)에 연결될 수 있다.
- [0158] 제2 세트 트랜지스터(Ts2)의 게이트 전극 및 소스 전극은 제1 세트 트랜지스터(Ts1)의 소스 전극 및 프리차징 세트 트랜지스터(Tsp)의 게이트 전극과 연결되며, 제2 세트 트랜지스터(Ts2)의 드레인 전극은 N-2번째 전단 캐리 신호(CRY(N-2))를 공급받을 수 있다.
- [0159] 제3 세트 트랜지스터(Ts3)의 게이트 전극은 N+2 번째 전단 캐리 신호(CRY(N-2))를 공급 받으며, 제3 세트 트랜지스터(Ts3)의 드레인 전극은 프리차징 세트 트랜지스터(Tsp)와 연결되며, 제3 세트 트랜지스터(Ts3)의 소스 전극은 저전위 전압(Vss)과 연결될 수 있다.
- [0160] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실

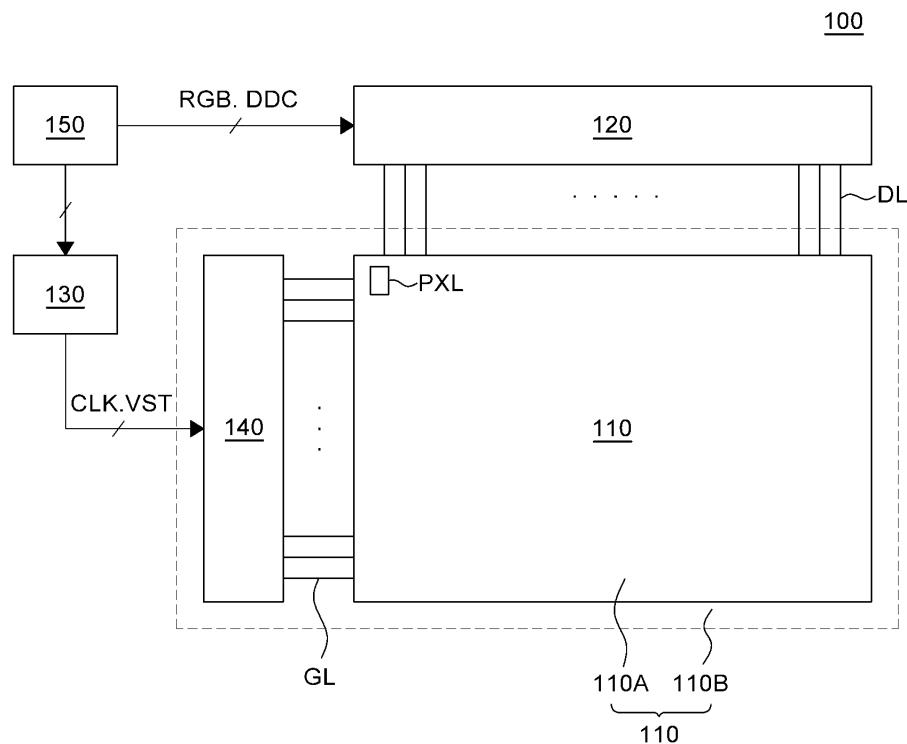
시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

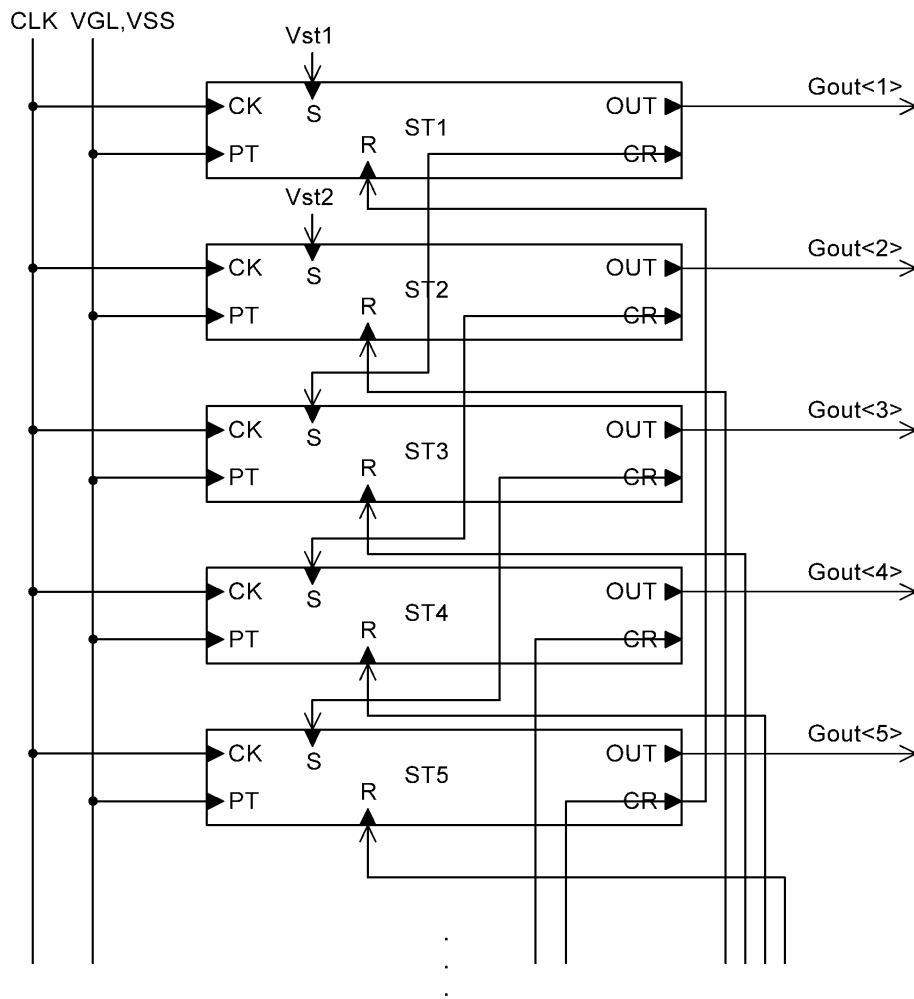
100: 유기발광 표시장치	110: 표시 패널
110A: 표시영역	110B: 비표시영역
120: 데이터 드라이버	130: 레벨 시프터
140: 시프트 레지스터	150: 타이밍컨트롤러
210: 세트부	220: 풀업부
230: 풀다운부	240: 리셋부
250: 노이즈 제거부	260: 안정화부
270: 인버터	

도면

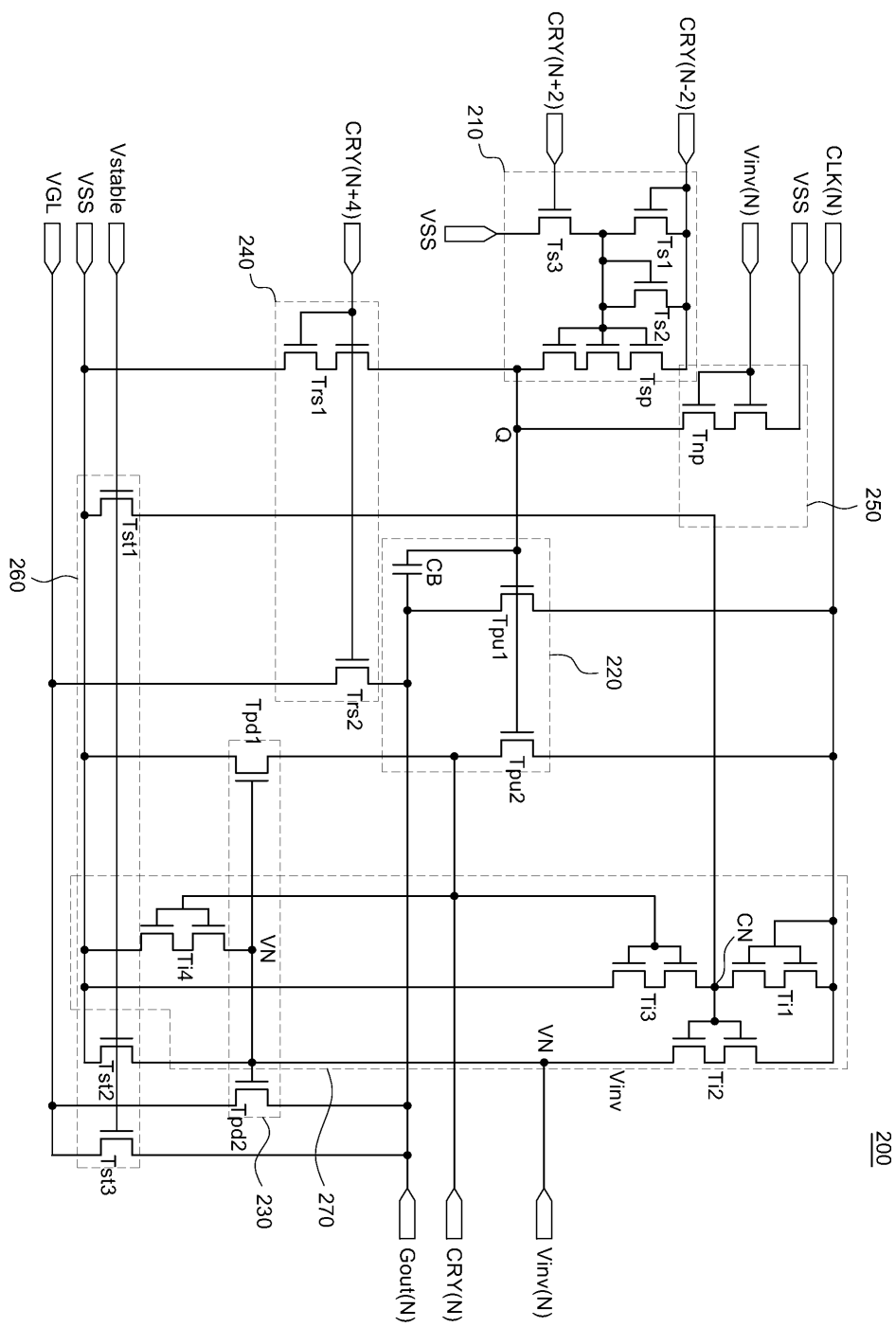
도면1



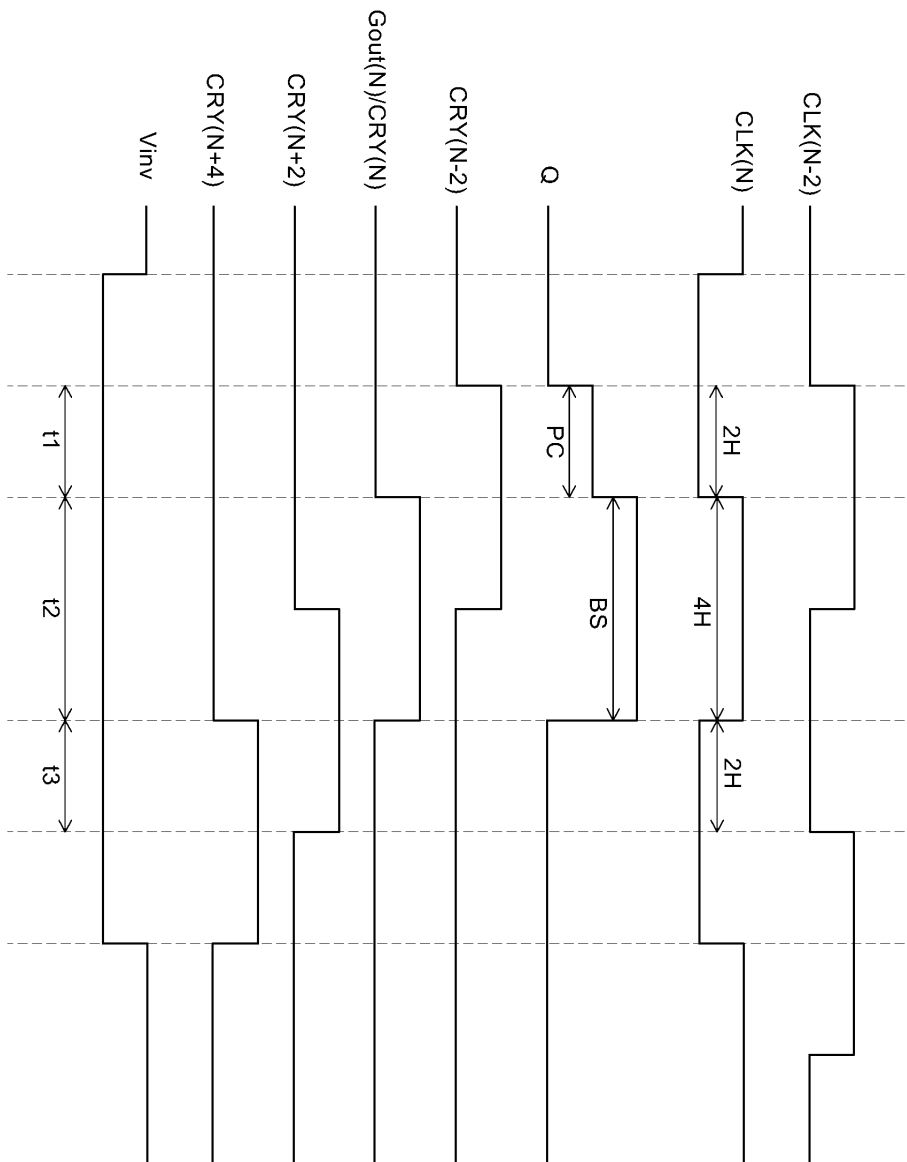
도면2



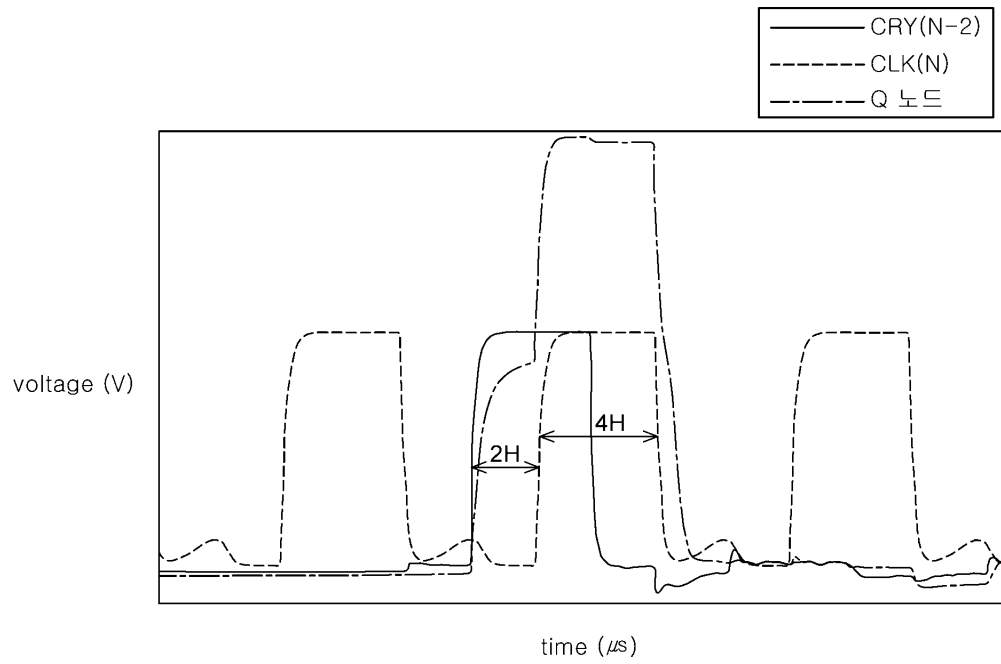
도면3



도면4



도면5



도면6

