(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0129948
(43) 공개일자 2019년11월20일

(51) 국제특허분류(Int. Cl.)
G09G 3/3241 (2016.01)
(52) CPC특허분류
G09G 3/3241 (2013.01)
G09G 2300/043 (2013.01)
(21) 출원번호 10-2019-7030476
(22) 출원일자(국제) 2017년04월20일
심사청구일자 2019년10월16일
(85) 번역문제출일자 2019년10월16일
(86) 국제출원번호 PCT/CN2017/081248
(87) 국제공개번호 WO 2018/166037
국제공개일자 2018년09월20일
(30) 우선권주장
201710156977.6 2017년03월16일 중국(CN)

(71) 출원인
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 광동 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
(72) 발명자
차이, 위잉
중국, 광동 518132, 센젠, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
(74) 대리인
특허법인씨엔에스

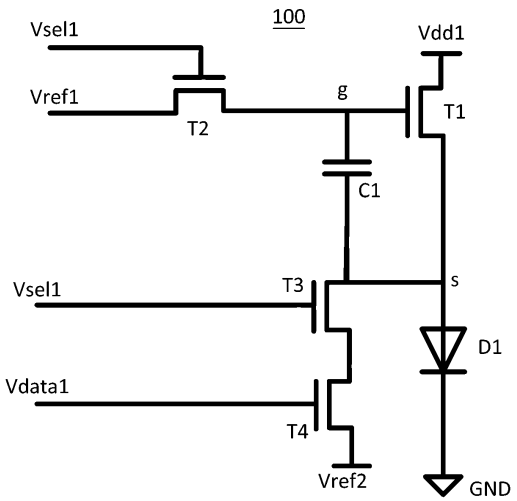
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **픽셀 구동 회로 및 OLED 디스플레이 장치**

(57) 요 약

본 발명에는 픽셀 구동 회로 및 OLED 디스플레이 장치가 개시된다. 상기 픽셀 구동 회로는: 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 커패시터 및 유기 발광 다이오드;를 포함하며, 제3 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스는 제4 박막 트랜지스터의 드레인에 연결되며, 드레인은 제1 박막 트랜지스터의 소스에 연결되고; 제4 박막 트랜지스터의 게이트에는 데이터 신호가 연결되며, 소스에는 제2 기준 전압 신호가 연결된다. 본 발명의 픽셀 구동 회로는 제4 박막 트랜지스터를 도입하여, 문턱 전압 보상 단계에서 데이터 신호 및 제2 기준 전압 신호를 이용하여 제1 박막 트랜지스터를 통해 흐르는 전류에 대한 제어를 실현할 수 있고, 따라서 제1 박막 트랜지스터, 즉 구동 박막 트랜지스터의 문턱 전압에 대한 보상을 실현할 수 있다.

대 표 도 - 도3



(52) CPC특허분류
G09G 2300/0439 (2013.01)
G09G 2300/0809 (2013.01)
G09G 2320/0693 (2013.01)

명 세 서

청구범위

청구항 1

제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 커패시터 및 유기 발광 다이오드;를 포함하고,

상기 제1 박막 트랜지스터의 게이트는 제1 노드에 전기적으로 연결되고, 소스는 제2 노드에 전기적으로 연결되며, 드레인에는 전원 신호가 전기적으로 연결되며;

상기 제2 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스에는 제1 기준 전압 신호가 전기적으로 연결되며, 드레인은 상기 제1 노드에 전기적으로 연결되며;

상기 제3 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스는 상기 제4 박막 트랜지스터의 드레인에 전기적으로 연결되며, 드레인은 상기 제2 노드에 전기적으로 연결되고;

상기 제4 박막 트랜지스터의 게이트에는 데이터 신호가 전기적으로 연결되고, 소스에는 제2 기준 전압 신호가 전기적으로 연결되며;

상기 커패시터의 일단은 제1 노드에 전기적으로 연결되고, 타단은 제2 노드에 전기적으로 연결되며;

상기 발광 다이오드의 양극은 제2 노드에 전기적으로 연결되고, 상기 발광 다이오드의 음극은 접지단에 전기적으로 연결되며;

상기 제1 기준 전압 신호는 상기 전원 신호이고;

발광 단계에서, 상기 제1 박막 트랜지스터의 게이트·소스 전압은 하기 식을 만족하며:

$$V_{gs} = \left[\left(\frac{W}{L}\right)_{T4} \Big/ \left(\frac{W}{L}\right)_{T1} \right]^{\frac{1}{2}} (VDATA1 - Vb - Vth3) + Vth1$$

;

V_{gs}는 상기 제1 박막 트랜지스터의 게이트·소스 전압이고, Vb는 상기 제2 기준 전압 신호가 제공하는 제2 기준 전압이며, $\left(\frac{W}{L}\right)_{T4}$는 상기 제4 박막 트랜지스터 채널의 폭과 길이의 비이고, $\left(\frac{W}{L}\right)_{T1}$은 상기 제1 박막 트랜지스터 채널의 폭과 길이의 비이며, VDATA1은 상기 데이터 신호가 제공하는 디스플레이 데이터 신호 고전위이고, Vth3은 상기 제3 박막 트랜지스터의 문턱 전압이며, Vth1은 상기 제1 박막 트랜지스터의 문턱 전압인 픽셀 구동 회로.

청구항 2

제1항에 있어서,

상기 제2 기준 전압 신호는 고정 저전압이고, 상기 전원 신호, 상기 스캔 신호, 상기 데이터 신호는 서로 결합하여 선후로 문턱전압 보상 단계 및 발광 단계에 대응되고;

상기 문턱전압 보상 단계에서, 상기 전원 신호는 기준 저전위이고, 상기 데이터 신호는 디스플레이 데이터 신호 고전위이며, 상기 스캔 신호는 고전위이고;

상기 발광 단계에서, 상기 전원 신호는 고전위이고, 상기 데이터 신호는 저전위이며, 상기 스캔 신호는 저전위인 픽셀 구동 회로.

청구항 3

제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 커패시터 및 유기 발

광 다이오드;를 포함하고,

상기 제1 박막 트랜지스터의 게이트는 제1 노드에 전기적으로 연결되고, 소스는 제2 노드에 전기적으로 연결되며, 드레인에는 전원 신호가 전기적으로 연결되며;

상기 제2 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스에는 제1 기준 전압 신호가 전기적으로 연결되며, 드레인은 상기 제1 노드에 전기적으로 연결되며;

상기 제3 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스는 상기 제4 박막 트랜지스터의 드레인에 전기적으로 연결되며, 드레인은 상기 제2 노드에 전기적으로 연결되고;

상기 제4 박막 트랜지스터의 게이트에는 데이터 신호가 전기적으로 연결되고, 소스에는 제2 기준 전압 신호가 전기적으로 연결되며;

상기 커패시터의 일단은 제1 노드에 전기적으로 연결되고, 타단은 제2 노드에 전기적으로 연결되며;

상기 발광 다이오드의 양극은 제2 노드에 전기적으로 연결되고, 상기 발광 다이오드의 음극은 접지단에 전기적으로 연결되는 픽셀 구동 회로.

청구항 4

제3항에 있어서,

상기 제1 기준 전압 신호 및 상기 제2 기준 전압 신호는 고정 저전압이고, 상기 전원 신호는 고정 고전압이며, 상기 데이터 신호, 상기 스캔 신호는 서로 결합하여 선후로 문턱전압 보상 단계 및 발광 단계에 대응되고;

상기 문턱 전압 보상 단계에서, 상기 데이터 신호는 디스플레이 데이터 신호 고전위이고, 상기 스캔 신호는 고전위이며;

상기 발광 단계에서, 상기 데이터 신호는 저전위이고, 상기 스캔 신호는 저전위인 픽셀 구동 회로.

청구항 5

제4항에 있어서,

상기 데이터 신호 및 상기 스캔 신호는 외부 시간 스케줄 제어기에 의해 발생되는 픽셀 구동 회로.

청구항 6

제3항에 있어서,

상기 제1 기준 전압 신호는 상기 전원 신호인 픽셀 구동 회로.

청구항 7

제6항에 있어서,

상기 제2 기준 전압 신호는 고정 저전압이고, 상기 전원 신호, 상기 스캔 신호, 상기 데이터 신호는 서로 결합하여 선후로 문턱전압 보상 단계 및 발광 단계에 대응되고;

상기 문턱전압 보상 단계에서, 상기 전원 신호는 기준 저전위이고, 상기 데이터 신호는 디스플레이 데이터 신호 고전위이며, 상기 스캔 신호는 고전위이고;

상기 발광 단계에서, 상기 전원 신호는 고전위이고, 상기 데이터 신호는 저전위이며, 상기 스캔 신호는 저전위인 픽셀 구동 회로.

청구항 8

제7항에 있어서,

상기 전원 신호, 상기 데이터 신호 및 상기 스캔 신호는 외부 시간 스케줄 제어기에 의해 발생되는 픽셀 구동 회로.

청구항 9

제3항에 있어서,

발광 단계에서, 상기 제1 박막 트랜지스터의 게이트·소스 전압은 하기 식을 만족하며:

$$V_{gs} = \left[\left(\frac{W}{L}\right)_{T4} \Big/ \left(\frac{W}{L}\right)_{T1} \right]^{\frac{1}{2}} (VDATA1 - Vb - Vth3) + Vth1$$

;

V_{gs}는 상기 제1 박막 트랜지스터의 게이트·소스 전압이고, Vb는 상기 제2 기준 전압 신호가 제공하는 제2 기준 전압이며, $\left(\frac{W}{L}\right)_{T4}$는 상기 제4 박막 트랜지스터 채널의 폭과 길이의 비이고, $\left(\frac{W}{L}\right)_{T1}$은 상기 제1 박막 트랜지스터 채널의 폭과 길이의 비이며, VDATA1은 상기 데이터 신호가 제공하는 디스플레이 데이터 신호 고전위이고, Vth3은 상기 제3 박막 트랜지스터의 문턱 전압이며, Vth1은 상기 제1 박막 트랜지스터의 문턱 전압인 픽셀 구동 회로.

청구항 10

제3항에 있어서,

상기 제2 기준 전압 신호가 제공하는 제2 기준 전압(Vb)은 하기 식을 만족하고:

$$Vb < VDATA1 - Vth3$$

;

VDATA1은 상기 데이터 신호가 제공하는 디스플레이 데이터 신호 고전위이고, Vth3은 상기 제3 박막 트랜지스터의 문턱 전압인 픽셀 구동 회로.

청구항 11

제3항에 있어서,

상기 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터는 모두 저온 다결정 실리콘 박막 트랜지스터, 산화물 반도체 박막 트랜지스터 또는 비정질 실리콘 박막 트랜지스터인 픽셀 구동 회로.

청구항 12

픽셀 구동 회로를 포함하는 OLED 디스플레이 장치로서,

상기 픽셀 구동 회로는 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 커패시터 및 유기 발광 다이오드; 를 포함하고,

상기 제1 박막 트랜지스터의 게이트는 제1 노드에 전기적으로 연결되고, 소스는 제2 노드에 전기적으로 연결되며, 드레인에는 전원 신호가 전기적으로 연결되며;

상기 제2 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스에는 제1 기준 전압 신호가 전기적으로 연결되며, 드레인은 상기 제1 노드에 전기적으로 연결되며;

상기 제3 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스는 상기 제4 박막 트랜지스터의 드레인에 전기적으로 연결되며, 드레인은 상기 제2 노드에 전기적으로 연결되고;

상기 제4 박막 트랜지스터의 게이트에는 데이터 신호가 전기적으로 연결되고, 소스에는 제2 기준 전압 신호가 전기적으로 연결되며;

상기 커패시터의 일단은 제1 노드에 전기적으로 연결되고, 타단은 제2 노드에 전기적으로 연결되며;

상기 발광 다이오드의 양극은 제2 노드에 전기적으로 연결되고, 상기 발광 다이오드의 음극은 접지단에 전기적으로 연결되는 OLED 디스플레이 장치.

청구항 13

제12항에 있어서,

상기 제1 기준 전압 신호 및 상기 제2 기준 전압 신호는 고정 저전압이고, 상기 전원 신호는 고정 고전압이며, 상기 데이터 신호, 상기 스캔 신호는 서로 결합하여 선후로 문턱전압 보상 단계 및 발광 단계에 대응되고;

상기 문턱 전압 보상 단계에서, 상기 데이터 신호는 디스플레이 데이터 신호 고전위이고, 상기 스캔 신호는 고전위이며;

상기 발광 단계에서, 상기 데이터 신호는 저전위이고, 상기 스캔 신호는 저전위인 OLED 디스플레이 장치.

청구항 14

제13항에 있어서,

상기 데이터 신호 및 상기 스캔 신호는 외부 시간 스케줄 제어기에 의해 발생되는 OLED 디스플레이 장치.

청구항 15

제12항에 있어서,

상기 제1 기준 전압 신호는 상기 전원 신호인 OLED 디스플레이 장치.

청구항 16

제15항에 있어서,

상기 제2 기준 전압 신호는 고정 저전압이고, 상기 전원 신호, 상기 스캔 신호, 상기 데이터 신호는 서로 결합하여 선후로 문턱전압 보상 단계 및 발광 단계에 대응되고;

상기 문턱전압 보상 단계에서, 상기 전원 신호는 기준 저전위이고, 상기 데이터 신호는 디스플레이 데이터 신호 고전위이며, 상기 스캔 신호는 고전위이고;

상기 발광 단계에서, 상기 전원 신호는 고전위이고, 상기 데이터 신호는 저전위이며, 상기 스캔 신호는 저전위인 OLED 디스플레이 장치.

청구항 17

제16항에 있어서,

상기 전원 신호, 상기 데이터 신호 및 상기 스캔 신호는 외부 시간 스케줄 제어기에 의해 발생되는 OLED 디스플레이 장치.

청구항 18

제12항에 있어서,

발광 단계에서, 상기 제1 박막 트랜지스터의 게이트·소스 전압은 하기 식을 만족하며:

$$V_{gs} = \left[\left(\frac{W}{L}\right)_{T4} \Big/ \left(\frac{W}{L}\right)_{T1} \right]^{\frac{1}{2}} (VDATA1 - Vb - Vth3) + Vth1$$

;

V_{gs}는 상기 제1 박막 트랜지스터의 게이트·소스 전압이고, Vb는 상기 제2 기준 전압 신호가 제공하는 제2 기준 전압이며, $\left(\frac{W}{L}\right)_{T4}$는 상기 제4 박막 트랜지스터 채널의 폭과 길이의 비이고, $\left(\frac{W}{L}\right)_{T1}$은 상기 제1 박막 트랜지스터 채널의 폭과 길이의 비이며, VDATA1은 상기 데이터 신호가 제공하는 디스플레이 데이터 신호 고전위이고, Vth3은 상기 제3 박막 트랜지스터의 문턱 전압이며, Vth1은 상기 제1 박막 트랜지스터의 문턱 전압인 OLED 디스플레이 장치.

청구항 19

제12항에 있어서,

상기 제2 기준 전압 신호가 제공하는 제2 기준 전압(Vb)은 하기 식을 만족하고:

$$Vb < VDATA1 - Vth3$$
;

VDATA1은 상기 데이터 신호가 제공하는 디스플레이 데이터 신호 고전위이고, Vth3은 상기 제3 박막 트랜지스터의 문턱 전압인 OLED 디스플레이 장치.

청구항 20

제12항에 있어서,

상기 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터는 모두 저온 다결정 실리콘 박막 트랜지스터, 산화물 반도체 박막 트랜지스터 또는 비정질 실리콘 박막 트랜지스터인 OLED 디스플레이 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정 디스플레이 기술 분야에 관한 것으로서, 특히 픽셀 구동 회로 및 OLED 디스플레이 장치에 관한 것이다.

배 경 기 술

[0002] 현재의 유기 발광 다이오드(Organic Light Emitting Diode, OLED) 디스플레이 장치는 작은 부피, 간단한 구조, 자체 발광, 높은 휘도, 넓은 가시각도, 빠른 응답속도 등 많은 장점이 있어, 업계에서 발전 잠재력이 가장 풍부한 액정 디스플레이 장치로 인정받고 있다.

[0003] OLED 디스플레이 장치는 전류 구동 소자이며, 전류가 유기 발광 다이오드를 통해 흐를 때, 유기 발광 다이오드는 빛을 발사하고, 발광 휘도는 유기 발광 다이오드를 통해 흐르는 전류에 의해 결정된다. 대부분 현존하는 집적 회로는 모두 전압 신호만을 전송하므로, OLED 디스플레이 장치의 픽셀 구동 회로는 전압 신호를 전류 신호로 변환하는 작업을 완료해야 한다. 전통적인 픽셀 구동 회로는 일반적으로 2T1C이며, 즉 2개의 박막 트랜지스터에 1개의 캐패시터를 가지는 구조에 의해 전압을 전류로 변환하는 과정을 실현하지만, 전통적인 2T1C 픽셀 구동 회로는 일반적으로 보상 기능이 없다.

[0004] 도 1은 종래의 2T1C 픽셀 구동 회로의 회로 개략도이다. 도 1에 도시된 바와 같이, 상기 2T1C 픽셀 구동 회로는: 제1 박막 트랜지스터(T10), 제2 박막 트랜지스터(T20) 및 커패시터(Cs)를 포함한다. 여기서, 제1 박막 트랜지스터(T10)는 구동 박막 트랜지스터이고, 제2 박막 트랜지스터(T20)는 스위칭 박막 트랜지스터이며, 커패시터(Cs)는 축적 커패시터이다. 구체적으로, 제2 박막 트랜지스터(T20)의 게이트에는 스캔 신호(Vsel)가 전기적으로 연결되고, 소스에는 데이터 신호(Vdata)가 전기적으로 연결되며, 드레인은 제1 박막 트랜지스터(T10)의 게이트에 전기적으로 연결되고; 제1 박막 트랜지스터(T10)의 드레인에는 전원 신호(Vdd)가 전기적으로 연결되고, 소스에는 유기 발광 다이오드(D)의 양극이 전기적으로 연결되며; 유기 발광 다이오드(D)의 음극은 접지단에 전기적으로 연결되며; 커패시터(Cs)의 일단은 제2 박막 트랜지스터(T20)의 드레인에 전기적으로 연결되고, 타단은 제1 박막 트랜지스터(T10)의 소스에 전기적으로 연결된다.

[0005] 도 2를 함께 참조하면, 도 2는 도 1에 도시된 2T1C 픽셀 구동 회로의 동작 타이밍도이다. 도 2에 도시된 바와 같이, 2T1C 픽셀 구동 회로의 동작 과정은 제1 동작 단계(S10) 및 제2 동작 단계(S20)로 나뉜다. 여기서, 제1 동작 단계(S10)에서, 데이터 신호(Vdata)는 디스플레이 데이터 신호 고전위(VDATA)이고, 스캔 신호(Vsel)는 고전위이며; 제2 동작 단계(S20)에서, 데이터 신호(Vdata)는 저전위이고, 스캔 신호(Vsel)는 저전위이다. 여기서, 제1 동작 단계(S10) 및 제2 동작 단계(S20)에서, 전원 신호(Vdd)는 고정 고전압이다.

[0006] 본 실시예에서, 제2 동작 단계(S20)에서, 유기 발광 다이오드(D)는 발광하고, 이때, 유기 발광 다이오드(D)가

발광하도록 구동하는 제1 박막 트랜지스터(T10)의 게이트·소스 전압(V_{gs})은 하기 식을 만족한다:

[0007] $$V_{gs} = VDATA - V_{OLED};$$

[0008] 여기서, VDATA는 데이터 신호 고전위이고, V_{OLED}는 유기 발광 다이오드(D)의 양극점 전위이다.

[0009] 상기 식에서 알 수 있듯이, 유기 발광 다이오드(D)가 발광하도록 구동하는 게이트·소스 전압(V_{gs})은 제1 박막 트랜지스터(T10)의 문턱 전압과 연관이 없으며, 따라서, 상기 2T1C 픽셀 구동 회로는 구동 박막 트랜지스터(즉 제1 박막 트랜지스터(T10))의 문턱 전압을 보상할 수 없다.

발명의 내용

해결하려는 과제

[0010] 본 발명이 주로 해결하고자 하는 기술적 문제는 구동 박막 트랜지스터의 문턱 전압의 변화를 효과적으로 보상할 수 있는 픽셀 구동 회로 및 OLED 디스플레이 장치를 제공하는 것이다.

과제의 해결 수단

[0011] 상술한 기술적 문제를 해결하기 위해, 본 발명에서 채택하는 하나의 기술방안은: 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 커패시터 및 유기 발광 다이오드;를 포함하는 픽셀 구동 회로를 제공하는 것이며, 제1 박막 트랜지스터의 게이트는 제1 노드에 전기적으로 연결되고, 소스는 제2 노드에 전기적으로 연결되며, 드레인에는 전원 신호가 전기적으로 연결되며; 제2 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스에는 제1 기준 전압 신호가 전기적으로 연결되며, 드레인은 제1 노드에 전기적으로 연결되며; 제3 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스는 제4 박막 트랜지스터의 드레인에 전기적으로 연결되며, 드레인은 제2 노드에 전기적으로 연결되고; 제4 박막 트랜지스터의 게이트에는 데이터 신호가 전기적으로 연결되고, 소스에는 제2 기준 전압 신호가 전기적으로 연결되며; 커패시터의 일단은 제1 노드에 전기적으로 연결되고, 타단은 제2 노드에 전기적으로 연결되며; 발광 다이오드의 양극은 제2 노드에 전기적으로 연결되고, 발광 다이오드의 음극은 접지단에 전기적으로 연결되며; 제1 기준 전압 신호는 전원 신호이고; 발광 단계에서, 제1 박막 트랜지스터의 게이트·소스 전압은 하기 식:

[0012] $$V_{gs} = \left[\left(\frac{W}{L}\right)_{T4} \Big/ \left(\frac{W}{L}\right)_{T1} \right]^{\frac{1}{2}} (VDATA1 - Vb - Vth3) + Vth1$$

을 만족한다.

[0013] 여기서, V_{gs}는 제1 박막 트랜지스터의 게이트·소스 전압이고, Vb는 제2 기준 전압 신호가 제공하는 제2 기준 전압이며, $\left(\frac{W}{L}\right)_{T4}$는 제4 박막 트랜지스터 채널의 폭과 길이의 비이고, $\left(\frac{W}{L}\right)_{T1}$은 제1 박막 트랜지스터 채널의 폭과 길이의 비이며, VDATA1은 데이터 신호가 제공하는 디스플레이 데이터 신호 고전위이고, Vth3은 제3 박막 트랜지스터의 문턱 전압이며, Vth1은 제1 박막 트랜지스터의 문턱 전압이다.

[0014] 상술한 기술 문제를 해결하기 위해, 본 발명에서 채택하는 다른 하나의 기술방안은: 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 커패시터 및 유기 발광 다이오드;를 포함하는 픽셀 구동 회로를 제공하는 것이며, 제1 박막 트랜지스터의 게이트는 제1 노드에 전기적으로 연결되고, 소스는 제2 노드에 전기적으로 연결되며, 드레인에는 전원 신호가 전기적으로 연결되며; 제2 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스에 제1 기준 전압 신호가 전기적으로 연결되며, 드레인은 제1 노드에 전기적으로 연결되며; 제3 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스는 제4 박막 트랜지스터의 드레인에 전기적으로 연결되며, 드레인은 제2 노드에 전기적으로 연결되고; 제4 박막 트랜지스터의 게이트에는 데이터 신호가 전기적으로 연결되고, 소스에는 제2 기준 전압 신호가 전기적으로 연결되며; 커패시터의 일단은 제1 노드에 전기적으로 연결되고, 타단은 제2 노드에 전기적으로 연결되며; 발광 다이오드의 양극은 제2 노드에 전기적으로 연결되고, 발광 다이오드의 음극은 접지단에 전기적으로 연결된다.

[0015] 상술한 기술적 문제를 해결하기 위해, 본 발명에서 채택하는 또 하나의 기술방안은: 픽셀 구동 회로를 포함하는

OLED 디스플레이 장치를 제공하는 것이며, 상기 픽셀 구동 회로는 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터, 제4 박막 트랜지스터, 커패시터 및 유기 발광 다이오드; 를 포함하고, 제1 박막 트랜지스터의 게이트는 제1 노드에 전기적으로 연결되고, 소스는 제2 노드에 전기적으로 연결되며, 드레인에는 전원 신호가 전기적으로 연결되며; 제2 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스에는 제1 기준 전압 신호가 전기적으로 연결되며, 드레인은 제1 노드에 전기적으로 연결되며; 제3 박막 트랜지스터의 게이트에는 스캔 신호가 전기적으로 연결되고, 소스는 제4 박막 트랜지스터의 드레인에 전기적으로 연결되며, 드레인은 제2 노드에 전기적으로 연결되고; 제4 박막 트랜지스터의 게이트에는 데이터 신호가 전기적으로 연결되고, 소스에는 제2 기준 전압 신호가 전기적으로 연결되며; 커패시터의 일단은 제1 노드에 전기적으로 연결되고, 타단은 제2 노드에 전기적으로 연결되며; 발광 다이오드의 양극은 제2 노드에 전기적으로 연결되고, 발광 다이오드의 음극은 접지단에 전기적으로 연결된다.

발명의 효과

[0016] 본 발명의 픽셀 구동 회로 및 OLED 디스플레이 장치는 제4 박막 트랜지스터를 도입하여, 문턱 전압 보상 단계에서 데이터 신호 및 제2 기준 전압 신호를 이용하여 제1 박막 트랜지스터를 통해 흐르는 전류에 대한 제어를 실현할 수 있고, 따라서 제1 박막 트랜지스터 즉 구동 박막 트랜지스터의 문턱 전압에 대한 보상을 실현할 수 있으며; 제3 박막 트랜지스터를 도입하여, 발광 단계에서 제2 기준 전압 신호가 제1 박막 트랜지스터의 게이트 전위에 영향을 주는 것을 피할 수 있다.

도면의 간단한 설명

[0017] 도 1은 종래의 2T1C 픽셀 구동 회로의 회로 개략도이다;

도 2는 도 1에 도시된 2T1C 픽셀 구동 회로의 동작 타이밍도이다;

도 3은 본 발명의 실시예 1의 픽셀 구동 회로의 회로 개략도이다;

도 4는 도 3에 도시된 픽셀 구동 회로의 동작 타이밍도이다;

도 5는 본 발명의 실시예 2의 픽셀 구동 회로의 회로 개략도이다;

도 6은 도 5에 도시된 픽셀 구동 회로의 동작 타이밍도이다;

도 7은 종래의 2T1C 픽셀 구동 회로에서 구동 박막 트랜지스터의 문턱 전압이 드리프트될 때 유기 발광 다이오드를 통해 흐르는 전류의 대응되는 시뮬레이션 데이터 그래프이다;

도 8은 본 발명의 픽셀 구동 회로에서 구동 박막 트랜지스터의 문턱 전압이 드리프트될 때 유기 발광 다이오드를 통해 흐르는 전류의 대응되는 시뮬레이션 데이터 그래프이다;

도 9는 본 발명의 실시예의 OLED 디스플레이 장치의 구조 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 명세서 및 청구의 범위에서 일부 용어를 사용하여 특정된 부품을 지칭하지만, 당업자는 제조업체가 기타 명사를 사용하여 동일한 부품을 지칭할 수 있음을 이해할 것이다. 본 명세서 및 청구의 범위는 명칭의 차이로 부품을 구분하는 것이 아니라, 소자의 기능상의 차이를 구분의 기준으로 한다. 이하 도면과 실시예를 결합하여 본 발명을 상세하게 설명한다.

[0019] 도 3은 본 발명의 실시예 1의 픽셀 구동 회로의 회로 개략도이다. 도 3에 도시된 바와 같이, 픽셀 구동 회로(100)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 커패시터(C1) 및 유기 발광 다이오드(D1)를 포함한다. 여기서, 제1 박막 트랜지스터(T1)는 구동 박막 트랜지스터이고, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)는 스위칭 박막 트랜지스터이며, 커패시터(C1)는 축적 커패시터이다.

[0020] 구체적으로, 제1 박막 트랜지스터(T1)의 게이트는 제1 노드(g)에 전기적으로 연결되고, 소스는 제2 노드(s)에 전기적으로 연결되며, 드레인에는 전원 신호(Vdd1)가 전기적으로 연결되며; 제2 박막 트랜지스터(T2)의 게이트에는 스캔 신호(Vsel1)가 전기적으로 연결되고, 소스에는 제1 기준 전압 신호(Vref1)가 전기적으로 연결되며, 드레인은 제1 노드(g)에 전기적으로 연결되며; 제3 박막 트랜지스터(T3)의 게이트에는 스캔 신호(Vsel1)가 전기적으로 연결되고, 소스는 제4 박막 트랜지스터(T4)의 드레인에 전기적으로 연결되며, 드레인은 제2 노드(s)에

전기적으로 연결되고; 제4 박막 트랜지스터(T4)의 게이트에는 데이터 신호(Vdata1)가 전기적으로 연결되고, 소스에는 제2 기준 전압 신호(Vref2)가 전기적으로 연결되며; 커패시터(C1)의 일단은 제1 노드(g)에 전기적으로 연결되고, 타단은 제2 노드(s)에 전기적으로 연결되며; 발광 다이오드(D1)의 양극은 제2 노드(s)에 전기적으로 연결되고, 발광 다이오드(D1)의 음극은 접지단(GND)에 전기적으로 연결된다.

[0021] 바람직하게, 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4)는 모두 저온 다결정 실리콘 박막 트랜지스터, 산화물 반도체 박막 트랜지스터 또는 비정질 실리콘 박막 트랜지스터이다.

[0022] 도 4는 도 3에 도시된 픽셀 구동 회로의 동작 타이밍도이다. 도 4를 참조하면, 픽셀 구동 회로(100)의 동작 과정은 문턱 전압 보상 단계(S1) 및 발광 단계(S2)로 나뉜다.

[0023] 여기서, 픽셀 구동 회로(100)의 동작 과정에서, 제1 기준 전압 신호(Vref1) 및 제2 기준 전압 신호(Vref2)는 고정 저전압이고, 제1 기준 전압 신호(Vref1)는 제1 기준 전압(Va)을 제공하고 제2 기준 전압 신호(Vref2)는 제2 기준 전압(Vb)으 제공하며; 전원 신호(Vdd1)는 고정 고전압이고; 데이터 신호(Vdata1)와 스캔 신호(Vsel1)는 서로 결합하여 선후로 문턱 전압 보상 단계(S1) 및 발광 단계(S2)에 대응된다.

[0024] 바람직하게, 데이터 신호(Vdata1) 및 스캔 신호(Vsel1)는 외부 시간 스케줄 제어기에 의해 발생된다. 제1 기준 전압 신호(Vref1), 제2 기준 전압 신호(Vref2) 및 전원신호(Vdd1)는 고정 전압원을 통해 발생된다.

[0025] 문턱 전압 보상 단계(S1)에서, 데이터 신호(Vdata1)는 디스플레이 데이터 신호 고전위(VDATA1)이고, 스캔 신호(Vsel1)는 고전위이며, 따라서 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4)는 모두 턴온 상태에 놓인다. 여기서, 데이터 신호(Vdata1)는 제3 박막 트랜지스터(T3) 및 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 소스에 디스플레이 데이터 신호 고전위(VDATA1)를 기입하고, 제1 기준 전압 신호(Vref1)가 제공하는 제1 기준 전압(Va)은 제2 박막 트랜지스터(T2)를 통해 제1 박막 트랜지스터(T1)의 게이트에 기입된다.

[0026] 다시 말해, 문턱 전압 보상 단계(S1)에서:

[0027] $$V_g = V_a \;;$$

[0028] $$V_s = V_a - \left[\left(\frac{W}{L}\right)_{T4} \Big/ \left(\frac{W}{L}\right)_{T1} \right]^{\frac{1}{2}} (VDATA1 - Vb - Vth3) - Vth1 \quad ; \quad (1)$$

[0029] $$V_{gs} = V_g - V_S = \left[\left(\frac{W}{L}\right)_{T4} \Big/ \left(\frac{W}{L}\right)_{T1} \right]^{\frac{1}{2}} (VDATA1 - Vb - Vth3) + Vth1$$ 이다.

[0030] 여기서, Vg는 제1 노드(g)의 전위(즉 제1 박막 트랜지스터(T1)의 게이트 전위)를 나타내고, Vs는 제2 노드(s)의 전위(즉 제1 박막 트랜지스터(T1)의 소스 전위)를 나타내며, V_{gs}는 제1 박막 트랜지스터(T1)의 게이트·소스 전압을 나타내며; V_a는 제1 기준 전압이고, Vb는 제2 기준 전압이며, $\left(\frac{W}{L}\right)_{T4}$는 제4 박막 트랜지스터(T4) 채널의 폭과 길이의 비이고, $\left(\frac{W}{L}\right)_{T1}$은 제1 박막 트랜지스터(T1) 채널의 폭과 길이의 비이며, VDATA1은 데이터 신호 고전위이고, Vth3은 제3 박막 트랜지스터(T3)의 문턱 전압이며, Vth1은 제1 박막 트랜지스터(T1)의 문턱 전압이다.

[0031] 발광 단계(S2)에서, 데이터 신호(Vdata1)는 저전위이고, 스캔 신호(Vsel1)는 저전위이며, 따라서 제1 박막 트랜지스터(T1) 및 제4 박막 트랜지스터(T4)는 오픈 상태에 놓이고, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)는 오프 상태에 놓인다. 커패시터(C1)의 축적 작용에 의해, 제1 박막 트랜지스터(T1)의 게이트·소스 전압(Vgs)은 그대로 유지된다.

[0032] 여기서, 유기 발광 다이오드(D1)가 발광하도록 구동하는 게이트·소스 전압(V_{gs})에는 제1 박막 트랜지스터(T1)의 문턱 전압(Vth1)이 포함되고, 유기 발광 다이오드(D1)를 통해 흐르는 전류는 게이트·소스 전압(V_{gs}) 및 제1 박막 트랜지스터(T1)의 문턱 전압(Vth1)의 차의 제곱에 정비례며, 따라서 유기 발광 다이오드(D1)를 통해 흐르는 전류와 제1 박막 트랜지스터(T1)(즉 구동 박막 트랜지스터)의 문턱 전압(Vth1)이 무관하도록 하여, 문턱 전압에 대한 보상 기능을 실현했다.

[0033] 본 실시예에서, 보상 단계(S1)에서, 제4 박막 트랜지스터(T4)를 통과하는 게이트는 데이터 신호 고전위(VDATA1)에 의해 제어되고, 소스는 제2 기준 전압(Vb)에 의해 제어되며, 따라서 데이터 신호 고전위(VDATA1) 및 제2 기준 전압(Vb)을 이용하여 제1 박막 트랜지스터(T1)를 통해 흐르는 전류에 대한 제어를 실현할 수 있으며; 발광 단계(S2)에서, 제3 박막 트랜지스터(T3)는 제2 기준 전압(Vb)이 제1 박막 트랜지스터(T1)의 게이트 전위에 영향을 주는 것을 피할 수 있다.

[0034] 본 실시예에서, 픽셀 구동 회로(100)의 동작 과정에서, 제1 박막 트랜지스터(T1)가 정상적으로 턴온되도록 보장하기 위해, 제2 기준 전압(Vb)은 하기 식을 만족시킨다:

[0035] $$\mathrm{Vb} < VDATA1 - Vth3 \quad (2)$$

[0036] 본 실시예에서, 문턱 전압 보상 단계(S1)에서, 제1 박막 트랜지스터(T1)가 정상적으로 턴온되고 유기 발광 다이오드(D1)가 턴온되지 않도록 보장하기 위해, 제1 기준 전압(Va)은 하기 식을 만족시킨다:

[0037] $$\left[\left(\frac{W}{L}\right)_{T4} \Big/ \left(\frac{W}{L}\right)_{T1}\right]^{\frac{1}{2}} (\mathrm{VDATA1} - \mathrm{Vb} - \mathrm{Vth3}) - \mathrm{Vth1} + \mathrm{Voled1} > Va$$

및

[0038] $$\mathrm{Va} > \left[\left(\frac{W}{L}\right)_{T4} \Big/ \left(\frac{W}{L}\right)_{T1}\right]^{\frac{1}{2}} (\mathrm{VDATA1} - \mathrm{Vb} - \mathrm{Vth3}) - \mathrm{Vth1}$$

;(3)을 만족한다.

[0039] 여기서, Voled1은 문턱 전압 보상 단계에서 유기 발광 다이오드(D1)의 양극점 전위이다.

[0040] 도 5는 본 발명의 실시예 2의 픽셀 구동 회로의 회로 개략도이다. 도 5에 도시된 바와 같이, 도 5에 도시된 픽셀 구동 회로(200)와 도 3에 도시된 픽셀 구동 회로(100)의 구별은: 제1 기준 전압 신호(Vref1)가 전원 신호(Vdd1)인 것에 있다.

[0041] 다시 말해, 픽셀 구동 회로(200)에는 제1 기준 전압 신호(Vref1)가 없고, 제2 박막 트렌지스터(T2)의 소스는 전원 신호(Vdd1)에 직접 연결된다.

[0042] 도 6을 함께 참조하면, 도 6은 도 5에 도시된 픽셀 구동 회로의 동작 타이밍도이다. 도 6에 도시된 바와 같이, 도 6에 도시된 픽셀 구동 회로(200)의 동작 타이밍도와 도 4에 도시된 픽셀 구동 회로(100)의 동작 타이밍도의 구별은: 문턱 전압 보상 단계(S1)에서, 전원 신호(Vdd1)는 기준 저전위인 것에 있으며, 여기서, 기준 저전위는 제1 기준 전압(Va)이고; 발광 단계(S2)에서, 전원 신호(Vdd1)는 고전위이다.

[0043] 본 실시예에서, 전원 신호(Vdd1), 데이터 신호(Vdata1) 및 스캔 신호(Vsel1)는 외부 시간 스케줄 제어기에 의해 발생된다. 제2 기준 전압 신호(Vref2)는 고정 전압원을 통해 발생된다.

[0044] 본 실시예에서, 제1 박막 트랜지스터(T1)의 게이트 전위, 소스 전위 및 게이트·소스 전압은 식 (1)을 만족하고; 제1 기준 전압(Va)은 식 (3)을 만족하며; 제2 기준 전압(Vb)은 식 (2)를 만족한다.

[0045] 강조해야 할 것은, 실시예 1과 달리, 본 실시예에서, 제1 기준 전압(Va)은 전원 신호(Vdd1)의 기준 저전위이다.

[0046] 도 7 및 도 8을 참조하면, 도 7 및 도 8은 각각 종래의 무보상 2T1C 픽셀 구동 회로 및 본 발명의 픽셀 구동 회로(100, 200)에서, 구동 박막 트랜지스터 즉 제1 박막 트랜지스터(T10)의 문턱 전압(Vth)의 드리프트 값(△Vth) 및 제1 박막 트랜지스터(T1)의 문턱 전압(Vth1)의 드리프트 값(△Voled)이 각각 0V, +0.5V, -0.5V일 경우, 유

기 발광 다이오드를 통해 흐르는 전류(I_{OLED})의 시뮬레이션 데이터 그래프이다. 두 그래프를 비교해 보면, 본 발명의 회로에서 유기 발광 다이오드를 통해 흐르는 전류 변화량은 종래의 무보상 2T1C 픽셀 구동 회로에서 유기 발광 다이오드를 통해 흐르는 전류의 변화량보다 현저히 적으며, 따라서 본 발명은 구동 박막 트랜지스터의 문턱 전압을 효과적으로 보상하여, 유기 발광 다이오드의 발광 안정성을 효과적으로 보장하며, OLED 디스플레이 패널의 디스플레이 휘도를 균일하게 유지할 수 있으며, 문턱 전압과 함께 사용 시간의 변화에 따라 변화하는 것이 아니며, 제품의 품질을 향상시킬 수 있다.

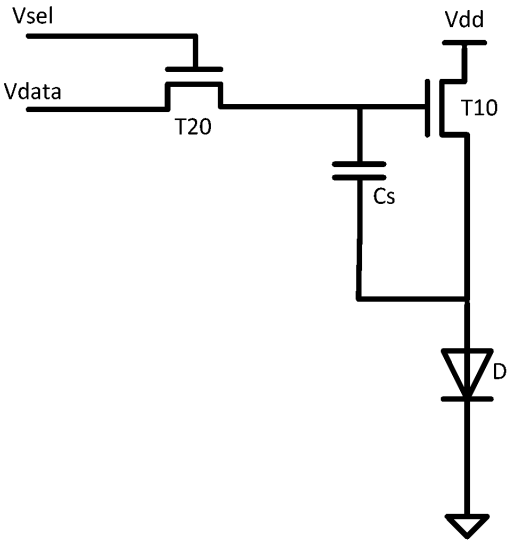
[0047] 도 9는 본 발명의 실시예의 디스플레이 장치의 구조 개략도이다. 도 9에 도시된 바와 같이, OLED 디스플레이 장치(1)는 픽셀 구동 회로(2)를 포함하며, 여기서, 픽셀 구동 회로(2)는 상기 픽셀 구동 회로(100) 또는 픽셀 구동 회로(200)이다.

[0048] 본 발명의 유익한 효과는 다음과 같다: 본 발명의 픽셀 구동 회로 및 OLED 디스플레이 장치는 제4 박막 트랜지스터를 도입하여, 문턱 전압 보상 단계에서 데이터 신호 및 제2 기준 전압 신호를 이용하여 제1 박막 트랜지스터를 통해 흐르는 전류에 대한 제어를 실현할 수 있고, 따라서 제1 박막 트랜지스터 즉 구동 박막 트랜지스터의 문턱 전압에 대한 보상을 실현할 수 있으며; 제3 박막 트랜지스터를 도입하여, 발광 단계에서 제2 기준 전압 신호가 제1 박막 트랜지스터의 게이트 전위에 영향을 주는 것을 피할 수 있다.

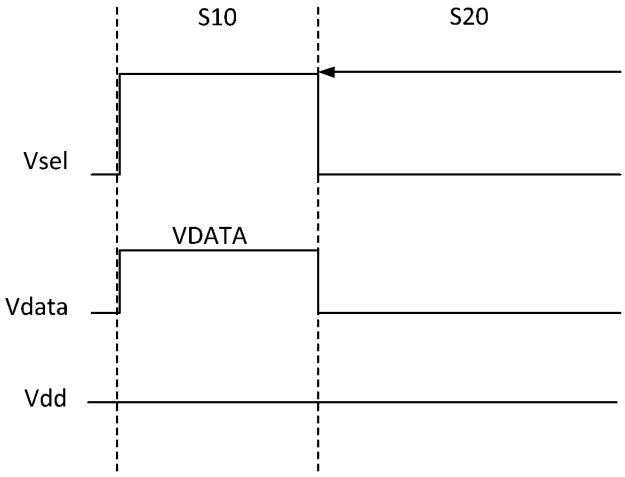
[0049] 상기 내용은 본 발명의 실시예일뿐, 본 발명의 특허 범위를 한정하는 것은 아니며, 본 발명의 명세서 및 도면의 내용에 근거한 동등한 구조 또는 동등한 과정의 모든 변경, 또는 직간접적으로 기타 관련된 기술 분야에 적용하는 것도, 모두 같은 이치에 의해 본 발명의 특허 보호 범위에 포함된다.

도면

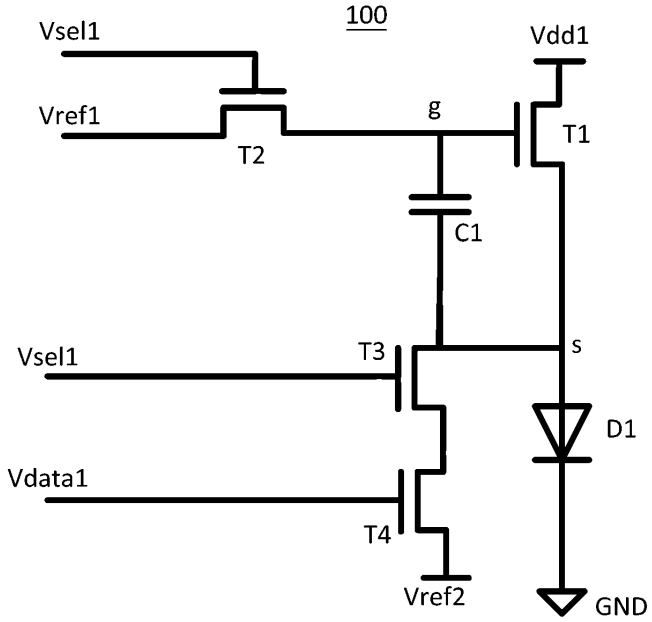
도면1



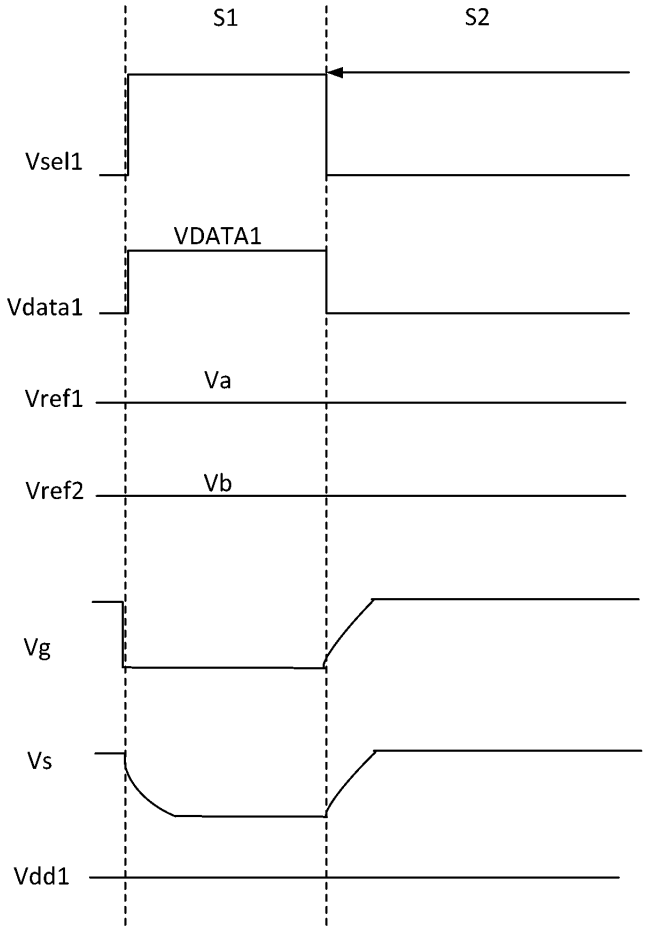
도면2


S10
S20
Vsel
VDATA
Vdata
Vdd

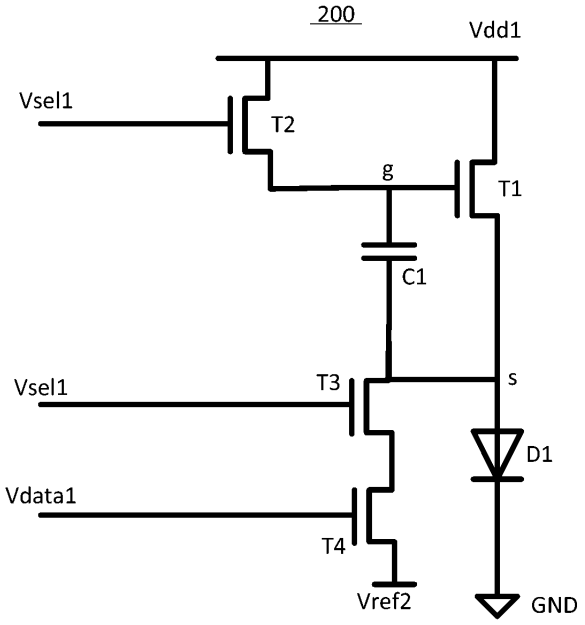
도면3


100
Vsel1
Vdd1
Vref1
g
T1
T2
C1
Vsel1
T3
s
D1
Vdata1
T4
Vref2
GND

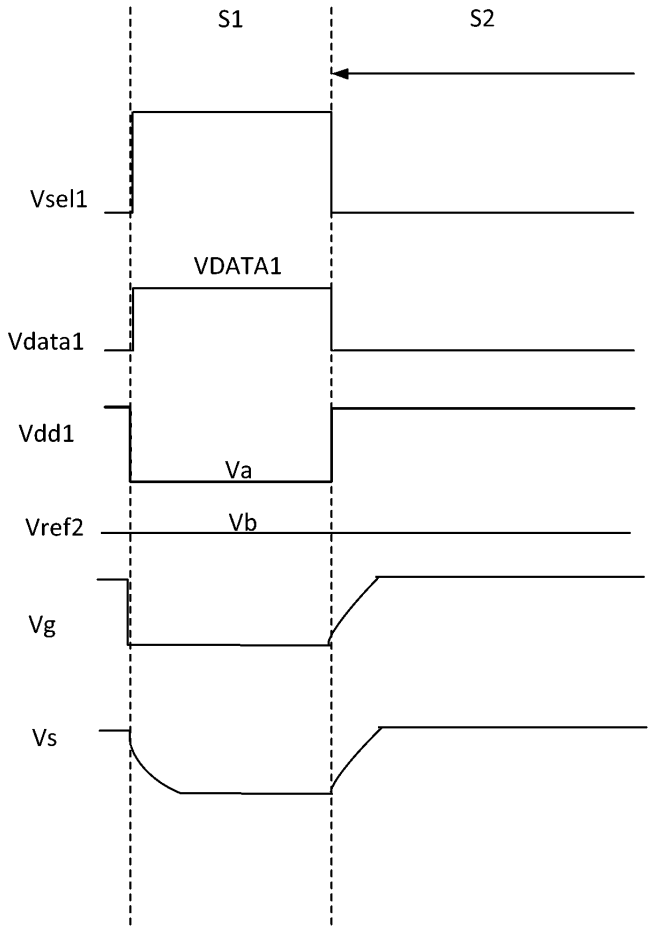
도면4


S1
S2
Vsel1
VDATA1
Vdata1
Va
Vref1
Vb
Vref2
Vg
Vs
Vdd1

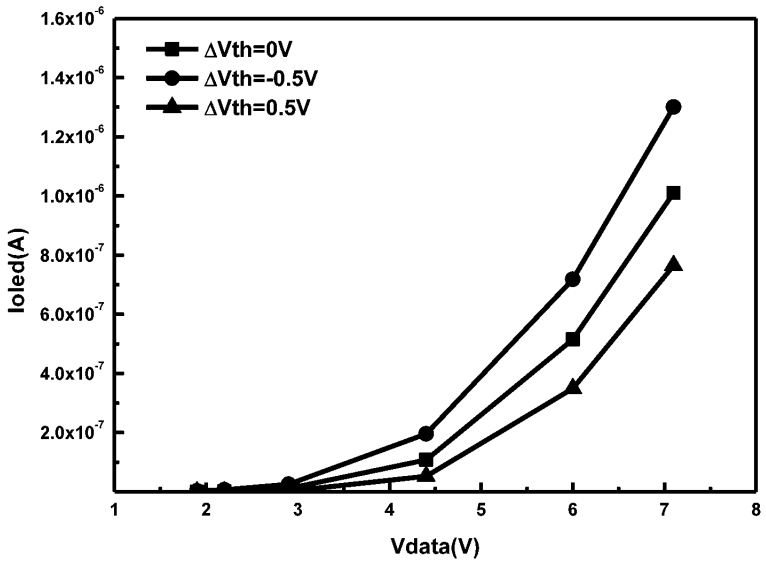
도면5


200
Vdd1
Vsel1
T2
g
T1
C1
Vsel1
T3
s
D1
Vdata1
T4
Vref2
GND

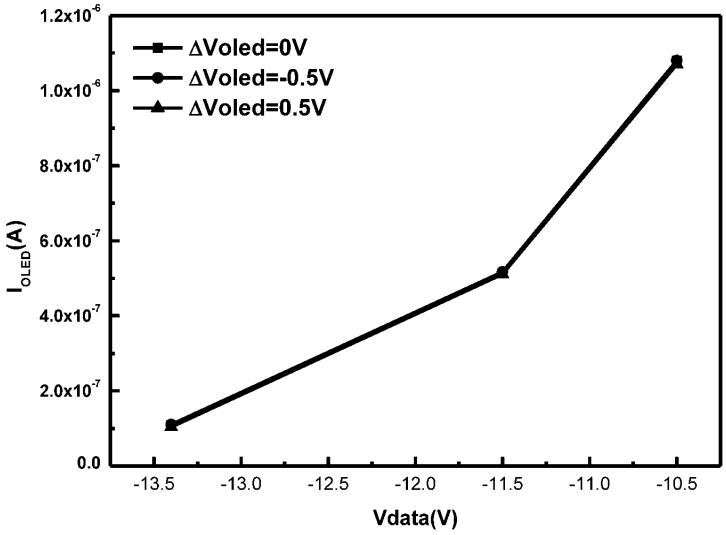
도면6


S1
S2
Vsel1
VDATA1
Vdata1
Vdd1
Va
Vref2
Vb
Vg
Vs

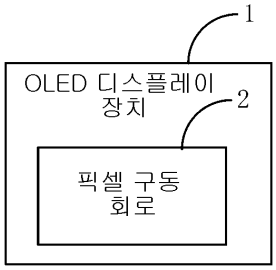
도면7


ΔVth=0V
ΔVth=-0.5V
ΔVth=0.5V
Ioled(A)
Vdata(V)
1.6x10-6
1.4x10-6
1.2x10-6
1.0x10-6
8.0x10-7
6.0x10-7
4.0x10-7
2.0x10-7
1
2
3
4
5
6
7
8

도면8


1.2x10-6
1.0x10-6
8.0x10-7
6.0x10-7
4.0x10-7
2.0x10-7
0.0
IOLED(A)
ΔVoled=0V
ΔVoled=-0.5V
ΔVoled=0.5V
-13.5
-13.0
-12.5
-12.0
-11.5
-11.0
-10.5
Vdata(V)

도면9


1
OLED 디스플레이 장치
2
픽셀 구동 회로