

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(11) 공개번호 10-2021-0016680  
(43) 공개일자 2021년02월17일

(51) 국제특허분류(Int. Cl.)

G09G 3/00 (2006.01)

(52) CPC특허분류

G09G 3/006 (2013.01)

G09G 2330/12 (2013.01)

(21) 출원번호 10-2019-0094737

(22) 출원일자 2019년08월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

이하준

서울특별시 송파구 올림픽로33길 17, 4동 411호(신천동, 미성아파트)

안정아

경기도 화성시 동탄반석로 231, 147동 1302호(석우동, 동탄에당마을 롯데캐슬)

(뒷면에 계속)

(74) 대리인

특허법인가산

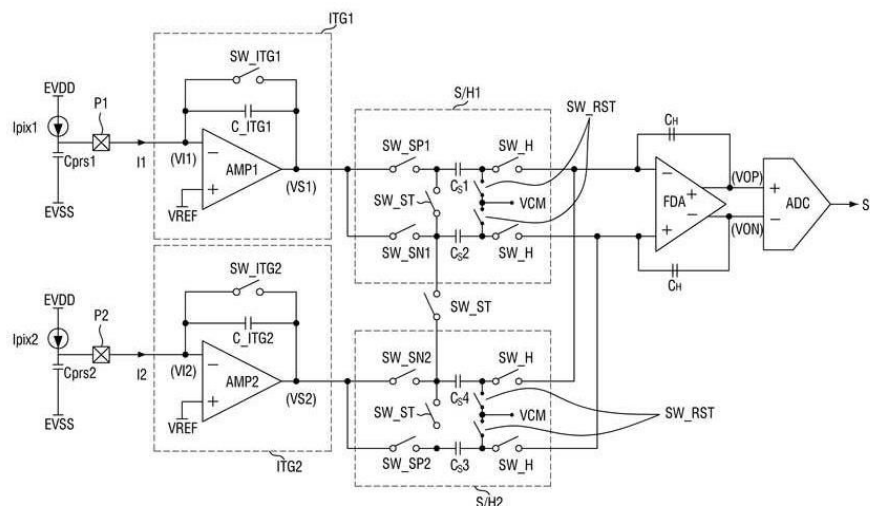
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 OLED 구동 특성 검출 회로 및 이를 포함하는 유기 발광 표시 장치

## (57) 요약

OLED 구동 특성 검출 회로가 제공된다. 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로는, 제1 센싱 채널을 통해 제1 전류를 입력받고, 제1 전류에 기초하여 제1 샘플링 전압을 출력하는 제1 전류 적분기, 제2 센싱 채널을 통해 제2 전류를 입력받고, 제2 전류에 기초하여 제2 샘플링 전압을 출력하는 제2 전류 적분기 및 제1 및 제2 샘플링 전압을 입력받아 저장 및 홀딩하고, 제1 및 제2 샘플링 전압에 포함되는 공통 노이즈 성분을 제거하는 샘플링부를 포함하되, 샘플링부는, 제1 전류 적분기의 출력단과 연결되어 제1 샘플링 전압을 저장 및 홀딩하는 제1 샘플링 커패시터 및 제2 샘플링 커패시터, 제2 전류 적분기의 출력단과 연결되어 제2 샘플링 전압을 저장 및 홀딩하는 제3 샘플링 커패시터 및 제4 샘플링 커패시터 및 제1 내지 제4 샘플링 커패시터 각각의 일단을 서로 연결하는 복수의 스위치들을 포함한다.

## 대표도



(72) 발명자

**정지용**

서울특별시 송파구 오금로 370, 53동 1104호(가락  
동, 현대아파트)

**우석윤**

경기도 화성시 병점중앙로170번길 8-8, A동 306호  
(진안동)

**진영섭**

서울특별시 송파구 풍성로15길 10, 101동 108호(풍  
납동, 대동아파트)

## 명세서

### 청구범위

#### 청구항 1

제1 센싱 채널을 통해 제1 전류를 입력받고, 상기 제1 전류에 기초하여 제1 샘플링 전압을 출력하는 제1 전류 적분기;

제2 센싱 채널을 통해 제2 전류를 입력받고, 상기 제2 전류에 기초하여 제2 샘플링 전압을 출력하는 제2 전류 적분기; 및

상기 제1 및 제2 샘플링 전압을 입력받아 저장 및 홀딩하고, 상기 제1 및 제2 샘플링 전압에 포함되는 공통 노이즈 성분을 제거하는 샘플링부를 포함하되,

상기 샘플링부는,

상기 제1 전류 적분기의 출력단과 연결되어 상기 제1 샘플링 전압을 저장 및 홀딩하는 제1 샘플링 커패시터 및 제2 샘플링 커패시터;

상기 제2 전류 적분기의 출력단과 연결되어 상기 제2 샘플링 전압을 저장 및 홀딩하는 제3 샘플링 커패시터 및 제4 샘플링 커패시터; 및

상기 제1 내지 제4 샘플링 커패시터 각각의 일단을 서로 연결하는 복수의 스위치들을 포함하는 유기 발광 다이오드(OLED) 구동 특성 검출 회로.

#### 청구항 2

제1항에 있어서,

상기 샘플링부는,

상기 제1 전류 적분기의 출력단과 상기 제1 샘플링 커패시터 사이에 연결되는 제1 샘플링 스위치;

상기 제1 전류 적분기의 출력단과 상기 제2 샘플링 커패시터 사이에 연결되는 제2 샘플링 스위치;

상기 제2 전류 적분기의 출력단과 상기 제3 샘플링 커패시터 사이에 연결되는 제3 샘플링 스위치; 및

상기 제2 전류 적분기의 출력단과 상기 제4 샘플링 커패시터 사이에 연결되는 제4 샘플링 스위치를 더 포함하되,

상기 제1 및 제3 샘플링 스위치는 제1 구간에서 턴-오프(turn-off)되고, 상기 제2 및 제4 샘플링 스위치는 상기 제1 구간과 다른 제2 구간에서 턴-오프되는 OLED 구동 특성 검출 회로.

#### 청구항 3

제1항에 있어서,

상기 샘플링부는, 상기 제1 내지 제4 샘플링 커패시터에 각각 연결되어 샘플링 기준 전압이 상기 제1 내지 제4 샘플링 커패시터 각각에 인가되도록 동작하는 복수의 기준 스위치들을 더 포함하는 OLED 구동 특성 검출 회로.

#### 청구항 4

제1 센싱 채널을 통해 제1 전류를 입력받고, 상기 제1 전류에 기초하여 제1 샘플링 전압을 출력하는 제1 전류 적분기;

제2 센싱 채널을 통해 제2 전류를 입력받고, 상기 제2 전류에 기초하여 제2 샘플링 전압을 출력하는 제2 전류 적분기; 및

상기 제1 및 제2 샘플링 전압을 입력받아 저장 및 홀딩하고, 상기 제1 및 제2 샘플링 전압에 포함되는 공통 노이즈 성분을 제거하는 샘플링부를 포함하되,

상기 샘플링부는,

상기 제1 샘플링 전압을 저장하는 제1 샘플링 커패시터;

상기 제1 전류 적분기의 출력단과 상기 제1 샘플링 커패시터 사이에 연결되고, 제1 구간에서 턴-오프되어 상기 제1 샘플링 커패시터에 상기 제1 샘플링 전압을 저장 완료하도록 동작하는 제1 샘플링 스위치;

상기 제1 샘플링 전압을 저장하는 제2 샘플링 커패시터;

상기 제1 전류 적분기의 출력단과 상기 제2 샘플링 커패시터 사이에 연결되고, 상기 제1 구간 이후의 제2 구간에 턴-오프되어 상기 제2 샘플링 커패시터에 상기 제1 샘플링 전압을 저장완료하도록 동작하는 제2 샘플링 스위치;

상기 제2 샘플링 전압을 저장하는 제3 샘플링 커패시터;

상기 제2 전류 적분기의 출력단과 상기 제3 샘플링 커패시터 사이에 연결되고, 상기 제1 구간에 턴-오프되어 상기 제3 샘플링 커패시터에 상기 제2 샘플링 전압을 저장완료하도록 동작하는 제3 샘플링 스위치;

상기 제2 샘플링 전압을 저장하는 제4 샘플링 커패시터; 및

상기 제2 전류 적분기의 출력단과 상기 제4 샘플링 커패시터 사이에 연결되고, 상기 제2 구간에 턴-오프되어 상기 제4 샘플링 커패시터에 상기 제2 샘플링 전압을 저장완료하도록 동작하는 제4 샘플링 스위치를 포함하는 OLED 구동 특성 검출 회로.

#### 청구항 5

제4항에 있어서,

상기 제1 및 제2 전류 적분기 각각은 상기 제1 또는 제2 센싱 채널에 연결되는 제1 입력단, 전분 기준 전압이 인가되는 제2 입력단 및 상기 제1 또는 제2 샘플링 전압을 출력하는 출력단을 포함하는 증폭기; 상기 제1 입력단과 상기 출력단 사이에 연결되는 적분 커패시터; 및 상기 적분 커패시터의 양단 사이에 연결되어 상기 적분 커패시터를 리셋시키는 적분 스위치를 포함하되,

상기 적분 스위치는 상기 제1 구간 이전에 턴-온되어 상기 적분 커패시터를 리셋시키고, 상기 제1 및 제2 구간에서 턴-오프 상태를 유지하는 OLED 구동 특성 검출 회로.

#### 청구항 6

제4항에 있어서,

상기 샘플링부는 상기 제1 내지 제4 샘플링 커패시터 각각의 일단을 서로 연결하는 복수의 스위치들을 더 포함하되,

상기 복수의 스위치들은, 상기 제2 구간 이후의 제3 구간에 턴-온되어 상기 제1 내지 제4 샘플링 커패시터를 연결하는 OLED 구동 특성 검출 회로.

#### 청구항 7

제6항에 있어서,

상기 샘플링부로부터 제1 홀드 전압 및 제2 홀드 전압이 각각 반전 입력 단자 및 비반전 입력 단자로 인가되고, 상기 제1 및 제2 홀드 전압에 기초하여 출력 전압을 출력하는 차동 증폭기; 및

상기 출력 전압을 입력받고, 상기 출력 전압에 기초하여 생성되는 디지털 센싱 신호를 출력하는 아날로그 디지털 컨버터를 더 포함하되,

상기 제1 및 제4 샘플링 커패시터는 상기 반전 입력 단자에 연결되고, 상기 제2 및 제3 샘플링 커패시터는 상기 비반전 입력 단자에 연결되는 OLED 구동 특성 검출 회로.

#### 청구항 8

제7항에 있어서,

상기 제1 샘플링 커패시터와 상기 반전 입력 단자 사이에 연결되는 제1 홀드 스위치;  
 상기 제2 샘플링 커패시터와 상기 비반전 입력 단자 사이에 연결되는 제2 홀드 스위치;  
 상기 제3 샘플링 커패시터와 상기 비반전 입력 단자 사이에 연결되는 제3 홀드 스위치; 및  
 상기 제4 샘플링 커패시터와 상기 반전 입력 단자 사이에 연결되는 제4 홀드 스위치를 더 포함하되,  
 상기 제1 내지 제4 홀드 스위치는, 상기 제3 구간에 턴-온되어 상기 제1 내지 제4 샘플링 커패시터와 상기 반전 입력 단자 또는 상기 비반전 입력 단자를 연결하는 OLED 구동 특성 검출 회로.

## 청구항 9

제6항에 있어서,

상기 샘플링부는, 상기 제1 내지 제4 샘플링 커패시터에 각각 연결되어 샘플링 기준 전압이 상기 제1 내지 제4 샘플링 커패시터 각각에 인가되도록 동작하는 복수의 기준 스위치들을 더 포함하되, 상기 복수의 기준 스위치들은 상기 제3 구간에서 턴-오프되는 OLED 구동 특성 검출 회로.

## 청구항 10

OLED, 상기 OLED의 발광량을 제어하는 구동 TFT(Thin Film Transistor)를 각각 포함하되, 데이터 라인들과 센싱 라인들에 연결된 복수의 픽셀들이 형성되는 디스플레이 패널; 및

센싱 구동 시, 상기 데이터 라인들에 센싱용 데이터 전압을 인가하는 DAC(Digital to Analog Converter)와, 상기 센싱 라인들에 접속된 복수의 센싱 채널들을 통해 상기 픽셀들의 전류 정보를 센싱하는 복수의 센싱 유닛들과, 상기 센싱 유닛들에 공통으로 연결되는 ADC(Analog to Digital Converter)를 포함하는 데이터 구동 회로를 포함하되,

상기 센싱 유닛들 각각은,

제1 센싱 채널을 통해 제1 전류를 입력받아 제1 샘플링 전압을 출력하는 제1 전류 적분기;

제2 센싱 채널을 통해 제2 전류를 입력받아 제2 샘플링 전압을 출력하는 제2 전류 적분기; 및

상기 제1 및 제2 샘플링 전압을 입력받아 저장 및 홀딩하고, 상기 제1 및 제2 샘플링 전압에 포함되는 공통 노이즈 성분을 제거하는 샘플링부로서, 상기 샘플링부는 상기 제1 전류 적분기의 출력단과 연결되어 상기 제1 샘플링 전압을 저장하는 제1 샘플링 커패시터 및 제2 샘플링 커패시터와, 상기 제2 전류 적분기의 출력단과 연결되어 상기 제2 샘플링 전압을 저장하는 제3 샘플링 커패시터 및 제4 샘플링 커패시터와, 상기 제1 내지 제4 샘플링 커패시터 각각의 일단을 서로 연결하는 복수의 스위치들을 포함하는 유기 발광 표시 장치.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 OLED 구동 특성 검출 회로 및 이를 포함하는 유기 발광 표시 장치에 관한 것으로, 더욱 상세하게는 구동 소자의 전기적 특성을 센싱할 수 있는 OLED 구동 특성 검출 회로 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

## 배경 기술

[0002] 액티브 매트릭스 타입의 유기 발광 표시 장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답 속도가 빠르고, 발광 효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기 발광 표시 장치는 OLED와 구동 TFT(Thin Film Transistor)를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 제조에 따라 픽셀에서 구현되는 영상의 휘도를 조절한다. 구동 TFT는 자신의 게이트 전극과 소스 전극 사이에 걸리는 전압에 따라 OLED에 흐르는 구동 전류를 제어한다. 구동 전류에 따라 OLED의 발광량이 결정되며, OLED의 발광량에 따라 영상의 휘도가 결정된다.

[0004] 구동 TFT가 포화 영역에서 동작할 때 구동 TFT의 드레인-소스 사이에 흐르는 픽셀 전류는 문턱 전압, 전자 이동도와 같은 구동 TFT의 전기적 특성에 의존하여 바뀌게 되는데, 공정 특성, 시변 특성 등 다양한 원인에 의해 구

동 TFT의 전기적 특성이 픽셀들 사이에 편차가 생기고, 이에 따라 TFT의 전기적 특성이 다른 픽셀들에 동일한 데이터 전압을 인가하더라도 픽셀마다 휘도 편차가 생기므로, 이러한 특성 편차를 보상하지 않으면 원하는 품질의 화상 구현이 어렵다.

[0005] 구동 TFT의 전기적 특성을 센싱하기 위해 구동 TFT에 흐르는 전류를 직접 센싱하지 않고, 전류에 대응되는 전압 값을 센싱하는 종래의 보상 방식은, 구동 TFT에 흐르는 전류를 센싱 라인의 기생 커패시터를 이용하여 소스 전압으로 변경/저장한 후, 소스 전압을 센싱한다. 이 경우, 기생 커패시터의 크기가 비교적 크고, 디스플레이 패널의 부하에 따라 크기가 변동될 수 있어 정확한 센싱 값을 획득하기 어려운 문제점이 있다.

[0006] 또한, 전압 값을 이용한 센싱의 단점을 보완하기 위해 전류 적분기를 이용한 전류 센싱 방식이 사용되나, 적분기의 오프셋(offset), 인가되는 전압에 영향을 주는 외부 노이즈 등으로 인해 정확한 센싱 값을 획득하기 어렵다는 문제점이 존재한다.

## 발명의 내용

### 해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는, 동작 특성이 향상된 OLED 구동 특성 검출 회로를 제공하는 것이다.

[0008] 또한, 본 발명이 해결하고자 하는 기술적 과제는, 동작 특성이 향상된 유기 발광 표시 장치를 제공하는 것이다.

### 과제의 해결 수단

[0009] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로는, 제1 센싱 채널을 통해 제1 전류를 입력받고, 제1 전류에 기초하여 제1 샘플링 전압을 출력하는 제1 전류 적분기, 제2 센싱 채널을 통해 제2 전류를 입력받고, 제2 전류에 기초하여 제2 샘플링 전압을 출력하는 제2 전류 적분기 및 제1 및 제2 샘플링 전압을 입력받아 저장 및 홀딩하고, 제1 및 제2 샘플링 전압에 포함되는 공통 노이즈 성분을 제거하는 샘플링부를 포함하되, 샘플링부는, 제1 전류 적분기의 출력단과 연결되어 제1 샘플링 전압을 저장 및 홀딩하는 제1 샘플링 커패시터 및 제2 샘플링 커패시터, 제2 전류 적분기의 출력단과 연결되어 제2 샘플링 전압을 저장 및 홀딩하는 제3 샘플링 커패시터 및 제4 샘플링 커패시터 및 제1 내지 제4 샘플링 커패시터 각각의 일단을 서로 연결하는 복수의 스위치들을 포함할 수 있다.

[0010] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로는, 제1 센싱 채널을 통해 제1 전류를 입력받고, 제1 전류에 기초하여 제1 샘플링 전압을 출력하는 제1 전류 적분기, 제2 센싱 채널을 통해 제2 전류를 입력받고, 제2 전류에 기초하여 제2 샘플링 전압을 출력하는 제2 전류 적분기 및 제1 및 제2 샘플링 전압을 입력받아 저장 및 홀딩하고, 제1 및 제2 샘플링 전압에 포함되는 공통 노이즈 성분을 제거하는 샘플링부를 포함하되, 샘플링부는, 제1 샘플링 전압을 저장하는 제1 샘플링 커패시터, 제1 전류 적분기의 출력단과 제1 샘플링 커패시터 사이에 연결되고, 제1 구간에서 턴-오프되어 제1 샘플링 커패시터에 상기 제1 샘플링 전압을 저장 완료하도록 동작하는 제1 샘플링 스위치, 제1 샘플링 전압을 저장하는 제2 샘플링 커패시터, 제1 전류 적분기의 출력단과 제2 샘플링 커패시터 사이에 연결되고, 제1 구간 이후의 제2 구간에 턴-오프되어 제2 샘플링 커패시터에 상기 제1 샘플링 전압을 저장완료하도록 동작하는 제2 샘플링 스위치, 제2 샘플링 전압을 저장하는 제3 샘플링 커패시터, 제2 전류 적분기의 출력단과 제3 샘플링 커패시터 사이에 연결되고, 제1 구간에 턴-오프되어 제3 샘플링 커패시터에 제2 샘플링 전압을 저장완료하도록 동작하는 제3 샘플링 스위치, 제2 샘플링 전압을 저장하는 제4 샘플링 커패시터, 및 제2 전류 적분기의 출력단과 제4 샘플링 커패시터 사이에 연결되고, 제2 구간에 턴-오프되어 제4 샘플링 커패시터에 제2 샘플링 전압을 저장완료하도록 동작하는 제4 샘플링 스위치를 포함할 수 있다.

[0011] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시 예에 따른 유기 발광 표시 장치는, OLED, OLED의 발광량을 제어하는 구동 TFT(Thin Film Transistor)를 각각 포함하되, 데이터 라인들과 센싱 라인들에 연결된 복수의 픽셀들이 형성되는 디스플레이 패널 및 센싱 구동 시, 데이터 라인들에 센싱용 데이터 전압을 인가하는 DAC(Digital to Analog Converter)와, 센싱 라인들에 접속된 복수의 센싱 채널들을 통해 상기 픽셀들의 전류 정보를 센싱하는 복수의 센싱 유닛들과, 센싱 유닛들에 공통으로 연결되는 ADC(Analog to Digital Converter)를 포함하는 데이터 구동 회로를 포함하되, 센싱 유닛들 각각은, 제1 센싱 채널을 통해 제1 전류를 입력받아 제1 샘플링 전압을 출력하는 제1 전류 적분기, 제2 센싱 채널을 통해 제2 전류를 입력받아 제2 샘플링 전압을 출력하는 제2 전류 적분기 및 제1 및 제2 샘플링 전압을 입력받아 저장 및 홀딩하고, 제1 및 제2 샘플링 전압에 포함되는 공통 노이즈 성분을 제거하는 샘플링부로서, 샘플링부는 제1 전류 적분기의 출력단과 연결되어 제1 샘플

링 전압을 저장하는 제1 샘플링 커패시터 및 제2 샘플링 커패시터와, 제2 전류 적분기의 출력단과 연결되어 제2 샘플링 전압을 저장하는 제3 샘플링 커패시터 및 제4 샘플링 커패시터와, 제1 내지 제4 샘플링 커패시터 각각의 일단을 서로 연결하는 복수의 스위치들을 포함할 수 있다.

### 도면의 간단한 설명

[0012]

도 1은 전류 센싱 방식을 기초로 보상을 구현하는 유기 발광 표시 장치의 개략적인 블록도이다.

도 2a는 전류 센싱 방식의 보상에 적용되는 픽셀과 드라이버 IC 사이의 접속 구조를 설명하기 위한 회로도이다.

도 2b는 도 2a의 전류 적분기의 출력을 설명하기 위한 그래프이다.

도 3a는 전류 센싱 방식에 나타나는 노이즈를 설명하기 위한 도면이다.

도 3b는 도 3a의 노이즈에 따라 에러가 발생하는 전류 적분기의 출력을 설명하기 위한 그래프이다.

도 4는 본 발명의 실시 예에 따른 유기 발광 표시 장치의 개략적인 블록도이다.

도 5는 도 4의 디스플레이 패널에 형성된 픽셀 어레이와, 본 발명의 몇몇 실시 예에 따른 센싱 유닛을 설명하기 위한 도면이다.

도 6은 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로를 포함하는 유기 발광 표시 장치를 설명하기 위한 회로도이다.

도 7은 본 발명의 몇몇 실시 예에 따른 유기 발광 표시 장치의 센싱 동작을 설명하기 위한 순서도이다.

도 8a 내지 도 8d는 본 발명의 몇몇 실시 예에 따라, 전류 센싱 과정에서 발생하는 노이즈를 제거하기 위한 과정을 설명하기 위한 회로도이다.

도 9는 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로의 스위치들의 상태를 설명하기 위한 타이밍도이다.

도 10은 본 발명의 몇몇 실시 예에 따라, 4개의 커패시터에 의해 제거되는 노이즈를 설명하기 위한 그래프이다.

도 11은 본 발명의 몇몇 실시 예에 따라, 전류 센싱 과정에서 발생하는 노이즈를 제거하기 위한 과정을 설명하기 위한 회로도이다.

도 12는 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로의 스위치들의 상태를 설명하기 위한 타이밍도이다.

### 발명을 실시하기 위한 구체적인 내용

[0013]

이하에서, 도 1 내지 도 3b를 참조하여 유기 발광 표시 장치의 개략적인 구성 및 종래 전류 센싱 방식에서 발생하는 문제점을 설명한다.

[0014]

도 1은 전류 센싱 방식을 기초로 보상을 구현하는 유기 발광 표시 장치의 개략적인 블록도이다. 도 2a는 전류 센싱 방식의 보상에 적용되는 픽셀과 드라이버 IC 사이의 접속 구조를 설명하기 위한 회로도이고, 도 2b는 도 2a의 전류 적분기의 출력을 설명하기 위한 그래프이다.

[0015]

도 1을 참조하면, 유기 발광 표시 장치는 디스플레이 패널, 드라이버 IC 및 타이밍 컨트롤러를 포함할 수 있다. 드라이버 IC는 센싱 블록을 포함할 수 있고, 디스플레이 패널로부터 입력되는 전류 정보를 센싱한다. 센싱 블록은 다수의 전류 적분기들을 포함하여 디스플레이 패널로부터 입력되는 전류 정보를 적분한다. 디스플레이 패널의 픽셀들은 센싱 라인들에 접속되며, 전류 적분기들은 센싱 채널들을 통해 센싱 라인들에 접속된다. 각 전류 적분기에서 얻어진 적분 값(전압 값으로 나타남)은 샘플링 및 홀딩 되면서 ADC에 입력된다. ADC는 아날로그 적분 값을 디지털 센싱 값으로 변환한 디지털 코드를 타이밍 컨트롤러로 전송한다. 타이밍 컨트롤러는 디지털 센싱 값을 기초로 문턱전압 편차와 이동도 편차를 보상하기 위한 보상 데이터를 도출하고, 이 보상 데이터를 이용하여 화상 구현을 위한 이미지 데이터를 변조한 후 드라이버 IC로 전송한다. 변조된 이미지 데이터는 드라이버 IC에서 디스플레이용 데이터 전압으로 변환된 후 디스플레이 패널에 인가된다.

[0016]

도 2a를 참조하면, 픽셀(Pixel)은 OLED, 구동 트랜지스터(T\_DRV), 스토리지 커패시터(C\_ST), 제1 스위치 트랜지스터(T\_SW1) 및 제2 스위치 트랜지스터(T\_SW2)를 포함할 수 있다.

- [0017] OLED는 구동 트랜지스터(T\_DRV)와 연결되는 애노드 전극, 저전위 구동 전압(EVSS)의 입력단에 연결되는 캐소드 전극 및 애노드 전극과 캐소드 전극 사이에 위치하는 유기 화합물층을 포함한다. 구동 트랜지스터(T\_DRV)는 TFT(Thin Film Transistor)로 구성될 수 있다. 구동 트랜지스터(T\_DRV)는 게이트-소스 간 전압에 따라 OLED에 입력되는 전류량을 제어한다. 구동 트랜지스터(T\_DRV)는 게이트 전극, 고전위 구동 전압(EVDD)의 입력단에 접속된 드레인 전극 및 OLED의 애노드 전극과 연결되는 소스 전극을 포함한다. 스토리지 커패시터(C\_ST)는 구동 트랜지스터(T\_DRV)의 게이트 전극과 소스 전극 사이에 접속된다. 제1 스위치 트랜지스터(T\_SW1)는 게이트 펄스(SCAN)에 응답하여, 데이터 패드(PAD\_Y)을 통해 DAC으로부터 입력되는 데이터 전압을 구동 트랜지스터(T\_DRV)의 게이트 전극에 인가한다. 제2 스위치 트랜지스터(T\_SW2)는 게이트 펄스(SCAN)에 응답하여 센싱 라인의 전류 흐름을 스위칭한다. 제1 및 제2 트랜지스터(T\_SW1, T\_SW2)가 턴-온되어 센싱 라인에 픽셀 전류(Ipix)가 흐르는 동안 저전위 구동 전압(EVSS)은 임계 값 이하로 적용되어 OLED는 픽셀 전류(Ipix)의 흐름에 영향을 미치지 않을 수 있다.
- [0018] 전류 적분기(ITG)는 센싱 패드(PAD\_S)를 통해 픽셀(Pixel)의 센싱 라인에 연결되어 센싱 라인으로부터 픽셀 전류(Ipix), 즉 구동 트랜지스터(T\_DRV)의 소스-드레인 간 전류를 입력받는 반전 입력 단자(-), 기준전압(VREF)을 입력받는 비반전 입력 단자(+), 및 출력 단자를 포함한 앰프(AMP), 앰프(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(C\_ITG), 적분 커패시터(C\_ITG)의 양단에 연결된 리셋 스위치(SW\_ITG)를 포함한다.
- [0019] 전류 적분기(ITG)는 샘플링/홀드 회로(S/H) 및 완전 차동 증폭기(FDA)를 통해 ADC에 연결된다.
- [0020] 샘플링/홀드 회로(S/H)는 앰프(AMP)의 출력 전압(VS) 및 초기 전압(VINT)을 샘플링하기 위한 2개의 샘플링 스위치(SW\_S1, SW\_S2)와, 샘플링 스위치(SW\_S1)를 통해 인가되는 앰프(AMP)의 출력 전압(VS)을 저장하는 샘플링 커패시터(C\_S1) 및 샘플링 스위치(SW\_S2)를 통해 인가되는 초기 전압(VINT)을 저장하는 샘플링 커패시터(C\_S2)와, 샘플링 커패시터(C\_S1)에 저장된 출력 전압(VS) 및 샘플링 커패시터(C\_S2)에 저장된 초기 전압(VINT)을 완전 차동 증폭기(FDA)로 전달하기 위한 홀딩 스위치(SW\_H1, SW\_H2)를 포함할 수 있다. 또한, 샘플링/홀드 회로(S/H)는 샘플링 과정에서 각각의 샘플링 커패시터(C\_S1, C\_S2)의 일단에 샘플링 기준 전압(VCM)을 인가하기 위한 스위치들(SW\_b)과 홀딩 스위치(SW\_H)가 턴-온되는 구간에서 턴온되어 2개의 샘플링 커패시터(C\_S1, C\_S2)의 일단을 연결하는 스위치(SW\_a)를 포함할 수 있다.
- [0021] 도 2b를 참조하면, 전류 적분기(ITG)를 이용한 구동 트랜지스터(T\_DRV)의 구동 특성 센싱 동작은, 리셋 구간(~TA), 센싱 구간(TA~TB), 및 전송 구간(TB~)을 포함한다.
- [0022] 리셋 구간(~TA)에서 리셋 스위치(SW\_ITG)의 턴 온으로 인해 앰프(AMP)는 이득이 1인 유닛 게인 버퍼(unit gain buffer)로 동작한다.
- [0023] 리셋 구간(~TA)에서 앰프(AMP)의 입력 단자들(+,-)과 출력 단자는 모두 기준 전압(VREF)으로 초기화된다.
- [0024] 리셋 구간(~TA) 중에 드라이버 IC(Driver IC)의 DAC를 통해 센싱용 데이터 전압이 구동 트랜지스터(T\_DRV)의 게이트로 인가되고, 이에 따라 구동 트랜지스터(T\_DRV)의 게이트와 소스의 전위차에 상응하는 소스-드레인 간 전류(Ipix)가 흘러 안정화된다. 하지만, 리셋 구간(~TA) 중에 앰프(AMP)는 계속해서 유닛 게인 버퍼로 동작하므로, 출력 단자의 전위(VS)는 기준전압(VREF)으로 유지된다.
- [0025] 센싱 구간(TA~TB)에서 리셋 스위치(SW\_ITG)의 턴-오프로 인해 앰프(AMP)는 전류 적분기로 동작하며, 적분 커패시터(C\_ITG)를 이용하여 구동 트랜지스터(T\_DRV)에 흐르는 소스-드레인 간 전류(Ipix)를 적분한다. 센싱 구간(TA~TB)에서 앰프(AMP)의 반전 입력단자(-)에 유입되는 전류(Ipix)에 의해 적분 커패시터(C\_ITG)의 양단 전위차는 센싱 시간이 경과할수록, 즉 축적되는 전류값(Ipix)가 증가할수록 커진다. 그런데, 앰프(AMP)의 특성상 반전 입력 단자(-) 및 비반전 입력 단자(+)는 가상 접지(Virtual Ground)를 통해 단락(short)되어 서로 간 전위차가 0이므로, 센싱 구간(TA~TB)에서 반전 입력단자(-)의 전위는 적분 커패시터(C\_ITG)의 전위차 증가에 상관없이 기준전압(VREF)으로 유지된다. 그 대신, 적분 커패시터(C\_ITG)의 양단 전위차에 대응하여 앰프(AMP)의 출력 단자 전위가 낮아진다. 이러한 원리로 센싱 구간(TA~TB)에서 센싱 패드(PAD\_S)를 통해 유입되는 전류(Ipix)는 적분 커패시터(C\_ITG)를 통해 전압 값인 출력 전압(VS)으로 변환한다. 앰프(AMP)의 출력 전압(VS)의 하강 기울기는 센싱 패드(PAD\_S)를 통해 유입되는 전류량(Ipix)이 클수록 증가하므로 출력 전압(VS)의 크기는 전류량(Ipix)이 클수록 오히려 작아진다.
- [0026] 센싱 구간(TA~TB)에서 출력 전압(VS)은 샘플링 스위치(SW\_S1)를 경유하여 샘플링 커패시터(C\_S1)에 저장되고, 초기 전압(VINT)은 샘플링 스위치(SW\_S2)를 경유하여 샘플링 커패시터(C\_S2)에 저장된다.

- [0027] 전송 구간(TB~)에서 홀딩 스위치(SW\_H)가 턴-온 되면, 샘플링 커패시터(C\_S1)에 저장된 출력 전압(VS)이 홀딩 스위치(SW\_H1)를 경유하여 FDA에 입력되고, 샘플링 커패시터(C\_S2)에 저장된 기준 전압(VINT)이 홀딩 스위치(SW\_H2)를 경유하여 FDA에 입력된다. 이후 FDA의 비반전 출력 단자의 출력 전압(V1)과 반전 출력 단자의 출력 전압(V2)의 차이 값이 ADC로 입력된다.
- [0028] 출력 전압(VS) 및 기준 전압(VINT)의 차이( $\Delta V$ )에 기초한 FDA의 출력 전압은 ADC에서 디지털 센싱 값으로 변환된 후 타이밍 컨트롤러(도 1의 Timing Controller)에 전송된다. 타이밍 컨트롤러는 디지털 센싱값을 미리 저장된 보상 알고리즘에 적용하여, 구동 트랜지스터(T\_DRV)의 문턱전압 편차( $\Delta V_{th}$ )와 이동도 편차( $\Delta K$ )를 도출함과 아울러, 상기 편차들을 보상하기 위한 보상 데이터를 도출한다.
- [0029] 도 3a는 전류 센싱 방식에 나타나는 노이즈를 설명하기 위한 도면이고, 도 3b는 도 3a의 노이즈에 따라 에러가 발생하는 전류 적분기의 출력을 설명하기 위한 그래프이다. 이하에서, 도 2a 내지 도 3b를 참조하면, 전류 센싱 방식에 따라 구동 트랜지스터(T\_DRV)의 구동 특성 판단을 위한 센싱 동작을 수행하는 동안 발생하는 노이즈를 설명한다.
- [0030] 전류 적분기를 이용한 전류 센싱 방식의 경우, 기존의 전압 센싱 방식에 비해 센싱 시간 단축에 유리하나, 통상적으로 센싱의 타겟이 되는 픽셀 전류( $I_{pix}$ ), 즉 구동 트랜지스터(T\_DRV)의 소스-드레인 전류는 매우 작으므로, 노이즈에 취약하고, 전류 적분기(ITG) 및 리셋 스위치(SW\_ITG)에 자체적인 노이즈가 발생할 수 있다.
- [0031] 도 3a에 도시된 바와 같이, 픽셀 전류( $I_{pix}$ )의 센싱 구간에서, 저전위 구동 전압(EVSS)의 생성 중 발생하는 노이즈(noise(EVSS)), 기준 전압(VREF)의 생성 중 발생하는 노이즈(noise(VREF)) 등이 문제된다. 또한, 초기화 구간에서 리셋 스위치(SW\_ITG)의 커플링으로 인한 노이즈(coupling(SW))가 발생할 수 있고, 복수의 픽셀들과 연결되는 전류 적분기 및 기준 전압의 오프셋으로 인한 노이즈(offset(ITG), offset(VREF))가 발생할 수 있다.
- [0032] 상기의 노이즈들에 의해, 도 3b에 도시된 바와 같이 정확한 센싱이 이루어지지 않을 수 있다. 즉, 초기화 구간에서 발생할 수 있는 노이즈들(coupling(SW), offset(ITG), offset(VREF) 등)로 인해 P 영역과 같은 전압의 피크(peak) 영역이 생길 수 있고, 센싱 구간에서 발생할 수 있는 노이즈들(noise(EVSS), noise(VREF) 등)로 인해 Q 영역과 같은 출력 전압(VS')의 흔들림이 발생함으로써 정확한 센싱이 이루어 지지 않을 수 있다.
- [0033] 이하에서, 도 4 내지 도 12를 참조하여 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로 및 이를 포함하는 유기 발광 표시 장치의 동작을 설명한다.
- [0034] 도 4는 본 발명의 실시 예에 따른 유기 발광 표시 장치의 개략적인 블록도이고, 도 5는 도 4의 디스플레이 패널에 형성된 픽셀 어레이와, 본 발명의 몇몇 실시 예에 따른 센싱 유닛을 설명하기 위한 도면이다.
- [0035] 도 4 및 도 5를 참조하면, 본 발명의 몇몇 실시 예에 따른 유기 발광 표시 장치(10)는 디스플레이 패널(100), 데이터 구동 회로(200), 게이트 구동 회로(300), 타이밍 컨트롤러(400) 및 메모리(500)를 포함할 수 있다.
- [0036] 디스플레이 패널(100)에는 다수의 데이터 라인(210) 및 센싱 라인(220)과, 다수의 게이트 라인들(310)이 교차되고, 이 교차 영역마다 픽셀들(P)이 매트릭스 형태로 배치된다.
- [0037] 각 픽셀(P)은 데이터 라인들(210) 중 어느 하나에, 센싱 라인들(210) 중 어느 하나에, 그리고 게이트 라인들(310) 중 어느 하나에 접속된다. 각 픽셀(P)은 게이트 라인(310)을 통해 입력되는 게이트 펄스에 응답하여, 데이터 라인(210)과 전기적으로 연결되어 데이터 라인(210)으로부터 데이터전압을 입력받고, 센싱 라인(220)을 통해 센싱 신호를 출력한다.
- [0038] 픽셀(P) 각각은 도시하지 않은 전원 생성부로부터 고전위 구동 전압(EVDD)과 저전위 구동 전압(EVSS)을 공급받는다. 본 발명의 픽셀(P)은 보상을 위해 OLED, 구동 트랜지스터(T\_DRV), 제1 및 제2 스위치(T\_SW1, SW2) 및 스토리지 커패시터(C\_ST)를 포함할 수 있다. 즉, 본 발명의 몇몇 실시 예에 따른 픽셀(P)은 도 2a의 픽셀(Pixel1)과 동일하게 구현될 수 있다. 픽셀(P)을 구성하는 트랜지스터들은 p 타입 또는 n 타입으로 구현될 수 있다. 또한, 픽셀(P)을 구성하는 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0039] 픽셀(P) 각각은 화상 표시를 위한 디스플레이 동작시와, 센싱 값 획득을 위한 센싱 동작 시에 서로 다르게 동작할 수 있다. 센싱 동작은 디스플레이 동작에 앞서 소정 시간 동안 수행되거나, 디스플레이 동작 중의 수직 블랭크 기간들에서 수행될 수 있다.
- [0040] 디스플레이 동작은 타이밍 컨트롤러(400)의 제어에 따른 데이터 구동 회로(200)와 게이트 구동 회로(300)의 일

동작으로 이루어질 수 있다. 센싱 동작은 타이밍 컨트롤러(400)의 제어에 따른 데이터 구동 회로(200)와 게이트 구동 회로(300)의 다른 동작으로 이루어질 수 있다. 센싱 결과를 기반으로 편차 보상을 위한 보상 데이터를 도출하는 동작과, 보상 데이터를 이용하여 디지털 비디오 데이터를 변조하는 동작은 타이밍 컨트롤러(400)에서 수행된다.

[0041] 데이터 구동 회로(200)는 적어도 하나 이상의 데이터 드라이버 IC(SDIC)를 포함할 수 있다. 데이터 드라이버 IC(SDIC)에는 각 데이터 라인(210)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들과 센싱 채널들(CH1~CH6)을 통해 센싱 라인(220)들에 연결된 다수의 센싱 유닛들(SU0, SU1, SU2), 센싱 유닛들(SU0, SU1, SU2)에 공통 연결된 ADC가 포함될 수 있다.

[0042] 데이터 드라이버 IC(SDIC)의 DAC는 디스플레이 동작 시 타이밍 컨트롤러(400)로부터 인가되는 데이터 타이밍 제어 신호(DDC)에 따라 디지털 비디오 데이터(RGB)를 화상 표시용 데이터 전압으로 변환하여 데이터 라인들(210)에 공급한다.

[0043] 데이터 드라이버 IC(SDIC)의 DAC는 센싱 동작 시 타이밍 컨트롤러(400)로부터 인가되는 데이터 타이밍 제어 신호(DDC)에 따라 센싱용 데이터 전압을 생성하여 데이터 라인들(210)에 공급한다. 여기서, 센싱용 데이터 전압은 '0'보다 큰 픽셀 전류(구동 트랜지스터의 소스-드레인 전류)를 생성시키는 게조 데이터 전압과, 픽셀 전류의 발생을 억제하는 블랙 데이터 전압을 포함한다. 데이터 드라이버 IC(SDIC)는 센싱 동작 시 타이밍 컨트롤러(400)의 제어에 따라 게조 데이터 전압과 상기 블랙 데이터 전압을 데이터 라인들(210)에 교대로 공급하여, 게조 데이터 전압과 블랙 데이터 전압이 인접하는 채널에 연결되는 픽셀들에 서로 반대로 공급되게 한다. 예를 들어, 채널(CH1)에 연결된 픽셀들에 게조 데이터 전압이 공급되는 경우 채널(CH2)에 연결된 픽셀들에는 블랙 데이터 전압이 인가되고, 반대로 채널(CH1)에 연결된 픽셀들에 블랙 데이터 전압이 공급되는 경우 채널(CH2)에 연결된 픽셀들에는 게조 데이터 전압이 인가되게 된다.

[0044] 데이터 드라이버 IC(SDIC)의 각 센싱 유닛(SU0, SU1, SU2)은, 오드 센싱 채널들(CH1, CH3, CH5) 중 어느 하나에 연결된 제1 전류 적분기(CI1)와, 이븐 센싱 채널들(CH2, CH4, CH6) 중 어느 하나에 연결된 제2 전류 적분기(CI2)와, 제1 전류 적분기(CI1)의 출력 단자와 제2 전류 적분기(CI2)의 출력단자 사이에 접속된 4개의 샘플링 커패시터(Cs)를 포함한다. 도 5의 전류 적분기들(CI1, CI2)는 도 6의 전류 적분기들(ITG1, ITG2)와 같이 구현될 수 있다. 데이터 드라이버 IC(SDIC)의 ADC는 센싱 유닛들(SU0, SU1, SU2)의 출력을 순차적으로 디지털 처리하여 타이밍 컨트롤러(400)에 전송한다. 센싱 유닛들(SU0, SU1, SU2)의 구체적인 동작은 도 6 내지 도 12를 참조하여 상세하게 후술한다.

[0045] 게이트 구동 회로(300)는 디스플레이 동작 시 게이트 제어 신호(GDC)를 기반으로 화상 표시용 게이트 펄스를 생성한 후, 행 순차 방식(L#1, L#2, ...)으로 게이트 라인들(310)에 순차 공급한다. 게이트 구동 회로(300)는 센싱 동작 시 게이트 제어 신호(GDC)를 기반으로 센싱용 게이트 펄스를 생성한 후, 행 순차 방식(L#1, L#2, ...)으로 게이트 라인들(310)에 순차 공급한다. 센싱용 게이트 펄스는 화상 표시용 게이트 펄스에 비해 온-펄스 구간이 넓을 수 있다. 센싱용 게이트 펄스의 온 펄스 구간은 1 라인 센싱 온-타임에 대응되며, 이 때 1 라인 센싱 온-타임이란 1 행 픽셀 라인(L#1, L#2, ...)의 픽셀들을 동시에 센싱하는데 소요되는 스캔 시간을 의미한다.

[0046] 타이밍 컨트롤러(400)는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동 회로(200)의 동작 타이밍을 제어하기 위한 데이터 제어 신호(DDC)와, 게이트 구동 회로(300)의 동작 타이밍을 제어하기 위한 게이트 제어 신호(GDC)를 생성한다. 타이밍 컨트롤러(400)는 소정의 참조 신호(구동 전원 인에이블 신호, 수직 동기 신호, 데이터 인에이블 신호 등)를 기반으로 디스플레이 동작과 센싱 동작을 구분하고, 각 구동에 맞게 데이터 제어 신호(DDC)와 게이트 제어 신호(GDC)를 생성한다.

[0047] 타이밍 컨트롤러(400)는 센싱 동작 시에, 센싱용 데이터 전압에 대응되는 디지털 데이터를 데이터 구동 회로(200)에 전송할 수 있다. 상기 디지털 데이터는 상기 게조 데이터 전압에 대응되는 제1 디지털 데이터와, 상기 블랙 데이터 전압에 대응되는 제2 디지털 데이터를 포함한다. 타이밍 컨트롤러(400)는 센싱 동작 시 데이터 구동 회로(200)로부터 전송되는 디지털 센싱 값(SD)을 미리 저장된 보상 알고리즘에 적용하여, 문턱전압 편차( $\Delta V_{th}$ )와 이동도 편차( $\Delta K$ )를 도출한 후 그 편차들을 보상할 수 있는 보상 데이터를 메모리(500)에 저장할 수 있다.

[0048] 타이밍 컨트롤러(400)는 디스플레이 동작 시 메모리(500)에 저장된 보상 데이터를 참조로 화상 구현을 위한 디지털 비디오 데이터(RGB)를 변조한 후 데이터 구동 회로(200)에 전송한다.

- [0049] 도 6은 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로를 포함하는 유기 발광 표시 장치를 설명하기 위한 회로도이다.
- [0050] 도 6을 참조하면, 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로는, 제1 전류 적분기(ITG1), 제2 전류 적분기(ITG2), 제1 샘플링/홀드 회로(S/H1), 제2 샘플링/홀드 회로(S/H2), FDA를 포함할 수 있다.
- [0051] 제1 전류 적분기(ITG1)는 제1 패드(P1)를 통해 인가되는 제1 전류(Ia)를 수신하고, 제1 적분 출력 전압(VS1)을 생성할 수 있다. 예를 들어, 제1 패드(P1)는 도 5의 제1 채널(CH1)과 연결된 패드일 수 있다. 즉, 제1 전류 적분기(ITG1)는 제1 패드(P1)에 연결된 픽셀의 구동 트랜지스터의 소스-드레인 전류(I<sub>pix1</sub>)를 수신하되, 저전압 구동 전압(EVSS)의 생성 과정에서 발생하는 기생 커패시터(C<sub>pr1</sub>)의 영향에 따른 노이즈가 반영된 제1 전류(I<sub>a</sub>)를 수신할 수 있다. 제1 전류(I<sub>a</sub>)는 계조 데이터 전압에 기초하여 생성된 전류일 수 있다. 즉, 제1 패드(P1)에 연결된 픽셀의 구동 트랜지스터의 구동 특성을 센싱하기 위한 센싱 동작임을 가정한다.
- [0052] 제1 전류 적분기는 제1 앰프(AMP1), 제1 적분 커패시터(C<sub>ITG1</sub>) 및 제1 적분 스위치(SW<sub>ITG1</sub>)를 포함할 수 있다. 제1 앰프(AMP1), 제1 적분 커패시터(C<sub>ITG1</sub>) 및 제1 적분 스위치(SW<sub>ITG1</sub>)는 각각 도 2a를 참조하여 상술한 앰프(AMP), 커패시터(C<sub>ITG</sub>) 및 스위치(SW<sub>ITG</sub>)와 동일한 동작을 수행할 수 있다. 즉, 제1 적분 스위치(SW<sub>ITG1</sub>)에 의해 제1 적분 커패시터(C<sub>ITG1</sub>)의 양단 전압이 초기화되고, 제1 앰프(AMP1)는 제1 전류(I<sub>a</sub>)에 기초한 적분을 수행하여 제1 적분 출력 전압(VS1)을 생성 및 출력한다.
- [0053] 제2 전류 적분기(ITG2)는 제2 패드(P2)를 통해 인가되는 제2 전류(Ib)를 수신하고, 제2 적분 출력 전압(VS2)을 생성할 수 있다. 예를 들어, 제2 패드(P2)는 도 5의 제2 채널(CH2)과 연결된 패드일 수 있다. 즉, 제2 전류 적분기(ITG2)는 제2 패드(P2)에 연결된 픽셀의 구동 트랜지스터의 소스-드레인 전류(I<sub>pix2</sub>)를 수신하되, 저전압 구동 전압(EVSS)의 생성 과정에서 발생하는 기생 커패시터(C<sub>pr2</sub>)의 영향에 따른 노이즈가 반영된 제2 전류(I<sub>b</sub>)를 수신할 수 있다. 제2 전류(I<sub>b</sub>)는 블랙 데이터 전압에 기초하여 생성된 전류일 수 있다.
- [0054] 제2 앰프(AMP2), 제2 적분 커패시터(C<sub>ITG2</sub>) 및 제2 적분 스위치(SW<sub>ITG2</sub>)는 각각 제1 앰프(AMP1), 제1 적분 커패시터(C<sub>ITG1</sub>) 및 제1 적분 스위치(SW<sub>ITG1</sub>)와 동일한 동작을 수행할 수 있다. 즉, 제2 적분 스위치(SW<sub>ITG2</sub>)에 의해 제2 적분 커패시터(C<sub>ITG2</sub>)의 양단 전압이 초기화되고, 제2 앰프(AMP2)는 제2 전류(I<sub>b</sub>)에 기초한 적분을 수행하여 제2 적분 출력 전압(VS2)을 생성 및 출력한다.
- [0055] 제1 샘플링/홀드 회로(S/H1)는 제1 샘플링 스위치(SW<sub>SP1</sub>), 제2 샘플링 스위치(SW<sub>SN1</sub>), 샘플링 전송 스위치(SW<sub>ST</sub>), 제1 샘플링 커패시터(C<sub>s1</sub>), 제2 샘플링 커패시터(C<sub>s2</sub>), 2개의 샘플링 리셋 스위치(SW<sub>RST</sub>) 및 2개의 홀드 스위치(SW<sub>H</sub>)를 포함할 수 있다.
- [0056] 제1 샘플링 스위치(SW<sub>SP1</sub>)는 제1 센싱 구간에서 턴-오프되어 제1 샘플링 커패시터(C<sub>s1</sub>)에 제1 적분 출력 전압(VS1)을 저장하도록 동작할 수 있다. 이 때, 제1 센싱 구간은 센싱 초기 구간일 수 있다.
- [0057] 제2 샘플링 스위치(SW<sub>SN1</sub>)는 제1 센싱 구간 이후의 제2 센싱 구간에서 턴-오프되어 제2 샘플링 커패시터(C<sub>s2</sub>)에 제1 적분 출력 전압(VS1)을 저장하도록 동작할 수 있다.
- [0058] 샘플링 리셋 스위치(SW<sub>RST</sub>)는 제1 및 제2 샘플링 커패시터(C<sub>s1</sub>, C<sub>s2</sub>)에 제1 적분 출력 전압(VS1)이 저장되는 구간, 즉 제1 및 제2 센싱 구간에서 턴-오프되어 제1 및 제2 샘플링 커패시터(C<sub>s1</sub>, C<sub>s2</sub>) 각각의 일단에 샘플링 기준 전압(VCM)을 인가할 수 있다. 제1 및 제2 샘플링 커패시터(C<sub>s1</sub>, C<sub>s2</sub>)의 일단에 샘플링 기준 전압(VCM)이 고정됨으로써, 제1 및 제2 샘플링 커패시터(C<sub>s1</sub>, C<sub>s2</sub>)에 제1 적분 출력 전압(VS1)이 저장될 수 있다.
- [0059] 제2 센싱 구간 이후의 전송 구간에서, 제1 및 제2 샘플링 스위치(SW<sub>SP1</sub>, SW<sub>SN1</sub>) 및 샘플링 리셋 스위치(SW<sub>RST</sub>)가 턴-오프되고, 샘플링 전송 스위치(SW<sub>ST</sub>) 및 홀드 스위치(SW<sub>H</sub>)가 턴-온될 수 있다. 샘플링 전송 스위치(SW<sub>ST</sub>)가 턴-온됨에 따라, 제1 내지 제4 샘플링 커패시터(C<sub>s1</sub>, C<sub>s2</sub>, C<sub>s3</sub>, C<sub>s4</sub>) 각각의 일단이 서로 연결될 수 있다. 또한, 홀드 스위치(SW<sub>H</sub>)가 턴-온됨에 따라, 제1 샘플링 커패시터(C<sub>s1</sub>)에 저장된 전압이 FDA의 반전 입력 노드(-)에 인가되고, 제2 샘플링 커패시터(C<sub>s2</sub>)에 저장된 전압이 FDA의 비반전 입력 노드(+)에 인가될 수 있다.
- [0060] 제2 샘플링/홀드 회로(S/H2)는 제3 샘플링 스위치(SW<sub>SP2</sub>), 제4 샘플링 스위치(SW<sub>SN2</sub>), 샘플링 전송 스위치(SW<sub>ST</sub>), 제3 샘플링 커패시터(C<sub>s3</sub>), 제4 샘플링 커패시터(C<sub>s4</sub>), 2개의 샘플링 리셋 스위치(SW<sub>RST</sub>) 및 2개의 홀드 스위치(SW<sub>H</sub>)를 포함할 수 있다.
- [0061] 제3 샘플링 스위치(SW<sub>SP2</sub>)는 제1 센싱 구간에서 턴-온되어 제3 샘플링 커패시터(C<sub>s3</sub>)에 제2 적분 출력 전압(VS2)을 저장하도록 동작할 수 있다. 제4 샘플링 스위치(SW<sub>SN2</sub>)는 제2 센싱 구간에서 턴-온되어 제4 샘플링 커패시터(C<sub>s4</sub>)에 제2 적분 출력 전압(VS2)을 저장하도록 동작할 수 있다. 제4 샘플링 스위치(SW<sub>SN2</sub>)는 제2 센싱 구간에서 턴-온되어 제4 샘플링 커패시터(C<sub>s4</sub>)에 제2 적분 출력 전압(VS2)을 저장하도록 동작할 수 있다.

패시터(Cs4)에 제2 적분 출력 전압(VS2)을 저장하도록 동작할 수 있다.

- [0062] 샘플링 리셋 스위치(SW\_RST)는 상기 제1 샘플링/홀드 회로(S/H1)의 샘플링 리셋 스위치(SW\_RST)와 동일하게 동작할 수 있다. 즉 제1 및 제2 센싱 구간에서 턴-온되어 제3 및 제4 샘플링 커패시터(Cs3, Cs4) 각각의 일단에 샘플링 기준 전압(VCM)을 인가할 수 있다.
- [0063] 전송 구간에서, 제3 및 제4 샘플링 스위치(SW\_SP2, SW\_SN2) 및 샘플링 리셋 스위치(SW\_RST)가 턴-오프되고, 샘플링 전송 스위치(SW\_ST) 및 홀드 스위치(SW\_H)가 턴-온될 수 있다. 샘플링 전송 스위치(SW\_ST)가 턴-온됨에 따라, 제1 내지 제4 샘플링 커패시터(Cs1, Cs2, Cs3, Cs4) 각각의 일단이 서로 연결될 수 있다. 또한, 홀드 스위치(SW\_H)가 턴-온됨에 따라, 제3 샘플링 커패시터(Cs3)에 저장된 전압이 FDA의 비반전 입력 노드(+)에 인가되고, 제4 샘플링 커패시터(Cs4)에 저장된 전압이 FDA의 반전 입력 노드(-)에 인가될 수 있다.
- [0064] FDA는 반전 입력 노드(-) 및 비반전 입력 노드(+)로 제1 및 제2 샘플링/홀드 회로(S/H1, S/H2)에 의해 샘플링된 전압을 인가받고, 이에 기초하여 비반전 출력 노드(+) 및 반전 출력 노드(-) 각각으로 비반전 출력 전압(VOP) 및 반전 출력 전압(VON)을 출력하여 ADC로 전송할 수 있다. 몇몇 실시 예에 따라, ADC로 전송되는 전압은 비반전 출력 전압(VOP) 및 반전 출력 전압(VON)의 차이에 해당하는 전압(VOP-VON)일 수 있다. 이하에는, ADC로 출력 전압(VOP-VON)이 입력됨을 가정하고 설명한다.
- [0065] ADC는 FDA로부터 출력 전압(VOP-VON)을 인가받아 아날로그-디지털 변환을 수행하여 디지털값(SD)을 타이밍 컨트롤러(400)로 출력하고, 타이밍 컨트롤러(400)는 도 4를 참조하여 설명한 보상 데이터를 생성할 수 있다.
- [0066] 도 7은 본 발명의 몇몇 실시 예에 따른 유기 발광 표시 장치의 센싱 동작을 설명하기 위한 순서도이다. 도 8a 내지 도 8d는 본 발명의 몇몇 실시 예에 따라, 전류 센싱 과정에서 발생하는 노이즈를 제거하기 위한 과정을 설명하기 위한 회로도이다. 도 9는 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로의 스위치들의 상태를 설명하기 위한 타이밍도이다. 도 10은 본 발명의 몇몇 실시 예에 따라, 4개의 커패시터에 의해 제거되는 노이즈를 설명하기 위한 그래프이다. 이하에서, 도 7 내지 도 9를 참조하여 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로에서 구동 트랜지스터의 동작 특성을 센싱하는 과정을 설명한다. 각 구성의 동작들 중 도 6을 참조하여 설명한 내용과 중복되는 내용을 생략한다.
- [0067] S100 단계에서, 제1 전류 적분기(ITG1)의 제1 적분 커패시터(C\_ITG1) 및 제2 전류 적분기(ITG2)의 제2 적분 커패시터(C\_ITG2)를 리셋할 수 있다. 즉, 리셋 구간(t1 내지 t2)에서 제1 적분 스위치(SW\_ITG1) 및 제2 적분 스위치(SW\_ITG2)가 턴-온되고, 이에 따라 제1 적분 커패시터(C\_ITG1) 및 제2 적분 커패시터(C\_ITG2)의 양단 전압이 동일하게 되는 리셋 동작이 수행될 수 있다. 몇몇 실시예에서, 리셋 구간(t1 내지 t2)에서 제1 샘플링 스위치(SW\_SP1), 제2 샘플링 스위치(SW\_SN1), 제3 샘플링 스위치(SW\_SP2), 제4 샘플링 스위치(SW\_SN2) 및 샘플링 리셋 스위치(SW\_RST)가 제1 전류 적분기(ITG1)와 제2 전류 적분기(ITG2)의 출력을 트래킹(tracking)하기 위해 턴-온될 수 있다.
- [0068] 리셋 구간(t1 내지 t2)이후 제1 적분 스위치(SW\_ITG1) 및 제2 적분 스위치(SW\_ITG2)가 턴-오프되고, 센싱 구간(t3 내지 t5)이 시작될 수 있다. 도 9에는 예시적으로 리셋 구간(t1 내지 t2)과 센싱 시작 시점(t3) 사이에 일정한 지연 구간이 있는 것으로 도시하였으나, 이는 예시적인 것으로 리셋 구간(t1 내지 t2)의 종료 시점과 센싱 시작 시점은 동일하게 구현될 수 있다.
- [0069] S200 단계에서, 제1 샘플링 커패시터(Cs1)에 제1 적분 출력 전압(VS1)을 저장하고, 제3 샘플링 커패시터(Cs3)에 제2 적분 출력 전압(VS2)을 저장할 수 있다. 즉, 제1 센싱 구간(t3 내지 t4)에서 제1 샘플링 스위치(SW\_SP1) 및 제3 샘플링 스위치(SW\_SP2)가 턴-오프되고, 이에 따라 제1 전류 적분기(ITG1)의 제1 적분 출력 전압(VS1) 및 제2 전류 적분기(ITG2)의 제2 적분 출력 전압(VS2)이 각각 제1 샘플링 커패시터(Cs1) 및 제3 샘플링 커패시터(Cs3)에 저장될 수 있다. 제1 센싱 구간(t3 내지 t4)에서 제1 샘플링 커패시터(Cs1)에 저장되는 제1 적분 출력 전압(VS1)을 제1 샘플링 전압(Va)으로 정의하고, 제1 센싱 구간에서 제3 샘플링 커패시터(Cs3)에 저장되는 제2 적분 출력 전압(VS2)을 제3 샘플링 전압(Vc)으로 정의한다.
- [0070] 센싱 구간(t3 내지 t5)에서, 제1 샘플링/홀드 회로(S/H1) 및 제2 샘플링/홀드 회로(S/H2)의 샘플링 리셋 스위치(SW\_RST)는 턴-온되어 제1 내지 제4 샘플링 커패시터(Cs1 내지 Cs4)의 일단에 샘플링 기준 전압(VCM)을 제공할 수 있다.
- [0071] S300 단계에서, 제2 샘플링 커패시터(Cs2)에 제1 적분 출력 전압(VS1)을 저장하고, 제4 샘플링 커패시터(Cs4)에 제2 적분 출력 전압(VS2)을 저장할 수 있다. 즉, 제2 센싱 구간(t4 내지 t5)에서 제2 샘플링 스위치(SW\_SN1) 및 제4 샘플링 스위치(SW\_SN2)가 턴-오프되고, 이에 따라 제1 적분 출력 전압(VS1) 및 제2 적분 출력 전압(VS2)이

각각 제2 샘플링 커패시터(Cs2) 및 제4 샘플링 커패시터(Cs4)에 저장될 수 있다. 제2 센싱 구간(t4 내지 t5)에서 제2 샘플링 커패시터(Cs2)에 저장되는 제1 적분 출력 전압(VS1)을 제2 샘플링 전압(Vb)으로 정의하고, 제2 센싱 구간에서 제4 샘플링 커패시터(Cs4)에 저장되는 제2 적분 출력 전압(VS2)을 제4 샘플링 전압(Vd)으로 정의한다.

[0072] 도 3a 및 도 3b를 참조하여 설명한 바와 같이, 리셋 구간(t1 내지 t2) 및 센싱 구간(t3 내지 t5)에서는 전류 적분기(ITG1, ITG2) 등에 노이즈(coupling(SW), offset(ITG), offset(VREF), noise(EVSS), noise(VREF))가 발생할 수 있고, 이러한 노이즈들을 반영한 제1 내지 제4 샘플링 전압(Vd)은 아래 수학적 식 1 내지 수학적 식 4와 같이 나타낼 수 있다.

### 수학적 식 1

$$V_a = V_{REF} + (\text{coupling}(SW) + \text{offset}(ITG1) + \text{offset}(VREF) + \text{noise}(EVSS_{s1}) + \text{noise}(VREF_{s1})) - \frac{I_a(S1)}{C_{ITG1}} - V_{CM}$$

[0074]

### 수학적 식 2

$$V_b = V_{REF} + (\text{coupling}(SW) + \text{offset}(ITG1) + \text{offset}(VREF) + \text{noise}(EVSS_{s2}) + \text{noise}(VREF_{s2})) - \frac{I_a(S2)}{C_{ITG1}} - V_{CM}$$

[0075]

### 수학적 식 3

$$V_c = V_{REF} + (\text{coupling}(SW) + \text{offset}(ITG2) + \text{offset}(VREF) + \text{noise}(EVSS_{s1}) + \text{noise}(VREF_{s1})) - \frac{I_b(S1)}{C_{ITG2}} - V_{CM}$$

[0076]

### 수학적 식 4

$$V_d = V_{REF} + (\text{coupling}(SW) + \text{offset}(ITG2) + \text{offset}(VREF) + \text{noise}(EVSS_{s2}) + \text{noise}(VREF_{s1})) - \frac{I_b(S2)}{C_{ITG2}} - V_{CM}$$

[0077]

[0079] 여기서,  $\text{noise}(EVSS_{s1})$ 는 제1 센싱 구간(t3 내지 t4)에서 저전위 구동 전압(EVDD)에 의해 발생하는 노이즈이고,  $\text{noise}(EVSS_{s2})$ 는 제2 센싱 구간(t4 내지 t5)에서 저전위 구동 전압(EVDD)에 의해 발생하는 노이즈이다.  $\text{noise}(VREF_{s1})$ 는 제1 센싱 구간(t3 내지 t4)에서 기준 전압(VREF)에 의해 발생하는 노이즈이고,  $\text{noise}(VREF_{s2})$ 는 제2 센싱 구간(t4 내지 t5)에서 기준 전압(VREF)에 의해 발생하는 노이즈이다.  $\text{offset}(ITG1)$ 는 센싱 동작의 수행 시에 제1 전류 적분기(ITG1)에 존재하는 오프셋에 의한 노이즈이고,  $\text{offset}(ITG1)$ 은 제2 전류 적분기(ITG2)에 존재하는 오프셋에 의한 노이즈이다.  $I_a(S1)$ 는 제1 센싱 구간(t3 내지 t4)에서 제1 패드(P1)를 통해 유입되는 제1 전류( $I_a$ )이고,  $I_a(S2)$ 는 제2 센싱 구간(t4 내지 t5)에서 제1 패드를 통해 유입되는

제1 전류(Ia)이다. Ib(S1)는 제1 센싱 구간(t3 내지 t4)에서 제2 패드를 통해 유입되는 제2 전류(Ib)이고, Ib(S2)는 제2 센싱 구간(t4 내지 t5)에서 제2 패드(P2)를 통해 유입되는 제2 전류(Ib)이다.

[0080] S400 단계에서, 제1 내지 제4 샘플링 커패시터(Cs1 내지 Cs4)에 저장된 전압들(Va, Vb, Vc, Vd)에 기초하여 출력 전압(VOP-VON)을 ADC로 전송할 수 있다.

[0081] 전송 구간(t6 내지 t7)에서, 전송 스위치들(SW\_ST) 및 홀드 스위치들(SW\_H)가 턴-온되고, 샘플링 스위치들(SW\_SP1, SW\_SN1, SW\_SP2, SW\_SN2) 및 샘플링 리셋 스위치들(SW\_RST)이 턴-오프된다. 이에 따라 제1 내지 제4 샘플링 커패시터(Cs4)가 서로 연결되고, 제1 및 제4 샘플링 커패시터(Cs1, Cs4)의 일단이 FDA의 반전 입력 단자(-)에 연결되고, 제2 및 제3 샘플링 커패시터(Cs2, Cs3)의 일단이 FDA의 비반전 입력 단자(+)에 연결된다.

[0082] 결과적으로, FDA의 출력 전압(VOP-VON)은 아래 수학적 식 5와 같이 나타낼 수 있다.

### 수학적 식 5

$$\begin{aligned} VOP - VON &= \frac{C_s}{C_H} * (V_a + V_d) - \frac{C_s}{C_H} * (V_b + V_c) = \frac{C_s}{C_H} * (V_a - V_b - V_c + V_d) \\ &= \frac{I_a(S2)}{C_{ITG1}} + \frac{I_b(S1)}{C_{ITG2}} - \frac{I_a(S1)}{C_{ITG1}} - \frac{I_b(S2)}{C_{ITG2}} = \left( \frac{I_a}{C_{ITG1}} - \frac{I_b}{C_{ITG2}} \right) * (S2 - S1) \end{aligned}$$

[0083]

[0085] 상술한 바와 같이, 전류(Ipix2)는 블랙 데이터 전압을 인가하여 무시할 수 있는 적은 양의 전류이고, 이에 따라 제2 전류(Ib)도 무시할 수 있는 적은 양의 전류이다. 따라서, 출력 전압(VOP-VON)은 아래 수학적 식 6으로 간략화할 수 있다.

### 수학적 식 6

$$VOP - VON = \left( \frac{I_a}{C_{ITG1}} \right) * (S2 - S1)$$

[0086]

[0088] 본 발명의 실시 예에 따라, 2개의 전류 적분기 각각의 출력 전압을 저장하는 2개씩의 샘플링 커패시터를 구비하고, 각각의 샘플링 커패시터에 저장되는 샘플링 전압들에 대한 연산을 통하여 FDA의 출력 전압을 생성함으로써, 리셋 구간(t3)에서 발생할 수 있는 노이즈들(coupling(SW), offset(ITG), offset(VREF) 등) 및 센싱 구간(t3 내지 t5)에서 발생할 수 있는 노이즈들(noise(EVSS), noise(VREF) 등)을 제거할 수 있고, 이에 따라 구동 트랜지스터의 구동 특성 검출을 위한 정확한 센싱이 이루어질 수 있다.

[0089] 도 11은 본 발명의 몇몇 실시 예에 따라, 전류 센싱 과정에서 발생하는 노이즈를 제거하기 위한 과정을 설명하기 위한 회로도이고, 도 12는 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로의 스위치들의 상태를 설명하기 위한 타이밍도이다. 이하에서, 도 7 내지 도 10을 참조하여 설명한 내용과 중복되는 부분의 설명은 생략한다.

[0090] 도 11 및 도 12를 참조하면, 본 발명의 몇몇 실시 예에 따른 OLED 구동 특성 검출 회로 및 유기 발광 표시 장치는, 기준 전류(IREF)를 인가하여 적분 커패시터(C\_ITG1, C\_ITG2)의 커패시턴스 값을 정확히 검출하고, 이에 기초하여 구동 트랜지스터의 센싱 동작을 수행할 수 있다.

[0091] 센싱 동작에 필요한 전류 적분기는 각각의 픽셀들에 연결되는 복수의 전류 적분기를 포함할 수 있고, 각각의 전류 적분기에 포함되는 전류 커패시터들의 커패시턴스 값은 서로 동일하지 않을 수 있다. 또한, 센싱 동작이 반복됨에 따라 외부 영향 또는 내부 노이즈 등으로 적분 커패시터의 커패시턴스 값이 변할 수 있고, 이러한 경우 구동 트랜지스터의 구동 능력에 대한 정확한 센싱이 어려워진다.

[0092] 이에 따라, 임의로 고정되는 기준 전류(IREF)를 제1 전류 적분기(ITG1)의 입력으로 인가하고, 상술한 센싱 유닛의 동작을 수행하는 경우, 아래 수학적 식 7과 같이 제1 적분 커패시터(C\_ITG1)의 값을 정확하게 검출할 수 있다.

## 수학식 7

$$C_{ITG1} = \frac{IREF(S2 - S1)}{VOP - VON}$$

[0093]

[0095]

상기와 같이 검출된 적분 커패시터( $C_{ITG1}$ )를 이용하여 센싱 동작을 수행하는 경우, 더욱 정확한 제1 전류( $I_a$ )의 값을 검출할 수 있고, 타이밍 컨트롤러(400)는 제1 전류에 기초하여 생성된 센싱값(SD)에 대한 보상 알고리즘을 적용하여 보상 데이터를 저장 및 적용할 수 있다.

[0096]

이상 첨부된 도면을 참조하여 본 발명의 실시 예들을 설명하였으나, 본 발명은 상기 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

## 부호의 설명

[0097]

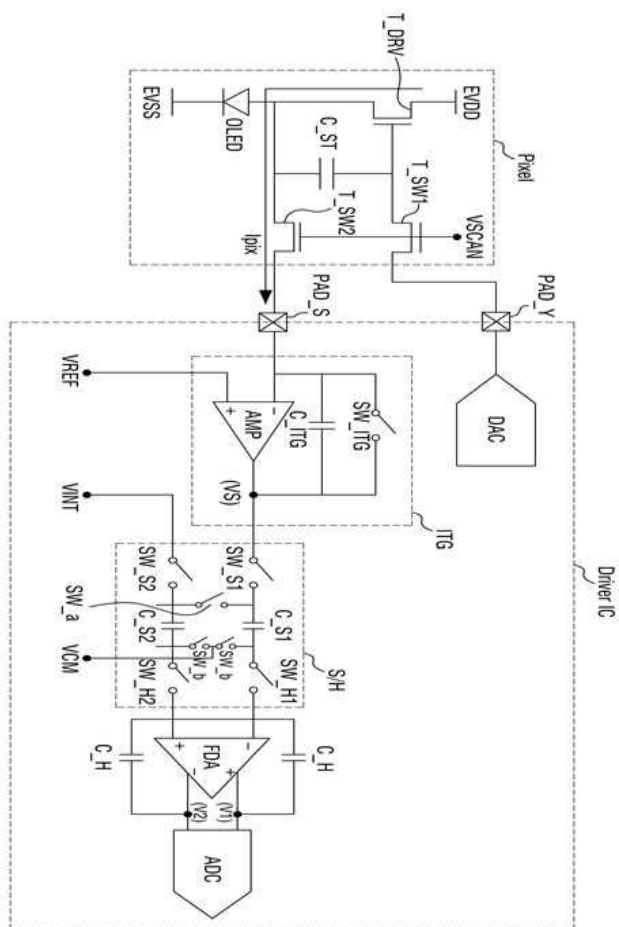
10: 유기 발광 표시 장치      100: 디스플레이 패널  
200: 데이터 구동 회로      300: 게이트 구동 회로  
400: 타이밍 컨트롤러      500: 메모리

## 도면

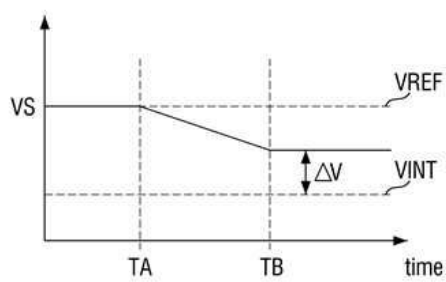
### 도면1



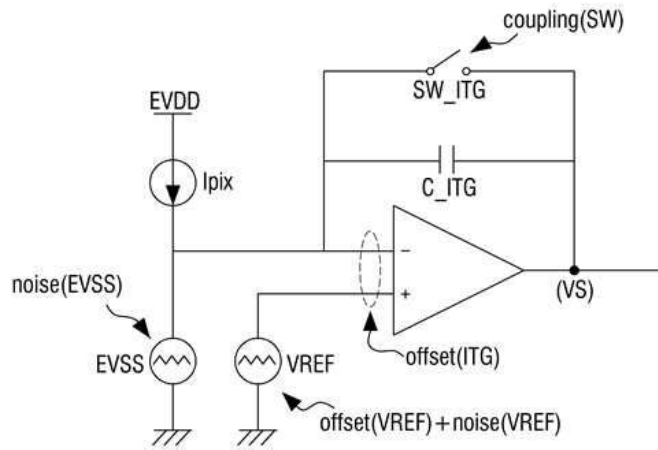
도면2a



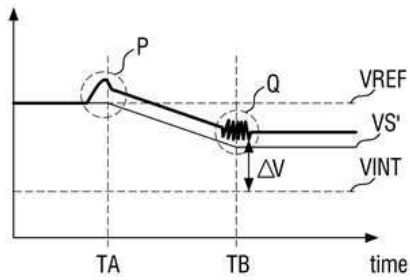
도면 2b



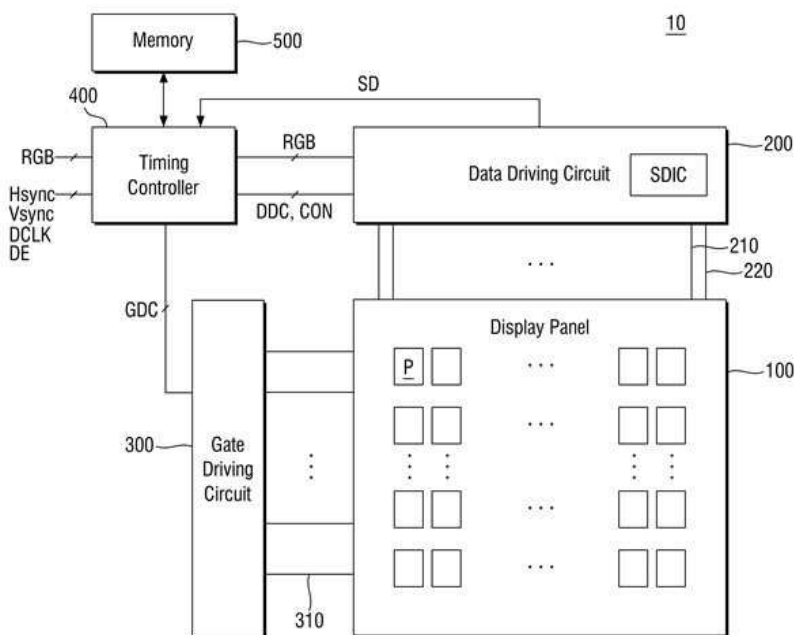
도면3a



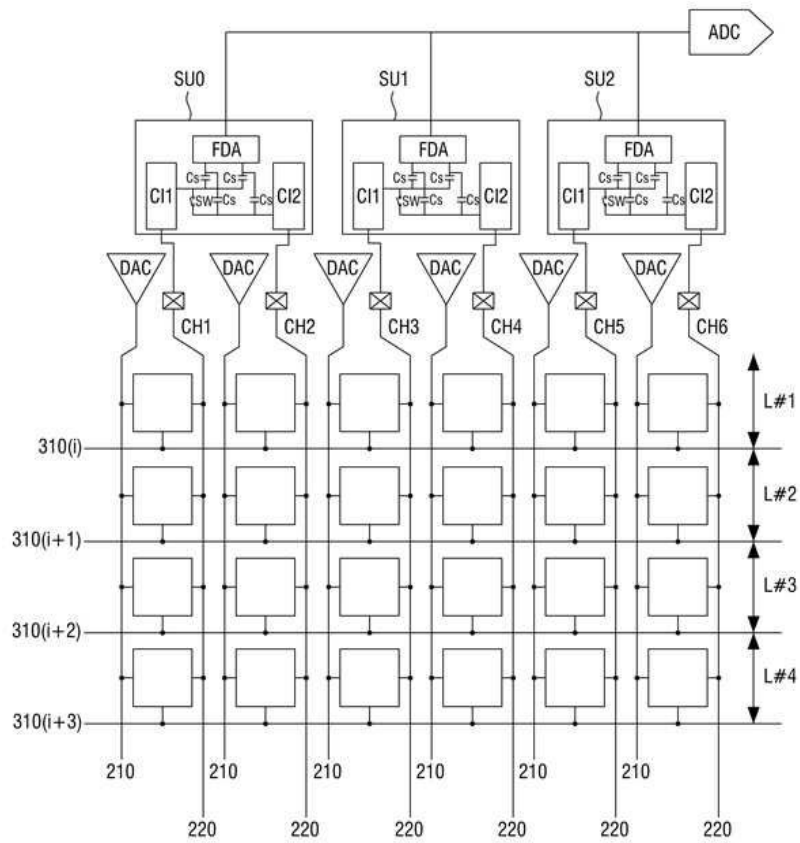
도면3b



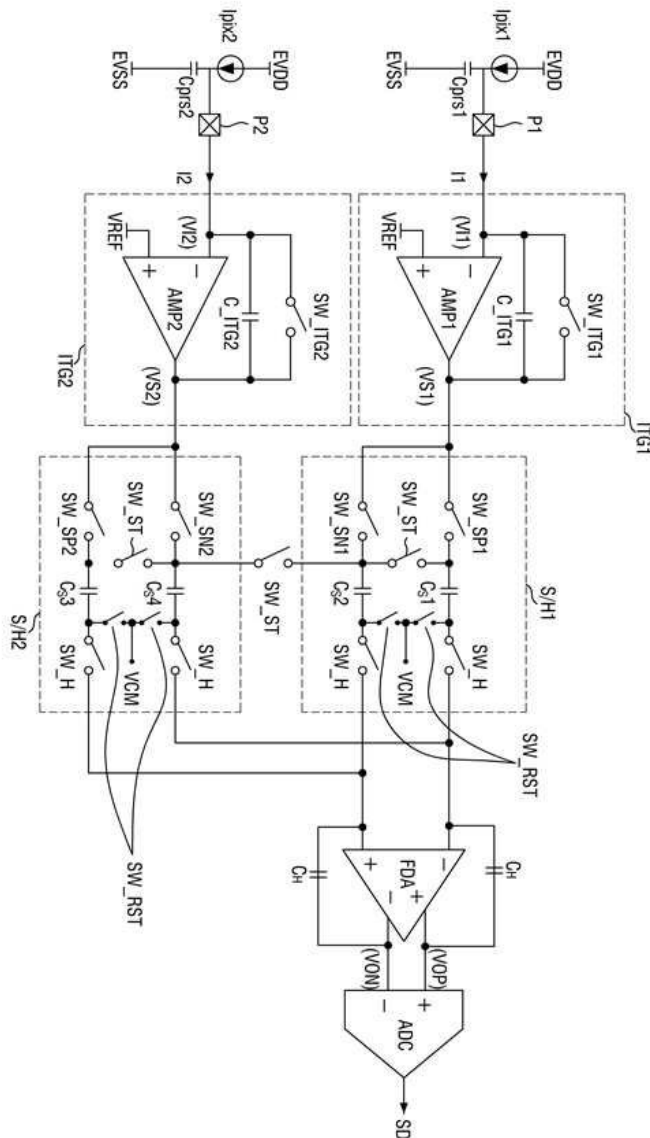
도면4



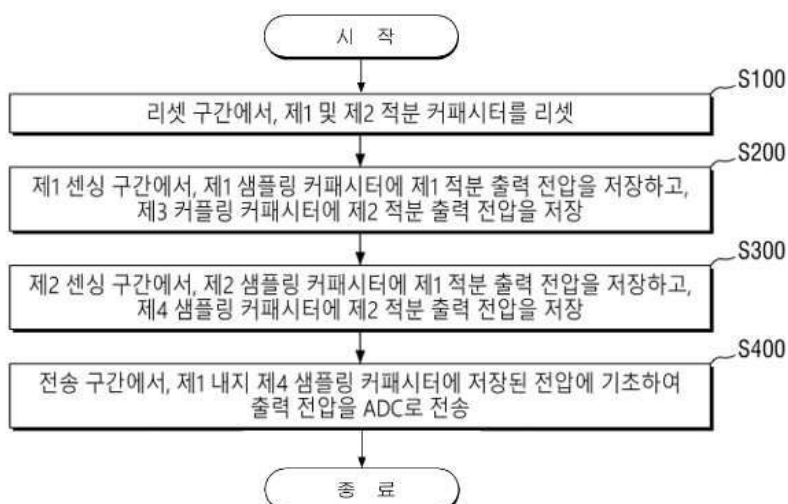
도면5



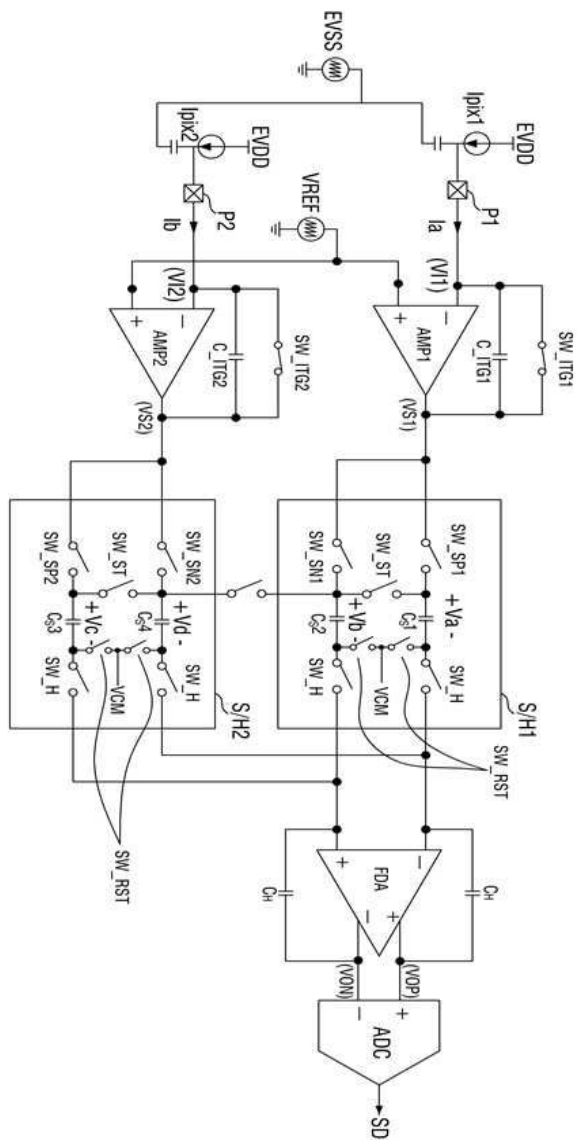
도면6



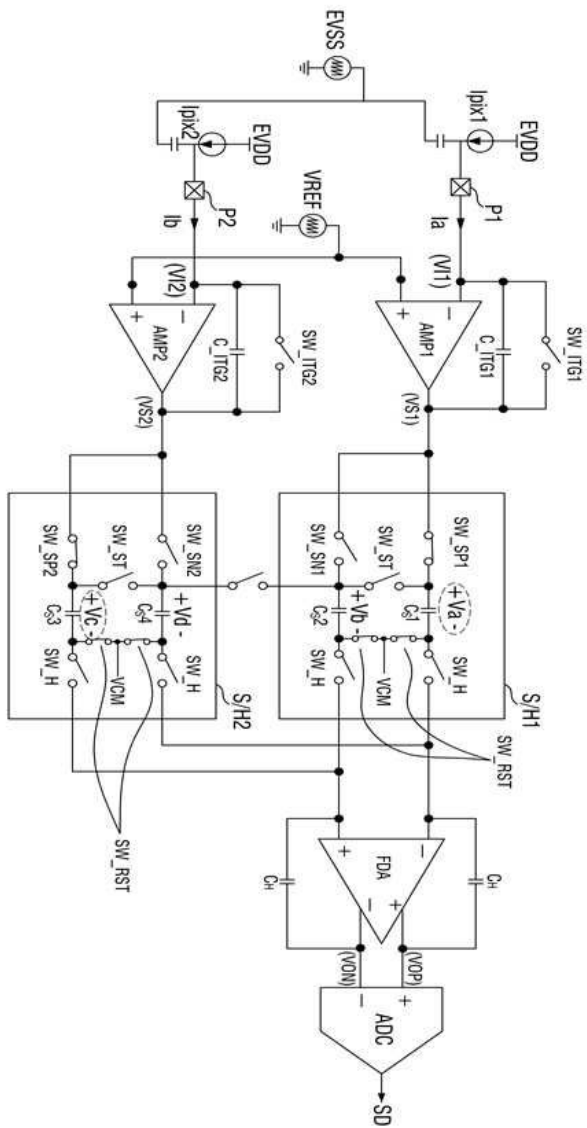
도면7



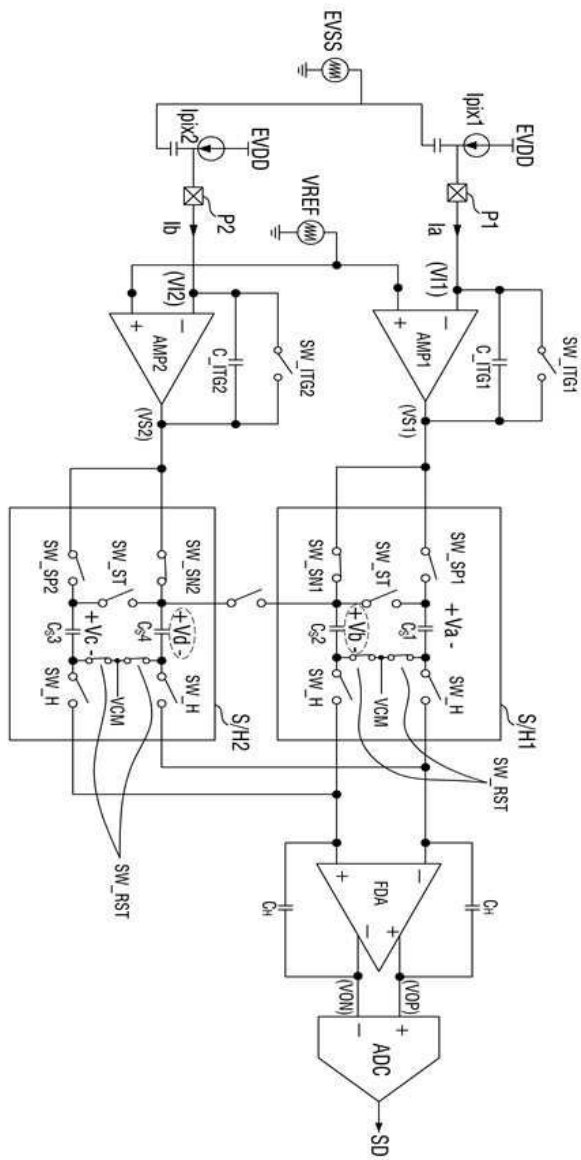
도면 8a



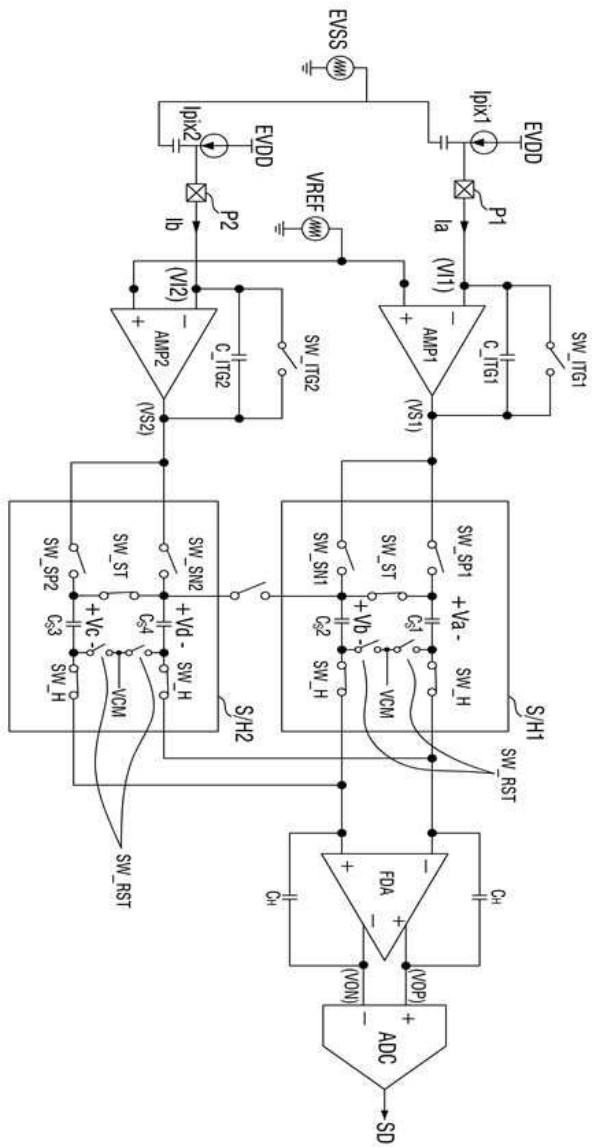
도면8b



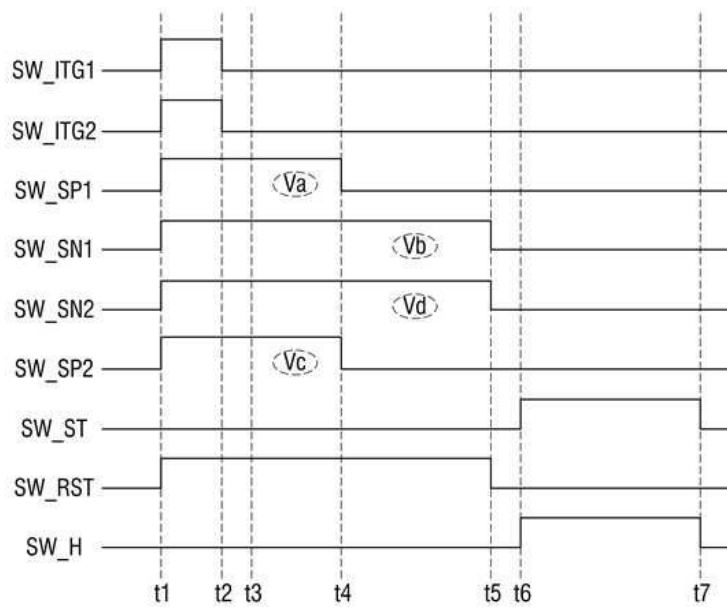
도면8c



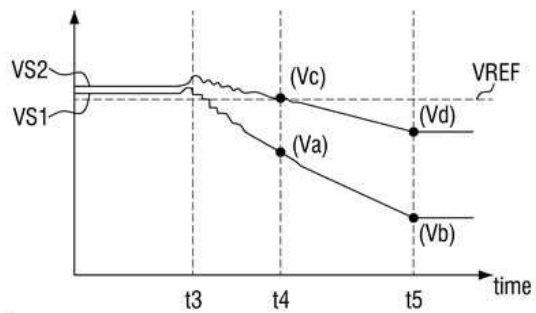
도면8d



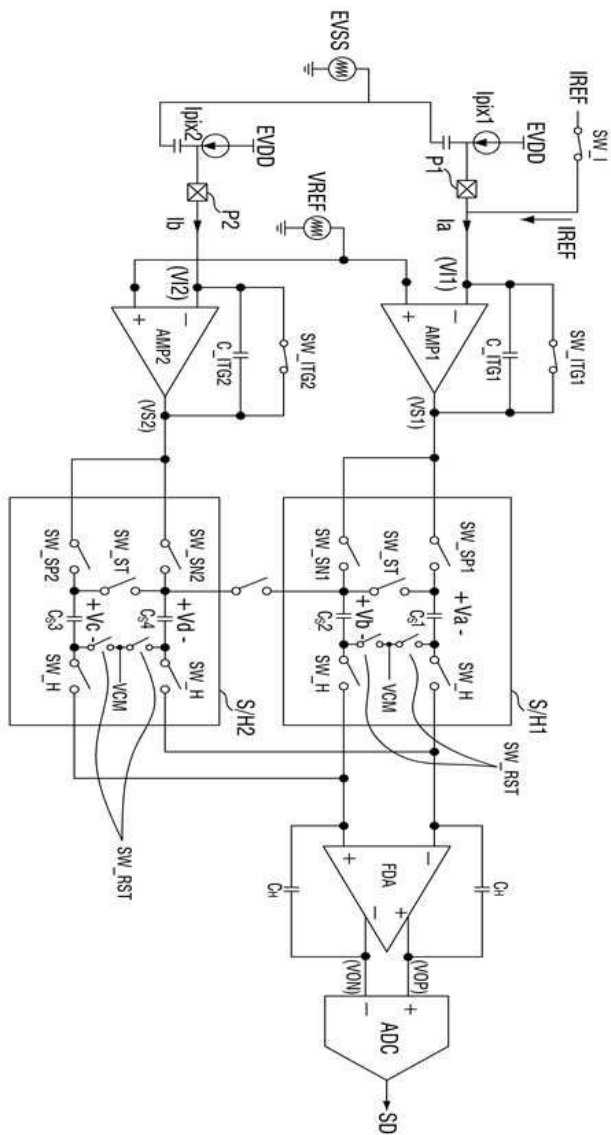
도면9



도면10



도면11



도면12

