



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0141776
(43) 공개일자 2025년09월29일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)</p> <p>(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0426 (2013.01)</p> <p>(21) 출원번호 10-2025-7028977</p> <p>(22) 출원일자(국제) 2023년07월31일
심사청구일자 2025년08월29일</p> <p>(85) 번역문제출일자 2025년08월29일</p> <p>(86) 국제출원번호 PCT/CN2023/110179</p> <p>(87) 국제공개번호 WO 2024/178907
국제공개일자 2024년09월06일</p> <p>(30) 우선권주장
202310187094.7 2023년03월01일 중국(CN)</p> | <p>(71) 출원인
쿤산 고-비전텍스 옵토-일렉트로닉스 씨오., 엘티디.
중국 지양수 215300 쿤산, 디벨롭먼트 존, 룡텡 로드, 넘버 1, 빌딩 4</p> <p>(72) 발명자
구오, 옌칭
중국 지양수 215300 쑤저우 쿤산 디벨롭먼트 존 룡텡 로드 넘버 1 빌딩 4
가이, 쿠일리
중국 지양수 215300 쑤저우 쿤산 디벨롭먼트 존 룡텡 로드 넘버 1 빌딩 4
(뒷면에 계속)</p> <p>(74) 대리인
특허법인다나</p> |
|--|---|

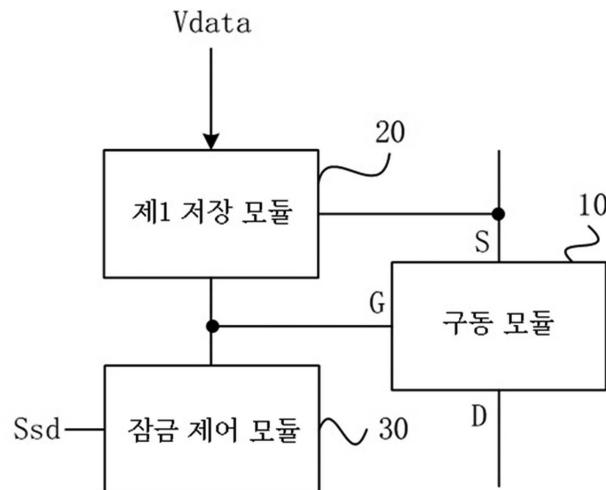
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 픽셀 회로 및 그의 구동 방법, 디스플레이 패널

(57) 요약

본 출원에서는 픽셀 회로 및 그의 구동 방법, 디스플레이 패널을 개시한다. 픽셀 회로는 구동 모듈(10), 제1 저장 모듈(20), 잠금 제어 모듈(30)을 포함하되, 구동 모듈(10)은 구동 모듈(10)의 제어단과 제1 단 사이의 전위차에 따라 구동 전류를 생성하고; 제1 저장 모듈(20)의 제1 단은 구동 모듈(10)의 제어단에 전기적으로 연결되고, 제2 단은 구동 모듈(10)의 제1 단에 전기적으로 연결되며; 잠금 제어 모듈(30)의 제어단은 잠금 제어 신호가 접속되도록 구성되고, 제1 단은 구동 모듈(10)의 제어단에 전기적으로 연결되며; 제1 저장 모듈(20)의 제2 단 또는 잠금 제어 모듈(30)의 제2 단은 데이터 신호가 접속되도록 구성되며; 잠금 제어 모듈(30)은 신호 잠금 시점에, 잠금 제어 신호에 응답하여 턴오프되고, 구동 모듈(10)의 제어단 전위를 플로팅시키도록 구성되며, 제1 저장 모듈(20)은 신호 잠금 시점에 접속되는 데이터 신호와 연관된 전압을 저장하도록 구성된다.

대표도 - 도1



(52) CPC특허분류

G09G 2300/043 (2013.01)
G09G 2300/0852 (2013.01)
G09G 2310/0251 (2013.01)
G09G 2310/061 (2013.01)
G09G 2320/02 (2013.01)

(72) 발명자

리, 준평

중국 지양수 215300 쑤저우 쿤산 디벨롭먼트 존 룽
텅 로드 넘버 1 빌딩 4

상, 루보

중국 지양수 215300 쑤저우 쿤산 디벨롭먼트 존 룽
텅 로드 넘버 1 빌딩 4

명세서

청구범위

청구항 1

픽셀 회로에 있어서,

구동 모듈, 제1 저장 모듈, 잠금 제어 모듈을 포함하되,

상기 구동 모듈은 상기 구동 모듈의 제어단과 제1 단 사이의 전위차에 따라 구동 전류를 생성하여, 발광 소자를 구동하여 발광시키도록 구성되고;

상기 제1 저장 모듈의 제1 단은 상기 구동 모듈의 제어단에 전기적으로 연결되고, 상기 제1 저장 모듈의 제2 단은 상기 구동 모듈의 제1 단에 전기적으로 연결되며;

상기 잠금 제어 모듈의 제어단은 잠금 제어 신호가 접속되도록 구성되고, 상기 잠금 제어 모듈의 제1 단은 상기 구동 모듈의 제어단에 전기적으로 연결되고; 상기 제1 저장 모듈의 제2 단 또는 상기 잠금 제어 모듈의 제2 단은 데이터 신호가 접속되도록 구성되며;

상기 잠금 제어 모듈은 신호 잠금 시점에, 상기 잠금 제어 신호에 응답하여 턴오프되고, 상기 구동 모듈의 제어단 전위를 플로팅시키도록 구성되며, 상기 제1 저장 모듈은 상기 신호 잠금 시점에 접속되는 데이터 신호와 연관된 전압을 저장하도록 구성되는 픽셀 회로.

청구항 2

제 1 항에 있어서,

상기 제1 저장 모듈은 제1 커패시터를 포함하되, 상기 제1 커패시터의 제1 단을 상기 제1 저장 모듈의 제1 단으로 사용하고, 상기 제1 커패시터의 제2 단을 상기 제1 저장 모듈의 제2 단으로 사용하며;

상기 잠금 제어 모듈은 제1 트랜지스터를 포함하고; 상기 제1 트랜지스터의 게이트를 상기 잠금 제어 모듈의 제어단으로 사용하고, 상기 제1 트랜지스터의 제1 극을 상기 잠금 제어 모듈의 제1 단으로 사용하며, 상기 제1 트랜지스터의 제2 극을 상기 잠금 제어 모듈의 제2 단으로 사용하는 픽셀 회로.

청구항 3

제 1 항에 있어서,

상기 제1 저장 모듈의 제2 단은 상기 데이터 신호가 접속되도록 구성되고, 상기 잠금 제어 모듈의 제2 단은 제1 참조 신호선에 연결되도록 구성되며;

상기 픽셀 회로는 제1 데이터 전송 모듈, 제2 저장 모듈을 더 포함하되,

상기 제1 데이터 전송 모듈은 데이터 기입 단계에 턴온되고, 상기 데이터 신호를 상기 제1 데이터 전송 모듈의 출력단에 전송하도록 구성되며; 여기서, 상기 데이터 기입 단계는 상기 신호 잠금 시점을 포함하며;

상기 제2 저장 모듈은 상기 제1 데이터 전송 모듈의 출력단과 상기 제1 저장 모듈의 제2 단 사이에 연결되고, 상기 제1 데이터 전송 모듈의 출력단의 전위 점프를 상기 제1 저장 모듈의 제2 단에 커플링하도록 구성되는 픽셀 회로.

청구항 4

제 3 항에 있어서,

제1 리셋 모듈, 제2 리셋 모듈, 제1 발광 제어 모듈을 더 포함하되,

상기 제1 리셋 모듈은 상기 제1 데이터 전송 모듈의 출력단에 전기적으로 연결되고, 상기 데이터 기입 단계 전에 턴온되며, 제1 리셋 신호를 사용하여 상기 제2 저장 모듈을 리셋하도록 구성되고;

상기 제2 리셋 모듈은 상기 구동 모듈의 제2 단에 전기적으로 연결되고, 임계값 보상 단계에 턴온되어, 상기 구

동 모듈의 제1 단이 상기 구동 모듈과 상기 제2 리셋 모듈을 통해 방전되어, 상기 제1 저장 모듈이 상기 구동 모듈의 임계값 전압을 저장하도록 구성되며; 여기서, 상기 임계값 보상 단계는 상기 데이터 기입 단계 전에 구성되고;

상기 제1 발광 제어 모듈은 제1 전원과 제2 전원 사이에 상기 구동 모듈 및 상기 발광 소자와 직렬로 연결되고, 초기화 단계 및 발광 단계에 턴온되도록 구성되며; 여기서, 상기 초기화 단계는 상기 임계값 보상 단계 전에 구성되고, 상기 발광 단계는 상기 데이터 기입 단계 후에 구성되는 픽셀 회로.

청구항 5

제 1 항에 있어서,

상기 잠금 제어 모듈의 제2 단은 상기 데이터 신호가 접속되도록 구성되고;

상기 픽셀 회로는 제2 데이터 전송 모듈, 제3 저장 모듈, 참조 신호 전송 모듈을 더 포함하되,

상기 제2 데이터 전송 모듈은 데이터 기입 단계에 턴온되고, 상기 데이터 신호를 상기 제2 데이터 전송 모듈의 출력단에 전송하도록 구성되며; 여기서, 상기 데이터 기입 단계는 상기 신호 잠금 시점을 포함하며;

상기 제3 저장 모듈은 상기 제2 데이터 전송 모듈의 출력단과 상기 잠금 제어 모듈의 제2 단 사이에 연결되고, 상기 제2 데이터 전송 모듈의 출력단의 전위 점프를 상기 잠금 제어 모듈의 제2 단에 커플링하도록 구성되며;

상기 참조 신호 전송 모듈은 전송 제어 신호에 응답하여 턴온되고, 제2 참조 신호를 상기 제1 저장 모듈의 제2 단에 전송하도록 구성되며; 여기서, 상기 참조 신호 전송 모듈과 상기 잠금 제어 모듈은 동시에 턴오프되거나, 상기 참조 신호 전송 모듈은 상기 잠금 제어 모듈보다 늦게 턴오프되는 픽셀 회로.

청구항 6

제 5 항에 있어서,

상기 잠금 제어 신호를 상기 전송 제어 신호로 다중화하는 픽셀 회로.

청구항 7

제 5 항에 있어서,

제3 리셋 모듈, 제2 발광 제어 모듈, 제3 발광 제어 모듈을 더 포함하되,

상기 제3 리셋 모듈은 상기 제2 데이터 전송 모듈의 출력단에 전기적으로 연결되고, 상기 데이터 기입 단계 전에, 제2 리셋 신호를 사용하여 상기 제3 저장 모듈을 리셋하도록 구성되며;

상기 제2 발광 제어 모듈은 제1 전원과 상기 구동 모듈의 제2 단 사이에 연결되고, 발광 단계에 턴온되도록 구성되며; 여기서, 상기 발광 단계는 상기 데이터 기입 단계 후에 구성되고;

상기 제3 발광 제어 모듈은 상기 구동 모듈의 제1 단과 상기 발광 소자의 양극 사이에 연결되고, 상기 데이터 기입 단계 전 및 상기 발광 단계에 턴온되도록 구성되며;

여기서, 상기 제1 저장 모듈의 제2 단은 직접 상기 구동 모듈의 제1 단에 전기적으로 연결되거나, 상기 제3 발광 제어 모듈을 통해 상기 구동 모듈의 제1 단에 전기적으로 연결되는 픽셀 회로.

청구항 8

제 7 항에 있어서,

상기 제3 리셋 모듈의 제어단과 상기 제3 발광 제어 모듈의 제어단은 동일한 제어 신호선에 연결되는 픽셀 회로.

청구항 9

제 1 항에 있어서,

상기 잠금 제어 모듈의 제2 단은 상기 데이터 신호가 접속되도록 구성되고;

상기 픽셀 회로는 제4 저장 모듈을 더 포함하고,

상기 제4 저장 모듈의 제1 단은 상기 제1 저장 모듈의 제2 단에 전기적으로 연결되고, 상기 제4 저장 모듈의 제2 단은 제1 전원에 연결되는 픽셀 회로.

청구항 10

제 9 항에 있어서,

제4 리셋 모듈, 제5 리셋 모듈, 제4 발광 제어 모듈을 더 포함하되,

상기 제4 리셋 모듈은 상기 제1 저장 모듈의 제2 단에 전기적으로 연결되고, 초기화 단계에 턴온되고, 임계값 보상 단계에 턴오프되도록 구성되며, 여기서, 상기 임계값 보상 단계는 데이터 기입 단계 전에 구성되고, 상기 초기화 단계는 상기 임계값 보상 단계 전에 구성되며, 상기 데이터 기입 단계는 상기 신호 잠금 시점을 포함하고;

상기 제5 리셋 모듈은 상기 제1 저장 모듈의 제1 단에 전기적으로 연결되고, 상기 데이터 기입 단계 전에 턴온되도록 구성되며, 제3 리셋 신호를 상기 제1 저장 모듈의 제1 단에 전송하고;

상기 제4 발광 제어 모듈은 제1 전원과 상기 구동 모듈의 제2 단 사이에 연결되고, 상기 데이터 기입 단계 전 및 발광 단계에 턴온되도록 구성되며; 여기서, 상기 발광 단계는 상기 데이터 기입 단계 후에 구성되는 픽셀 회로.

청구항 11

제 3 항에 있어서,

상기 제1 데이터 전송 모듈은 제2 트랜지스터를 포함하되, 상기 제2 트랜지스터의 게이트는 제1 주사선에 연결되도록 구성되고, 상기 제2 트랜지스터의 제1 극은 데이터선에 연결되도록 구성되며, 상기 제2 트랜지스터의 제2 극을 상기 제1 데이터 전송 모듈의 출력단으로 사용하고;

상기 제2 저장 모듈은 제2 커패시터를 포함하되, 상기 제2 커패시터의 제1 단은 상기 제1 데이터 전송 모듈의 출력단에 전기적으로 연결되고, 상기 제2 커패시터의 제2 단은 상기 제1 저장 모듈의 제2 단에 전기적으로 연결되는 픽셀 회로.

청구항 12

제 5 항에 있어서,

상기 제2 데이터 전송 모듈은 제3 트랜지스터를 포함하고, 상기 제3 트랜지스터의 게이트는 제2 주사선에 연결되도록 구성되며, 상기 제3 트랜지스터의 제1 극은 데이터선에 연결되도록 구성되고, 상기 제3 트랜지스터의 제2 극을 상기 제2 데이터 전송 모듈의 출력단으로 사용하며;

상기 제3 저장 모듈은 제3 커패시터를 포함하되, 상기 제3 커패시터의 제1 단은 상기 제2 데이터 전송 모듈의 출력단에 전기적으로 연결되고, 상기 제3 커패시터의 제2 단은 상기 잠금 제어 모듈의 제2 단에 전기적으로 연결되며;

상기 참조 신호 전송 모듈은 제4 트랜지스터를 포함하며, 상기 제4 트랜지스터의 게이트는 전송 제어 신호선에 연결되도록 구성되고, 상기 제4 트랜지스터의 제1 극은 제2 참조 신호선에 연결되고, 상기 제4 트랜지스터의 제2 극은 상기 제1 저장 모듈의 제2 단에 연결되는 픽셀 회로.

청구항 13

제 7 항에 있어서,

상기 제4 저장 모듈은 제4 커패시터를 포함하고, 상기 제4 커패시터의 제1 단을 상기 제4 저장 모듈의 제1 단으로 사용하며, 상기 제4 커패시터의 제2 단을 상기 제4 저장 모듈의 제2 단으로 사용하는 픽셀 회로.

청구항 14

제 1 항 내지 제 13 항 중 어느 한 항에 따른 픽셀 회로를 포함하는 디스플레이 패널.

청구항 15

제 1 항 내지 제 13 항 중 어느 한 항에 따른 픽셀 회로를 구동하는 데 사용되는 픽셀 회로의 구동 방법에 있어서,

상기 구동 방법은 데이터 기입 단계 및 발광 단계를 포함하고; 여기서 상기 데이터 기입 단계는 신호 잠금 시점을 포함하며;

상기 데이터 기입 단계에서, 상기 신호 잠금 시점 전에, 상기 잠금 제어 신호는 상기 잠금 제어 모듈이 턴온되도록 제어하여, 상기 제1 저장 모듈의 양단의 전위차가 상기 데이터 신호의 변화에 따라 변경되도록 하고;

상기 신호 잠금 시점에, 상기 잠금 제어 신호는 전위 점프를 수행하고, 상기 잠금 제어 모듈이 턴오프되도록 제어하여, 상기 구동 모듈의 제어단 전위를 플로팅시키고, 상기 제1 저장 모듈은 상기 신호 잠금 시점에 접속된 데이터 신호와 연관된 전압을 저장하며;

상기 발광 단계에서, 상기 구동 모듈은 상기 신호 잠금 시점에 상기 제1 저장 모듈에 저장된 전압에 따라 구동 전류를 생성하고, 발광 소자를 구동하여 발광시키는 픽셀 회로의 구동 방법.

발명의 설명

기술 분야

[0001] 본 출원은 2023년 03월 01일에 중국 특허청에 제출된, 출원번호가 202310187094.7인 중국 특허출원의 우선권을 주장하며, 해당 출원의 전부 내용은 참조로서 본 출원에 포함된다.

[0002] 본 출원은 디스플레이 기술분야에 관한 것으로서, 예를 들어 픽셀 회로 및 그의 구동 방법, 디스플레이 패널에 관한 것이다.

배경 기술

[0003] 디스플레이 기술이 지속적으로 발전함에 따라, 디스플레이 패널의 응용 범위가 점점 더 넓어지고 있으며, 디스플레이 패널에 대한 사람들의 요구 또한 점점 더 높아지고 있다. 디스플레이 패널의 픽셀 회로는 발광 소자의 안정적인 발광에 매우 중요한 역할을 한다. 그러나 픽셀 회로의 구동 과정에서, 데이터 기입 효과가 좋지 않아 디스플레이 패널의 디스플레이 효과에 영향을 미친다.

발명의 내용

해결하려는 과제

[0004] 본 출원은 픽셀 회로 및 그의 구동 방법, 디스플레이 패널을 제공함으로써, 픽셀 회로의 데이터 기입 효과를 향상시키고, 따라서 디스플레이 패널의 디스플레이 효과를 향상시킨다.

과제의 해결 수단

[0005] 본 출원의 실시예에서는 픽셀 회로를 제공하며, 상기 픽셀 회로는 구동 모듈, 제1 저장 모듈, 잠금 제어 모듈을 포함하되,

[0006] 상기 구동 모듈은 상기 구동 모듈의 제어단과 제1 단 사이의 전위차에 따라 구동 전류를 생성하여, 발광 소자를 구동하여 발광시키도록 구성되고;

[0007] 상기 제1 저장 모듈의 제1 단은 상기 구동 모듈의 제어단에 전기적으로 연결되고, 상기 제1 저장 모듈의 제2 단은 상기 구동 모듈의 제1 단에 전기적으로 연결되며;

[0008] 상기 잠금 제어 모듈의 제어단은 잠금 제어 신호가 접속되도록 구성되고, 상기 잠금 제어 모듈의 제1 단은 상기 구동 모듈의 제어단에 전기적으로 연결되고; 상기 제1 저장 모듈의 제2 단 또는 상기 잠금 제어 모듈의 제2 단은 데이터 신호가 접속되도록 구성되며;

[0009] 상기 잠금 제어 모듈은 신호 잠금 시점에, 상기 잠금 제어 신호에 응답하여 턴오프되고, 상기 구동 모듈의 제어단 전위를 플로팅시키도록 구성되며, 상기 제1 저장 모듈은 상기 신호 잠금 시점에 접속되는 데이터 신호와 연관된 전압을 저장하도록 구성된다.

[0010] 선택적으로, 상기 제1 저장 모듈은 제1 커패시터를 포함하되, 상기 제1 커패시터의 제1 단을 상기 제1 저장 모

들의 제1 단으로 사용하고, 상기 제1 커패시터의 제2 단을 상기 제1 저장 모듈의 제2 단으로 사용하며;

- [0011] 상기 잠금 제어 모듈은 제1 트랜지스터를 포함하되; 상기 제1 트랜지스터의 게이트를 상기 잠금 제어 모듈의 제어단으로 사용하고, 상기 제1 트랜지스터의 제1 극을 상기 잠금 제어 모듈의 제1 단으로 사용하며, 상기 제1 트랜지스터의 제2 극을 상기 잠금 제어 모듈의 제2 단으로 사용한다.
- [0012] 선택적으로, 상기 제1 저장 모듈의 제2 단은 상기 데이터 신호가 접속되도록 구성되고, 상기 잠금 제어 모듈의 제2 단은 제1 참조 신호선에 연결되도록 구성되며;
- [0013] 상기 픽셀 회로는 제1 데이터 전송 모듈, 제2 저장 모듈을 더 포함하되,
- [0014] 상기 제1 데이터 전송 모듈은 데이터 기입 단계에 턴온되고, 상기 데이터 신호를 상기 제1 데이터 전송 모듈의 출력단에 전송하도록 구성되며; 여기서, 상기 데이터 기입 단계는 상기 신호 잠금 시점을 포함하며;
- [0015] 상기 제2 저장 모듈은 상기 제1 데이터 전송 모듈의 출력단과 상기 제1 저장 모듈의 제2 단 사이에 연결되고, 상기 제1 데이터 전송 모듈의 출력단의 전위 점프를 상기 제1 저장 모듈의 제2 단에 커플링하도록 구성되며;
- [0016] 선택적으로, 상기 제1 데이터 전송 모듈은 제2 트랜지스터를 포함하되, 상기 제2 트랜지스터의 게이트는 제1 주사선에 연결되도록 구성되고, 상기 제2 트랜지스터의 제1 극은 데이터선에 연결되도록 구성되며, 상기 제2 트랜지스터의 제2 극을 상기 제1 데이터 전송 모듈의 출력단으로 사용하고;
- [0017] 상기 제2 저장 모듈은 제2 커패시터를 포함하되, 상기 제2 커패시터의 제1 단은 상기 제1 데이터 전송 모듈의 출력단에 전기적으로 연결되고, 상기 제2 커패시터의 제2 단은 상기 제1 저장 모듈의 제2 단에 전기적으로 연결된다.
- [0018] 선택적으로, 상기 픽셀 회로는 제1 리셋 모듈, 제2 리셋 모듈, 제1 발광 제어 모듈을 더 포함하되,
- [0019] 상기 제1 리셋 모듈은 상기 제1 데이터 전송 모듈의 출력단에 전기적으로 연결되고, 상기 데이터 기입 단계 전에 턴온되며, 제1 리셋 신호를 사용하여 상기 제2 저장 모듈을 리셋하도록 구성되고; 상기 제2 리셋 모듈은 상기 구동 모듈의 제2 단에 전기적으로 연결되고, 임계값 보상 단계에 턴온되어, 상기 구동 모듈의 제1 단이 상기 구동 모듈과 상기 제2 리셋 모듈을 통해 방전되어, 상기 제1 저장 모듈이 상기 구동 모듈의 임계값 전압을 저장하도록 구성되며; 여기서, 상기 임계값 보상 단계는 상기 데이터 기입 단계 전에 구성되고;
- [0020] 상기 제1 발광 제어 모듈은 제1 전원과 제2 전원 사이에 상기 구동 모듈 및 상기 발광 소자와 직렬로 연결되고, 초기화 단계 및 발광 단계에 턴온되도록 구성되며; 여기서, 상기 초기화 단계는 상기 임계값 보상 단계 전에 구성되고, 상기 발광 단계는 상기 데이터 기입 단계 후에 구성된다.
- [0021] 선택적으로, 상기 잠금 제어 모듈의 제2 단은 상기 데이터 신호가 접속되도록 구성되고;
- [0022] 상기 픽셀 회로는 제2 데이터 전송 모듈, 제3 저장 모듈, 참조 신호 전송 모듈을 더 포함한다.
- [0023] 상기 제2 데이터 전송 모듈은 데이터 기입 단계에 턴온되고, 상기 데이터 신호를 상기 제2 데이터 전송 모듈의 출력단에 전송하도록 구성되며; 여기서, 상기 데이터 기입 단계는 상기 신호 잠금 시점을 포함하며;
- [0024] 상기 제3 저장 모듈은 상기 제2 데이터 전송 모듈의 출력단과 상기 잠금 제어 모듈의 제2 단 사이에 연결되고, 상기 제2 데이터 전송 모듈의 출력단의 전위 점프를 상기 잠금 제어 모듈의 제2 단에 커플링하도록 구성되며;
- [0025] 상기 참조 신호 전송 모듈은 전송 제어 신호에 응답하여 턴온되고, 제2 참조 신호를 상기 제1 저장 모듈의 제2 단에 전송하도록 구성되며; 여기서, 상기 참조 신호 전송 모듈과 상기 잠금 제어 모듈은 동시에 턴오프되거나, 상기 참조 신호 전송 모듈은 상기 잠금 제어 모듈보다 늦게 턴오프되며;
- [0026] 선택적으로, 상기 잠금 제어 신호를 상기 전송 제어 신호로 다중화되고;
- [0027] 선택적으로, 상기 제2 데이터 전송 모듈은 제3 트랜지스터를 포함하고, 상기 제3 트랜지스터의 게이트는 제2 주사선에 연결되도록 구성되며, 상기 제3 트랜지스터의 제1 극은 데이터선에 연결되도록 구성되고, 상기 제3 트랜지스터의 제2 극을 상기 제2 데이터 전송 모듈의 출력단으로 사용하며;
- [0028] 상기 제3 저장 모듈은 제3 커패시터를 포함하되, 상기 제3 커패시터의 제1 단은 상기 제2 데이터 전송 모듈의 출력단에 전기적으로 연결되고, 상기 제3 커패시터의 제2 단은 잠금 제어 모듈의 제2 단에 전기적으로 연결되며;
- [0029] 상기 참조 신호 전송 모듈은 제4 트랜지스터를 포함하며, 상기 제4 트랜지스터의 게이트는 전송 제어 신호선에

연결되도록 구성되고, 상기 제4 트랜지스터의 제1 극은 제2 참조 신호선에 연결되고, 상기 제4 트랜지스터의 제2 극은 상기 제1 저장 모듈의 제2 단에 연결된다.

- [0030] 선택적으로, 상기 픽셀 회로는 제3 리셋 모듈, 제2 발광 제어 모듈, 제3 발광 제어 모듈을 더 포함한다.
- [0031] 상기 제3 리셋 모듈은 상기 제2 데이터 전송 모듈의 출력단에 전기적으로 연결되고, 상기 데이터 기입 단계 전에, 제2 리셋 신호를 사용하여 상기 제3 저장 모듈을 리셋하도록 구성되며;
- [0032] 상기 제2 발광 제어 모듈은 제1 전원과 상기 구동 모듈의 제2 단 사이에 연결되고, 발광 단계에 턴온되도록 구성되며; 여기서, 상기 발광 단계는 상기 데이터 기입 단계 후에 구성되고;
- [0033] 상기 제3 발광 제어 모듈은 상기 구동 모듈의 제1 단과 상기 발광 소자의 양극 사이에 연결되고, 상기 데이터 기입 단계 전 및 상기 발광 단계에 턴온되도록 구성되며;
- [0034] 상기 제1 저장 모듈의 제2 단은 직접 상기 구동 모듈의 제1 단에 전기적으로 연결되거나, 상기 제3 발광 제어 모듈을 통해 상기 구동 모듈의 제1 단에 전기적으로 연결되며;
- [0035] 선택적으로, 상기 제3 리셋 모듈의 제어단과 상기 제3 발광 제어 모듈의 제어단은 동일한 제어 신호선에 연결된다.
- [0036] 선택적으로, 상기 잠금 제어 모듈의 제2 단은 상기 데이터 신호가 접속되도록 구성되고;
- [0037] 상기 픽셀 회로는 제4 저장 모듈을 더 포함하고,
- [0038] 상기 제4 저장 모듈의 제1 단은 상기 제1 저장 모듈의 제2 단에 전기적으로 연결되고, 상기 제4 저장 모듈의 제2 단은 제1 전원에 연결되며;
- [0039] 선택적으로, 상기 제4 저장 모듈은 제4 커패시터를 포함하고, 상기 제4 커패시터의 제1 단을 상기 제4 저장 모듈의 제1 단으로 사용하며, 상기 제4 커패시터의 제2 단을 상기 제4 저장 모듈의 제2 단으로 사용한다.
- [0040] 선택적으로, 상기 픽셀 회로는 제4 리셋 모듈, 제5 리셋 모듈, 제4 발광 제어 모듈을 더 포함한다.
- [0041] 상기 제4 리셋 모듈은 상기 제1 저장 모듈의 제2 단에 전기적으로 연결되고, 초기화 단계에 턴온되고, 임계값 보상 단계에 턴오프되도록 구성되며, 여기서, 상기 임계값 보상 단계는 데이터 기입 단계 전에 구성되고, 상기 초기화 단계는 상기 임계값 보상 단계 전에 구성되며, 상기 데이터 기입 단계는 상기 신호 잠금 시점을 포함하고;
- [0042] 상기 제5 리셋 모듈은 상기 제1 저장 모듈의 제1 단에 전기적으로 연결되고, 상기 데이터 기입 단계 전에 턴온되도록 구성되며, 제3 리셋 신호를 상기 제1 저장 모듈의 제1 단에 전송하고;
- [0043] 상기 제4 발광 제어 모듈은 제1 전원과 상기 구동 모듈의 제2 단 사이에 연결되고, 상기 데이터 기입 단계 전 및 발광 단계에 턴온되도록 구성되며; 여기서, 상기 발광 단계는 상기 데이터 기입 단계 후에 구성된다.
- [0044] 본 출원의 실시예는 본 출원의 임의의 실시예에서 제공하는 픽셀 회로를 포함하는 디스플레이 패널을 더 제공한다.
- [0045] 본 출원의 실시예는 본 출원의 임의의 실시예에서 제공하는 픽셀 회로를 구동하는 데 사용되는 픽셀 회로의 구동 방법을 제공하되, 상기 구동 방법은 데이터 기입 단계 및 발광 단계를 포함하고; 여기서 상기 데이터 기입 단계는 신호 잠금 시점을 포함하며;
- [0046] 상기 데이터 기입 단계에서, 상기 신호 잠금 시점 전에, 상기 잠금 제어 신호는 상기 잠금 제어 모듈이 턴온되도록 제어하여, 상기 제1 저장 모듈 양단의 전위차가 상기 데이터 신호의 변화에 따라 변경되도록 하고;
- [0047] 상기 신호 잠금 시점에, 상기 잠금 제어 신호는 전위 점프를 수행하고, 상기 잠금 제어 모듈이 턴오프되도록 제어하여, 상기 구동 모듈의 제어단 전위를 플로팅시키고, 상기 제1 저장 모듈은 상기 신호 잠금 시점에 접속된 데이터 신호와 연관된 전압을 저장하며;
- [0048] 상기 발광 단계에서, 상기 구동 모듈은 상기 신호 잠금 시점에 상기 제1 저장 모듈에 저장된 전압에 따라 구동 전류를 생성하고, 발광 소자를 구동하여 발광시킨다.

발명의 효과

- [0049] 본 출원의 실시예에서 제공하는 픽셀 회로에 있어서, 구동 모듈, 제1 저장 모듈 및 잠금 제어 모듈을 구성함으

로써, 새로운 데이터 기입 방식을 제공하여, 픽셀 회로에서 데이터 기입 경로가 구동 모듈 자체를 거치지 않고 제1 저장 모듈과 잠금 제어 모듈을 통과하도록 한다. 따라서, 본 출원의 실시예는 픽셀 회로의 데이터 기입 효과를 향상시킬 수 있고, 따라서 디스플레이 패널의 디스플레이 효과를 향상시킨다.

도면의 간단한 설명

[0050] 도 1은 본 출원의 실시예에서 제공하는 픽셀 회로의 구조 개략도이다.

도 2는 본 출원의 실시예에서 제공하는 다른 픽셀 회로의 구조 개략도이다.

도 3은 본 출원의 실시예에서 제공하는 픽셀 회로의 구동 시퀀스 개략도이다.

도 4는 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다.

도 5는 본 출원의 실시예에서 제공하는 다른 픽셀 회로의 구동 시퀀스 개략도이다.

도 6은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다.

도 7은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다.

도 8은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다.

도 9는 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구동 시퀀스 개략도이다.

도 10은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다.

도 11은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다.

도 12는 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다.

도 13은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구동 시퀀스 개략도이다.

도 14는 본 출원의 실시예에서 제공하는 디스플레이 패널의 구조 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0051] 본 출원의 실시예는 픽셀 회로를 제공한다. 도 1은 본 출원의 실시예에서 제공하는 픽셀 회로의 구조 개략도이다. 도 1을 참조하면, 해당 픽셀 회로는 구동 모듈(10), 제1 저장 모듈(20) 및 잠금 제어 모듈(30)을 포함한다.

[0052] 구동 모듈(10)은 구동 모듈(10)의 제어단(G)과 제1 단(S) 사이의 전위차에 따라 구동 전류를 생성하여, 발광 소자를 구동하여 발광하도록 구성된다. 제1 저장 모듈(20)의 제1 단은 구동 모듈(10)의 제어단(G)에 전기적으로 연결되고, 제1 저장 모듈(20)의 제2 단은 구동 모듈(10)의 제1 단(S)에 전기적으로 연결된다. 잠금 제어 모듈(30)의 제어단은 잠금 제어 신호(Ssd)가 접속되고, 잠금 제어 모듈(30)의 제1 단은 구동 모듈(10)의 제어단(G)에 전기적으로 연결되며; 제1 저장 모듈(20)의 제2 단 또는 잠금 제어 모듈(30)의 제2 단은 데이터 신호(Vdata)가 접속되도록 구성된다(도 1에서는 제1 저장 모듈(20)의 제2 단이 데이터 신호(Vdata)가 접속되도록 구성된 예를 나타낸다). 잠금 제어 모듈(30)은 신호 잠금 시점에 잠금 제어 신호(Ssd)에 응답하여 턴오프되고, 구동 모듈(10)의 제어단(G)의 전위를 플로팅시키도록 구성되며, 제1 저장 모듈(20)은 신호 잠금 시점에 접속된 데이터 신호(Vdata)와 연관된 전압을 저장하도록 구성된다.

[0053] 예시적으로, 구동 모듈(10)은 구동 트랜지스터를 포함할 수 있고, 구동 트랜지스터의 게이트는 구동 모듈(10)의 제어단(G)으로 사용되고, 구동 트랜지스터의 소스는 구동 모듈(10)의 제1 단(S)으로 사용되며, 구동 트랜지스터의 드레인은 구동 모듈(10)의 제2 단(D)으로 사용된다. 제1 저장 모듈(20)의 제2 단 또는 잠금 제어 모듈(30)의 제2 단은 직접 또는 간접적으로 데이터 신호(Vdata)가 접속될 수 있다. 데이터 신호(Vdata)가 접속되도록 구성된 연결단을 데이터 연결단으로 정의한다. 따라서, 직접 데이터 신호(Vdata)가 접속된다는 것은 데이터 연결단이 데이터선에 직접 연결된다는 것을 의미한다. 간접적으로 데이터 신호(Vdata)가 접속된다는 것은 데이터 연결단이 기타 모듈을 통해 데이터선에 연결된다는 것을 의미한다. 즉, 기타 모듈이 데이터 신호(Vdata)를 처리한 후, 데이터 신호(Vdata)의 정보가 포함된 신호를 데이터 연결단에 전송한다는 것을 의미한다.

[0054] 제1 저장 모듈(20)은 구동 모듈(10)의 제어단(G)과 제1 단(S) 사이의 전위차를 저장하도록 구성된 커패시터와 같은 저장 소자를 포함할 수 있다. 커패시터를 예로 들면, 저장 소자는 다음과 같은 특성을 갖는다. 커패시터의 양단에 각각 소스 신호가 접속되는 경우, 커패시터 양단의 전위차는 어느 하나의 소스 신호의 변화에 따라 변할 수 있고; 커패시터의 어느 하나의 일단에 소스 신호가 접속되지 않고, 전위 플로팅(floating)인 경우, 커패시터

의 다른 일단의 소스 신호의 전위가 변하는지 여부에 상관 없이, 커패시터 양단의 전위차는 고정되고, 전위 플로팅인 일단에 소스 신호가 사라질 때 커패시터에 저장된 전위차를 유지한다. 커패시터의 일단에 소스 신호가 접속되지 않은 경우, 커패시터의 다른 일단의 소스 신호가 고정된 전위를 유지하고, 전위 변화를 제공하지 않으면, 커패시터 양단의 전위는 모두 변하지 않고, 양단의 전위차도 변하지 않으며; 커패시터의 다른 일단의 소스 신호의 전위가 변하면, 커패시터의 커플링 작용에 따라, 소스 신호가 접속되지 않은 일단의 전위도 소스 신호의 변화에 따라 변하지만, 커패시터 양단의 전위차는 여전히 변하지 않는다. 이러한 특성에 따라, 제1 저장 모듈(20)의 일단은 직접 또는 간접적으로 데이터 신호(Vdata)가 접속되고, 제1 저장 모듈(20)의 다른 일단은 직접 또는 간접적으로 고정 전원에 접속하도록 구성될 수 있다. 또한, 데이터 신호(Vdata)가 본 행의 픽셀 회로에 필요한 데이터 전압을 유지하는 행 시간 내의 임의의 시점을 신호 잠금 시점으로 구성할 수 있다. 여기서, 행 시간은 데이터 신호(Vdata)가 한 행의 픽셀 회로에 필요한 데이터 전압을 유지하는 시간, 또는 데이터 신호(Vdata)가 리프레시하는 시간간격으로 이해할 수 있다. 신호 잠금 시점에, 제1 저장 모듈(20)과 데이터 신호(Vdata) 및/또는 고정 전원 사이의 연결이 끊어지도록 제어하여, 제1 저장 모듈(20)이 신호 잠금 시점의 데이터 신호(Vdata)와 연관된 전압을 저장하도록 한다. 여기서, 제1 저장 모듈(20)에 저장된 전압은 제1 저장 모듈(20) 양단의 전위차일 수 있고; 데이터 신호(Vdata)와 연관된 전압은 데이터 신호(Vdata)의 정보가 적재된 전압으로 이해할 수 있으며, 예를 들어 데이터 전압과 배수 관계를 갖는 전압 또는 데이터 전압과 데이터 전송 과정 및 제1 저장 모듈(20)의 저장 특성에 따라 계산할 수 있는 기타 함수 관계를 갖는 전압으로 이해할 수 있다.

[0055] 잠금 제어 모듈(30)은 트랜지스터와 같은 스위치 소자를 포함할 수 있다. 잠금 제어 모듈(30)은 제1 저장 모듈(20)의 고정 전원에 연결하기 위한 일단에 구성되거나, 제1 저장 모듈(20)의 데이터 신호(Vdata)를 수신하기 위한 일단에 구성될 수 있다. 잠금 제어 신호(Ssd)가 잠금 제어 모듈(30)의 도통 전위에서 차단 전위로 변하는 전위 점프 시점을 신호 잠금 시점으로 사용할 수 있다. 잠금 제어 모듈(30)이 제1 저장 모듈(20)의 고정 전원에 연결하기 위한 일단에 구성되는 것을 예로 들면, 잠금 제어 신호(Ssd)가 도통 전위(turn-on potential)에서 차단 전위(cut-off potential)로 변하는 전위 점프에지(Jump edge)에서, 잠금 제어 모듈(30)이 끊어져, 구동 모듈(10)의 제어단(G) 전위가 플로팅되고, 제1 저장 모듈(20)의 고정 전원 공급원이 차단되어, 제1 저장 모듈(20)은 잠금 제어 신호(Ssd)의 전위 점프 시점의 전위차를 저장 및 유지할 수 있다. 예시적으로, 잠금 제어 모듈(30)이 제1 저장 모듈(20)의 고정 전원에 연결하기 위한 일단에 구성되는 경우, 픽셀 회로는 데이터 기입 모듈, 예를 들어 트랜지스터를 더 포함할 수 있으며, 트랜지스터는 제1 저장 모듈(20)의 다른 일단에 연결되어 데이터 신호(Vdata)가 제1 저장 모듈(20)로 전송될 수 있는지 여부를 제어하도록 구성된다. 잠금 제어 모듈(30)이 제1 저장 모듈(20)의 데이터 신호(Vdata)를 연결하기 위한 일단에 구성되는 경우, 픽셀 회로는 보조 저장 소자, 예를 들어 커패시터를 더 포함할 수 있고, 커패시터는 제1 저장 모듈(20)의 다른 일단에 연결되어, 간접적으로 제1 저장 모듈(20)의 다른 일단에 고정 전원 신호를 제공한다.

[0056] 상기 분석으로부터 알 수 있듯이, 본 출원의 실시예에서 제공하는 픽셀 회로의 경우, 데이터 기입 경로는 구동 트랜지스터의 채널을 통과하지 않고, 제1 저장 모듈(20)과 잠금 제어 모듈(30)을 통과한다. 잠금 제어 신호(Ssd)의 전위 점프에지, 즉 신호 잠금 시점에서, 제1 저장 모듈(20)에 저장된 전위가 잠금되고, 따라서 데이터 기입이 완료된다. 따라서, 본 출원의 실시예에서는 구동 트랜지스터의 게이트 전위가 천천히 변하는 과정을 기다릴 필요가 없이, 빠른 데이터 기입을 구현할 수 있다. 데이터 기입 단계에 신호 잠금 시점을 포함하도록 구성되고, 신호 잠금 시점이 데이터 신호(Vdata)가 본 행의 픽셀 회로에 필요한 데이터 전압을 유지하는 행 시간 내에 있는 한, 제1 저장 모듈(20)이 본 행의 데이터 전압과 연관된 전압 신호를 정확하게 저장하도록 제어할 수 있으며, 정확한 데이터 기입 과정을 구현할 수 있다.

[0057] 또한, 데이터 기입 단계의 지속시간은 행 시간을 초과할 수 있고, 본 실시예에서는 인접 행의 데이터 전압 정보가 본 행의 픽셀 회로에 진입하는 것을 허용한다. 잠금 제어 신호(Ssd)의 전위 점프 전, 데이터 기입 경로에서의 여러 노드의 전위는 데이터 신호(Vdata)의 전압 변화에 따라 변할 수 있고, 관련 기술에서의 픽셀 회로(예: 7T1C 아키텍처의 픽셀 회로)에 비해, 다음 행의 데이터 전압이 구동 트랜지스터를 턴온 불능으로 인해 기입이 불가역하는 위험이 없으므로, 이전 행 또는 여러 행의 데이터 전압이 본 행의 픽셀 회로에 진입하도록 허용되고, 잠금 제어 신호(Ssd)의 전위 점프 후, 구동 모듈(10)의 제어단(G)과 제1 단(S) 사이의 전위차는 제1 저장 모듈(20)에 의해 유지되며, 데이터 신호(Vdata)가 다시 전압 점프를 하더라도, 구동 모듈(10)의 제어단(G)과 제1 단(S) 사이의 전위차를 유지하는 데 영향을 미치지 않는다. 따라서, 데이터 기입 과정과 관련된 제어 신호의 턴온 펄스폭은 각각 행 시간보다 클 수 있으며, 이는 상기 제어 신호를 제공하는 데 사용되는 주사 회로의 불량위험을 효과적으로 줄이고, 제어 신호의 안정성을 향상시키며, 데이터 기입의 효과를 보장할 수 있다.

[0058] 후속 발광 단계에서, 잠금 제어 신호(Ssd)는 차단 전위를 유지하여, 잠금 제어 모듈(30)이 턴오프를 유지하고,

제1 저장 모듈(20)은 신호 잠금 시점에 저장된 전압을 유지하며, 구동 모듈(10)은 해당 전압에 따라 구동 전류를 생성하여, 발광 소자를 구동하여 신호 잠금 시점의 데이터 신호(Vdata)에 대응하는 목표 휘도로 발광하도록 한다.

[0059] 종합하면, 본 출원의 실시예에서 제공하는 픽셀 회로에 있어서, 구동 모듈(10), 제1 저장 모듈(20) 및 잠금 제어 모듈(30)을 구성함으로써, 새로운 데이터 기입 방법이 제공되어, 픽셀 회로의 데이터 기입 경로가 구동 모듈(10) 자체를 거치지 않고 제1 저장 모듈(20)과 잠금 제어 모듈(30)을 통과하도록 한다. 따라서, 신호 잠금 시점에 잠금 제어 모듈(30)을 턴온 상태에서 턴오프 상태로 변경하도록 제어함으로써, 해당 시점의 데이터 정보를 잠글 수 있어, 제1 저장 모듈(20)이 신호 잠금 시점에 접속된 데이터 신호(Vdata)와 연관된 전압을 빠르고 정확하게 저장할 수 있으며, 또한, 데이터 기입 단계는 신호 잠금 시점을 포함하도록 구성되고, 신호 잠금 시점이 데이터 신호(Vdata)가 본 행의 픽셀 회로에 필요한 데이터 전압을 유지하는 행 시간 내에 위치하여, 정확한 데이터 기입 과정을 구현할 수 있다. 본 실시예는 데이터 기입 단계의 유지 시간에 대해 제한하지 않으며, 데이터 기입 과정에서, 인접 행의 데이터 전압 정보가 본 행의 픽셀 회로에 진입하는 것을 허용하므로, 데이터 기입 과정과 관련된 제어 신호의 턴온 펄스폭은 모두 행 시간보다 클 수 있으며, 이는 제어 신호를 제공하는 주사 회로의 불량위험을 효과적으로 줄이고, 제어 신호의 안정성을 향상시키며, 데이터 기입의 효과를 보장할 수 있다. 따라서, 데이터 기입 과정과 관련된 주사 신호의 턴온 펄스폭은 행 시간보다 클 수 있으며, 이는 주사 회로의 불량위험을 효과적으로 줄이고, 주사 신호의 안정성을 향상시키며, 데이터 기입의 효과를 보장할 수 있다. 따라서, 본 출원의 실시예에서 제공하는 픽셀 회로의 구조는 픽셀 회로의 데이터 기입 효과를 향상시키고, 따라서 디스플레이 패널의 디스플레이 효과를 향상시킬 수 있다.

[0060] 상기 실시방식에서 픽셀 회로의 기능 모듈에 대해 기능적으로 설명하였다. 아래 각각의 기능 모듈이 가질 수 있는 구조에 대해 설명하고, 픽셀 회로에 구비될 수 있는 기타 기능 모듈 및 제어 시퀀스에 대해 설명한다.

[0061] 도 2는 본 출원의 실시예에서 제공하는 다른 픽셀 회로의 구조 개략도이다. 도 2를 참조하면, 상기 실시방식에 기초하여, 선택적으로, 제1 저장 모듈(20)은 제1 커패시터(Cst1)를 포함하고, 제1 커패시터(Cst1)의 제1 단은 제1 저장 모듈(20)의 제1 단으로 사용되고, 제1 커패시터(Cst1)의 제2 단은 제1 저장 모듈(20)의 제2 단으로 사용된다. 본 실시예에서, 제1 저장 모듈(20)은 하나의 커패시터로 구성되므로, 제1 저장 모듈(20)의 구조가 간단하고 구현하기 쉽도록 한다.

[0062] 도 2를 계속 참조하면, 상기 실시방식에 기초하여, 선택적으로, 잠금 제어 모듈(30)은 제1 트랜지스터(M1)를 포함하며, 제1 트랜지스터(M1)의 게이트는 잠금 제어 모듈(30)의 제어단으로 사용되고, 제1 트랜지스터(M1)의 제1 극은 잠금 제어 모듈(30)의 제1 단으로 사용되며, 제1 트랜지스터(M1)의 제2 극은 잠금 제어 모듈(30)의 제2 단으로 사용된다. 본 실시예에서, 잠금 제어 모듈(30)은 하나의 트랜지스터로 구성되므로, 잠금 제어 모듈(30)의 구조가 간단하고 구현하기 쉽도록 한다.

[0063] 도 2를 계속 참조하면, 일 실시방식에서, 선택적으로, 제1 저장 모듈(20)의 제2 단은 데이터 신호(Vdata)가 간접적으로 접속되도록 구성되고, 잠금 제어 모듈(30)의 제2 단은 제1 참조 신호선에 연결되어, 제1 참조 신호(Vref1)가 접속된다. 제1 참조 신호(Vref1)는 예를 들어 전위가 고정적인 직류신호이다.

[0064] 도 2는 주로 픽셀 회로의 데이터 기입 과정과 관련된 구조를 나타낸다. 예시적으로, 데이터 기입 과정과 관련된 구조에서, 제1 저장 모듈(20)과 잠금 제어 모듈(30) 외에도, 제1 데이터 전송 모듈(610) 및 제2 저장 모듈(620)을 더 포함하여, 데이터 기입하는 것을 보조한다. 제2 저장 모듈(620)은 제1 데이터 전송 모듈(610)의 출력단과 제1 저장 모듈(20)의 제2 단 사이에 연결된다. 여기서, 제1 데이터 전송 모듈(610)은 데이터 기입 단계에 턴온되고, 데이터 신호(Vdata)를 제1 데이터 전송 모듈(610)의 출력단에 전송하도록 구성되며; 제2 저장 모듈(620)은 제1 데이터 전송 모듈(610)의 출력단의 전위 점프를 제1 저장 모듈(20)의 제2 단에 커플링하도록 구성된다. 데이터 기입 단계는 신호 잠금 시점을 포함한다.

[0065] 제1 데이터 전송 모듈(610)은 제2 트랜지스터(M2)를 포함하며, 제2 트랜지스터(M2)의 게이트는 제1 주사선에 연결되고, 제1 주사 신호(S1)가 접속되며; 제2 트랜지스터(M2)의 제1 극은 데이터선에 연결되고, 데이터 신호(Vdata)가 접속되며; 제2 트랜지스터(M2)의 제2 극은 제1 데이터 전송 모듈(610)의 출력단으로 사용된다. 제2 저장 모듈(620)은 제2 커패시터(Cst2)를 포함하며, 제2 커패시터(Cst2)의 제1 단(N1)은 제1 데이터 전송 모듈(610)의 출력단에 전기적으로 연결되고, 제2 커패시터(Cst2)의 제2 단은 제1 저장 모듈(20)의 제2 단에 전기적으로 연결된다.

[0066] 아래, 도 3을 결합하여, 트랜지스터가 각각 P형 트랜지스터인 것으로 예를 들어, 픽셀 회로의 데이터 기입 과정

을 설명한다. 예시적으로, 데이터 신호(Vdata)의 경우, 데이터 전압(Vb)은 현재 행 픽셀 회로에 필요한 데이터 전압이고, 데이터 전압(Va)은 이전 행의 데이터 전압이며, 데이터 전압(Vc)은 다음 행의 데이터 전압이다. 데이터 기입 단계(T3)가 3개의 행 시간(h)을 유지하는 것을 예로 들면, 해당 픽셀 회로의 데이터 기입 단계(T3)는 다음을 포함한다.

- [0067] 신호 잠금 시점(ts) 전에, 잠금 제어 신호(Ssd)와 제1 주사 신호(S1)는 각각 저전위이다. 제1 트랜지스터(M1)와 제2 트랜지스터(M2)는 각각 턴온되고, 제1 참조 신호(Vref1)는 제1 트랜지스터(M1)를 통해 제1 커패시터(Cst1)의 제1 단에 전송되고, 데이터 신호(Vdata)는 제2 트랜지스터(M2)를 통해 제2 커패시터(Cst2)의 제1 단(N1)에 전송된다. 데이터 신호(Vdata)가 데이터 전압(Va)에서 데이터 전압(Vb)으로 변하는 경우, 제2 커패시터(Cst2)는 이의 제1 단(N1)의 전위 변화를 제1 커패시터(Cst1)의 제2 단에 커플링하고, 제1 커패시터(Cst1) 양단의 전위차는 제1 커패시터(Cst1)의 제2 단의 전위에 따라 변한다.
- [0068] 신호 잠금 시점(ts)는 데이터 신호(Vdata)가 데이터 전압(Vb)을 유지하는 시간대에 위치하고, 신호 잠금 시점(ts)에서, 잠금 제어 신호(Ssd)의 라이징에지가 나타나고, 잠금 제어 신호(Ssd)는 고전위로 점프하며, 제1 주사 신호(S1)는 저전위를 유지한다. 제1 트랜지스터(M1)는 턴오프되고, 제2 트랜지스터(M2)는 턴온된다. 제1 커패시터(Cst1)의 제1 단(즉, 구동 트랜지스터(DTFT)의 게이트)은 플로팅되고, 제1 커패시터(Cst1)의 고정 신호 공급원은 차단되며, 제1 커패시터(Cst1) 양단의 전위차는 잠금되고, 이때, 데이터 신호(Vdata)의 정보는 제1 커패시터(Cst1)에 저장된다.
- [0069] 신호 잠금 시점(ts) 이후, 잠금 제어 신호(Ssd)는 고전위이고, 제1 주사 신호(S1)는 저전위를 유지한다. 제1 트랜지스터(M1)는 턴오프되고, 제2 트랜지스터(M2)는 턴온된다. 제1 커패시터(Cst1)의 제1 단은 여전히 플로팅되고, 데이터 신호(Vdata)는 제2 트랜지스터(M2)를 통해 제2 커패시터(Cst2)의 제1 단(N1)에 전송된다. 데이터 신호(Vdata)가 데이터 전압(Vb)에서 데이터 전압(Vc)으로 변하는 경우, 제2 커패시터(Cst2)의 제1 단(N1)과 제1 커패시터(Cst1)의 제1 단 및 제2 단의 전위는 각각 그에 따라 변하지만, 제1 커패시터(Cst1) 양단의 전위차는 여전히 신호 잠금 시점(ts)의 전위차를 유지한다.
- [0070] 상기로부터 알 수 있듯이, 제1 주사 신호(S1)의 턴온 펄스가 행 시간(h)보다 넓지만, 데이터 신호(Vdata)의 3개 데이터 전압 값은 데이터 기입 단계(T3)에서 제2 커패시터(Cst2)의 제1 단(N1)에 순차적으로 진입하지만, 실제로 제1 커패시터(Cst1)에 의해 수집되고 잠금되는 것은 데이터 전압(Vb)과 연관된 전압뿐이다.
- [0071] 아래 상기 데이터 기입 구조를 응용하는 완전한 픽셀 회로에 대해 설명한다. 도 4는 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다. 도 4를 참조하면, 상기 실시방식에 기초하여, 선택적으로, 픽셀 회로는 제1 리셋 모듈(410), 제2 리셋 모듈(420) 및 제1 발광 제어 모듈(510)을 더 포함한다. 여기서, 제1 리셋 모듈(410)은 제1 데이터 전송 모듈(610)의 출력단에 전기적으로 연결된다. 제2 리셋 모듈(420)은 구동 모듈(10)의 제2 단(D)에 전기적으로 연결된다. 제1 발광 제어 모듈(510)은 제1 전원과 제2 전원 사이에 구동 모듈(10) 및 발광 소자(L)와 직렬로 연결된다.
- [0072] 제1 리셋 모듈(410)은 제5 트랜지스터(M5)를 포함하고, 제5 트랜지스터(M5)의 게이트는 제1 제어 신호(Re1)가 접속되고, 제5 트랜지스터(M5)의 제1 극은 제1 리셋 신호(Vin1)가 접속되며, 제5 트랜지스터(M5)의 제2 극은 제1 데이터 전송 모듈(610)의 출력단에 전기적으로 연결된다. 제2 리셋 모듈(420)은 제6 트랜지스터(M6)를 포함하고, 제6 트랜지스터(M6)의 게이트는 제1 제어 신호(Re1)가 접속되고, 제6 트랜지스터(M6)의 제1 극은 제1 참조 신호(Vref1)가 접속되며, 제6 트랜지스터(M6)의 제2 극은 구동 모듈(10)의 제2 단(D)에 전기적으로 연결된다. 제1 발광 제어 모듈(510)은 제7 트랜지스터(M7)와 제8 트랜지스터(M8)를 포함하고, 제7 트랜지스터(M7)의 게이트와 제8 트랜지스터(M8)의 게이트는 각각 제1 발광 제어 신호(EM1)가 접속되며, 제7 트랜지스터(M7)의 제1 극은 제1 전원에 연결되고, 제1 전원 신호(VDD)가 접속되며, 제7 트랜지스터(M7)의 제2 극은 구동 모듈(10)의 제1 단(S)에 전기적으로 연결되고, 제8 트랜지스터(M8)의 제1 극은 구동 모듈(10)의 제2 단(D)에 전기적으로 연결되며, 제8 트랜지스터(M8)의 제2 극은 발광 소자(L)의 양극에 전기적으로 연결되고, 발광 소자(L)의 음극은 제2 전원에 연결되며, 제2 전원 신호(VSS)가 접속된다. 여기서, 제1 전원 신호(VDD)와 제2 전원 신호(VSS)는 전위의 높낮이가 상이한 직류신호이다. 예를 들어, 제1 전원 신호(VDD)는 고전위 신호이고, 제2 전원 신호(VSS)는 저전위 신호이다. 제1 리셋 신호(Vin1)는 전위가 고정적인 직류신호일 수 있다.
- [0073] 도 5는 본 출원의 실시예에서 제공하는 다른 픽셀 회로의 구동 시퀀스 개략도이다. 도 4 및 도 5를 결합하여, 예시적으로 해당 픽셀 회로의 구동 과정은 다음을 포함한다.
- [0074] 초기화 단계(T1)에서, 제1 발광 제어 신호(EM1)는 저전위이고, 제7 트랜지스터(M7)와 제8 트랜지스터(M8)는 턴

온되며; 제1 주사 신호(S1)는 고전위이고, 제2 트랜지스터(M2)는 턴오프되며; 제1 제어 신호(Re1)와 잠금 제어 신호(Ssd)의 저전위 펄스가 순차적으로 도달한 후, 제1 트랜지스터(M1), 제5 트랜지스터(M5) 및 제6 트랜지스터(M6)는 각각 턴온된다. 제1 리셋 신호(Vini1)는 제5 트랜지스터(M5)를 통해 제2 커패시터(Cst2)의 제1 단(N1)에 전송된다. 제1 참조 신호(Vref1)는 제1 트랜지스터(M1)를 통해 구동 트랜지스터(DTFT)의 게이트에 전송된다. 동시에, 제1 참조 신호(Vref1)는 제6 트랜지스터(M6)를 통해 구동 트랜지스터(DTFT)의 드레인에 전송되고, 계속해서 제8 트랜지스터(M8)를 통해 발광 소자(L)의 양극에 전송되어 발광 소자(L)의 양극을 리셋시킨다. 제1 전원 신호(VDD)는 제7 트랜지스터(M7)를 통해 구동 트랜지스터(DTFT)의 소스로 전송된다. 해당 단계에서, 제1 커패시터(Cst1)와 제2 커패시터(Cst2)는 각각 방전되고 리셋된다.

[0075] 임계값 보상 단계(T2)에서, 제1 제어 신호(Re1)와 잠금 제어 신호(Ssd)는 각각 저전위이고, 제1 주사 신호(S1)와 제1 발광 제어 신호(EM1)는 각각 고전위이다. 제7 트랜지스터(M7)와 제8 트랜지스터(M8)는 각각 턴오프된다. 제1 리셋 신호(Vini1)는 계속해서 제5 트랜지스터(M5)를 통해 제2 커패시터(Cst2)의 제1 단(N1)에 전송된다. 제1 참조 신호(Vref1)는 계속해서 제1 트랜지스터(M1)를 통해 구동 트랜지스터(DTFT)의 게이트에 전송된다. 구동 트랜지스터(DTFT)의 소스는 구동 트랜지스터(DTFT)와 제6 트랜지스터(M6)를 통해 방전되고, 구동 트랜지스터(DTFT)의 소스 전위가 제1 전원 신호(VDD)의 전위에서 점차적으로 Vref1-Vth1까지 떨어지면, 구동 트랜지스터(DTFT)가 턴오프되어, 구동 트랜지스터(DTFT)의 임계값 보상이 완료된다. 이때, 제1 커패시터(Cst1) 양단에 저장된 전위차가 구동 트랜지스터(DTFT)의 임계값 전압(Vth1)이다.

[0076] 데이터 기입 단계(T3)에서, 데이터 기입 단계에 금방 진입했을 때, 잠금 제어 신호(Ssd)와 제1 주사 신호(S1)는 각각 저전위이고, 제1 제어 신호(Re1)와 제1 발광 제어 신호(EM1)는 각각 고전위이다. 제5 트랜지스터(M5)와 제6 트랜지스터(M6)는 턴오프되고, 제1 트랜지스터(M1)와 제2 트랜지스터(M2)는 턴온을 유지한다. 데이터 신호(Vdata)는 제2 트랜지스터(M2)를 통해 제2 커패시터(Cst2)의 제1 단(N1)에 기입되어, 제2 커패시터(Cst2)의 제1 단(N1)의 전위가 제1 리셋 신호(Vini1)에서 데이터 신호(Vdata)의 현재 데이터 전압(Va)으로 점프되도록 한다. 제1 참조 신호(Vref1)는 계속해서 제1 트랜지스터(M1)를 통해 구동 트랜지스터(DTFT)의 게이트로 전송된다. 제2 커패시터(Cst2)의 제1 단(N1)의 전위가 점프하므로, 제2 커패시터(Cst2)의 제1 단(N1)의 전위 점프량은 제2 커패시터(Cst2)를 통해 제1 커패시터(Cst1)의 제2 단에 커플링되어 전위 점프량은 $(Vdata - Vini1) \times (Cst2) / (Cst1 + Cst2 + Cgs)$ 가 된다. 따라서 제1 커패시터(Cst1) 양단의 전압차는 $Vth1 + (Vdata - Vini1) \times (Cst2) / (Cst1 + Cst2 + Cgs)$ 로 되고, 여기서 Cgs는 구동 트랜지스터(DTFT)의 게이트와 소스 사이의 커패시턴스이다.

[0077] 신호 잠금 시점(ts)에서, 잠금 제어 신호(Ssd)는 고전위로 점프하여, 제1 트랜지스터(M1)를 턴오프하고, 제1 커패시터(Cst1)의 제1 단(즉, 구동 트랜지스터(DTFT)의 게이트)은 플로팅된다. 이때, 데이터 신호(Vdata)는 데이터 전압(Vb)을 유지하므로, 제1 커패시터(Cst1)의 양단의 전위차는 $Vth1 + (Vb - Vini1) \times (Cst2) / (Cst1 + Cst2 + Cgs)$ 로 잠금된다. 즉, 본 행의 데이터 신호(Vdata)의 정보와 구동 트랜지스터(DTFT)의 임계값 전압 정보는 각각 제1 커패시터(Cst1)에 저장된다. 예시적으로, 제1 제어 신호(Re1)의 라이징에지는 잠금 제어 신호(Ssd)의 라이징에지보다 하나의 행 시간, 즉 1h 앞서도록 구성될 수 있다.

[0078] 신호 잠금 시점(ts) 이후, 잠금 제어 신호(Ssd)는 고전위를 유지하고, 제1 트랜지스터(M1)는 턴오프를 유지하며, 제1 커패시터(Cst1)의 제1 단은 여전히 플로팅된다. 데이터 신호(Vdata)는 여전히 제2 트랜지스터(M2)를 통해 제2 커패시터(Cst2)의 제1 단(N1)에 전송될 수 있다. 데이터 신호(Vdata)가 데이터 전압(Vc)으로 점프하면, 해당 전압은 해당 픽셀 회로로 진입하지만, 제2 커패시터(Cst2)에서 제1 커패시터(Cst1)의 제2 단에 커플링된 전위 점프량은 동시에 제1 커패시터(Cst1)에 의해 제1 커패시터(Cst1)의 제1 단에 커플링되어, 해당 데이터 전압(Vc)이 무효화되는 것과 같으며, 제1 커패시터(Cst1) 양단의 전위차는 여전히 $Vth1 + (Vb - Vini1) \times (Cst2) / (Cst1 + Cst2 + Cgs)$ 로 유지된다.

[0079] 발광 단계(T4)에서, 제1 발광 제어 신호(EM1)는 저전위이고, 제1 제어 신호(Re1), 잠금 제어 신호(Ssd) 및 제1 주사 신호(S1)는 각각 고전위이다. 제1 트랜지스터(M1), 제2 트랜지스터(M2), 제5 트랜지스터(M5) 및 제6 트랜지스터(M6)는 각각 턴오프되고, 제7 트랜지스터(M7)와 제8 트랜지스터(M8)는 각각 턴온되며, 구동 트랜지스터(DTFT)는 발광 소자(L)를 밝게하는 구동 전류를 생성한다. 구동 전류는 $Vgs - Vth1$ 의 함수이며, 여기서, Vgs는 제1 커패시터(Cst1) 양단의 전위차와 같다. 픽셀 회로의 구조가 결정되면, 제1 커패시터(Cst1), 제2 커패시터(Cst2), Cgs는 따라서 일정한 값으로 결정된다. 따라서 구동 전류는 실제로 Vdata-Vini1의 함수이며, 즉 구동 전류의 크기는 구동 트랜지스터(DTFT)의 임계값 전압(Vth1)과 무관하여, 임계값 보상이 구현된다.

[0080] 종합하면, 데이터 기입 단계(T3)의 시간 범위(time span)는 하나의 행 시간(h)을 초과하고, 본 실시예에서, 데이터 기입 단계(T3)에서, 데이터 신호(Vdata)는 선후로 3개의 값을 가지며, 신호 잠금 시점(ts)의 데이터 전압

(Vb)만 본 행의 픽셀 회로에 대해 유효하며, 잠금 제어 신호(Ssd)의 라이징에지는 하나의 샘플링 동작에 해당하며, 이때의 데이터 전압(Vb)을 잠금하고 데이터 전압(Vb)을 제1 커패시터(Cst1)에 저장한다. 인접 행의 데이터 전압은 이 회로에 진입할 수 있지만, 모두 무효화된 것과 같다. 본 출원의 실시예는 전체적으로 7T2C의 픽셀 회로 아키텍처를 제공하였다. 구동 과정에서 임계값 보상 과정과 데이터 기입 과정을 분리하는 것은, 임계값 보상 시간을 연장하고, 구동 트랜지스터(DTFT)에 대한 임계값 보상 효과를 향상시켜, 디스플레이 패널의 휘도 균일성을 향상시키고, 디스플레이 패널의 고주파 리프래시 및 고해상도의 구현을 동시에 겸비할 수 있다.

[0081] 예시적으로, 픽셀 회로에서의 트랜지스터는 각각 P형 트랜지스터일 수 있으며, 이는 저온 폴리 실리콘(Low Temperature Poly-silicon, LTPS) 공정으로 제조되어, LTPS 트랜지스터의 높은 이동도, 강한 구동 능력, 및 신속한 기술 등 장점을 최대한 활용하면서, 동시에 디스플레이 패널의 제조 비용을 절감시킨다.

[0082] 상기 실시방식은 예시적으로 픽셀에서의 트랜지스터가 각각 P형 트랜지스터로 구성되는 것으로 주어졌지만, 이는 본 출원에 대한 한정이 아니다. 기타 실시방식에서, 수요에 따라 일부 또는 전부 트랜지스터를 N형 트랜지스터로 대체할 수 있으며, 트랜지스터에 접속된 제어 신호의 전위의 높낮이도 그에 따라 조절할 수 있다. 예를 들어, 도 6에 도시된 바와 같이, 데이터 기입 관련 구조에서의 트랜지스터를 각각 N형 트랜지스터로 대체할 수 있다.

[0083] 도 7은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이며, 도 7은 주로 데이터 기입 과정과 관련된 구조를 나타낸다. 도 7을 참조하면, 다른 일 실시방식에서, 선택적으로, 잠금 제어 모듈(30)의 제2 단은 데이터 신호(Vdata)가 간접적으로 접속되도록 구성된다. 예시적으로, 데이터 기입 과정과 관련된 구조에서, 제1 저장 모듈(20)과 잠금 제어 모듈(30) 외에, 제2 데이터 전송 모듈(710), 제3 저장 모듈(720) 및 참조 신호 전송 모듈(730)을 더 포함한다. 제3 저장 모듈(720)은 제2 데이터 전송 모듈(710)의 출력단과 잠금 제어 모듈(30)의 제2 단 사이에 연결되고, 참조 신호 전송 모듈(730)은 제1 저장 모듈(20)의 제2 단에 전기적으로 연결된다. 여기서, 제2 데이터 전송 모듈(710)은 데이터 기입 단계에 턴온되고, 데이터 신호(Vdata)를 제2 데이터 전송 모듈(710)의 출력단에 전송하도록 구성된다. 제3 저장 모듈(720)은 제2 데이터 전송 모듈(710)의 출력단의 전위 점프를 잠금 제어 모듈(30)의 제2 단에 커플링하도록 구성된다. 참조 신호 전송 모듈(730)은 전송 제어 신호(Sc)에 응답하여 턴온되고, 제2 참조 신호(Vref2)를 제1 저장 모듈(20)의 제2 단에 전송하도록 구성된다. 여기서, 전송 제어 신호(Sc)는 참조 신호 전송 모듈(730)과 잠금 제어 모듈(30)이 동시에 턴오프되거나 잠금 제어 모듈(30)보다 늦게 턴오프되도록 제어하여, 제1 저장 모듈(20)의 제2 단이 미리 플로팅되어 제1 저장 모듈(20)이 신호 잠금 시점(ts)에서 데이터 신호(Vdata)의 연관 전압을 정확하게 저장할 수 없게 되는 것을 방지한다. 제2 참조 신호(Vref2)는 예를 들어 전위가 고정적인 직류신호이다.

[0084] 선택적으로, 잠금 제어 신호(Ssd)는 전송 제어 신호(Sc)로 다중화되도록 구성될 수 있으며, 이는 잠금 제어 모듈(30)과 참조 신호 전송 모듈(730)이 신호 잠금 시점(ts)에서 동시에 턴오프되도록 제어한다. 이러한 구성은 디스플레이 패널의 신호선의 수량을 줄일 수 있어, 디스플레이 패널 구조를 단순화하는 데 유리하고, 디스플레이 패널의 배선 설계에 도움이 된다.

[0085] 제2 데이터 전송 모듈(710)은 제3 트랜지스터(M3)를 포함하고, 제3 트랜지스터(M3)의 게이트는 제2 주사선에 연결되고, 제2 주사 신호(S2)가 접속되며; 제3 트랜지스터(M3)의 제1 극은 데이터선에 연결되고, 데이터 신호(Vdata)가 접속되며; 제3 트랜지스터(M3)의 제2 극은 제2 데이터 전송 모듈(710)의 출력단으로 사용된다. 제3 저장 모듈(720)은 제3 커패시터(Cst3)를 포함하며, 제3 커패시터(Cst3)의 제1 단은 제2 데이터 전송 모듈(710)의 출력단에 전기적으로 연결되고, 제3 커패시터(Cst3)의 제2 단은 잠금 제어 모듈(30)의 제2 단에 전기적으로 연결된다. 참조 신호 전송 모듈(730)은 제4 트랜지스터(M4)를 포함하며, 제4 트랜지스터(M4)의 게이트는 전송 제어 신호선에 연결되고, 전송 제어 신호(Sc)가 접속되며; 제4 트랜지스터(M4)의 제1 극은 제2 참조 신호선에 연결되고, 제2 참조 신호(Vref2)가 접속되며, 제4 트랜지스터(M4)의 제2 극은 제1 저장 모듈(20)의 제2 단에 연결된다.

[0086] 아래 해당 데이터 기입 구조를 응용하는 픽셀 회로를 결합하여 구조의 응용에 대해 설명한다. 도 8은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다. 도 8을 참조하면, 상기 실시방식에 기초하여, 선택적으로, 픽셀 회로는 제3 리셋 모듈(430), 제2 발광 제어 모듈(520) 및 제3 발광 제어 모듈(530)을 더 포함한다. 여기서, 제3 리셋 모듈(430)은 제2 데이터 전송 모듈(710)의 출력단에 전기적으로 연결된다. 제2 발광 제어 모듈(520)은 제1 전원과 구동 모듈(10)의 제2 단(D) 사이에 연결되고, 제3 발광 제어 모듈(530)은 구동 모듈(10)의 제1 단(S)과 발광 소자(L)의 양극 사이에 연결된다.

[0087] 제3 리셋 모듈(430)은 제9 트랜지스터(M9)를 포함하고, 제9 트랜지스터(M9)의 게이트는 제2 제어 신호(Re2)가

접속되고, 제9 트랜지스터(M9)의 제1 극은 제2 리셋 신호(Vcom)가 접속되며, 제9 트랜지스터(M9)의 제2 극은 제2 데이터 전송 모듈(710)의 출력단에 전기적으로 연결된다. 제2 발광 제어 모듈(520)은 제10 트랜지스터(M10)를 포함하고, 제10 트랜지스터(M10)의 게이트는 제2 발광 제어 신호(EM2)가 접속되고, 제10 트랜지스터(M10)의 제1 극은 제1 전원 신호(VDD)가 접속되며, 제10 트랜지스터(M10)의 제2 극은 구동 트랜지스터(DTFT)의 드레인에 전기적으로 연결된다. 제3 발광 제어 모듈(530)은 제11 트랜지스터(M11)를 포함하고, 제11 트랜지스터(M11)의 게이트는 제3 발광 제어 신호(EM3)가 접속되고, 제11 트랜지스터(M11)의 제1 극은 구동 트랜지스터(DTFT)의 소스(구동 모듈(10)의 제1 단(S))에 전기적으로 연결되고, 제11 트랜지스터(M11)의 제2 극은 발광 소자(L)의 양극에 전기적으로 연결된다. 제2 리셋 신호(Vcom)는 예를 들어 전위가 고정적인 직류신호이다.

[0088] 선택적으로, 제3 리셋 모듈(430)의 제어단과 제3 발광 제어 모듈(530)의 제어단은 동일한 제어 신호선에 연결될 수 있다. 즉, 제3 발광 제어 신호(EM3)를 제2 제어 신호(Re2)로 다중화하여, 디스플레이 패널의 신호선의 수량을 줄인다.

[0089] 도 9는 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구동 시퀀스 개략도이다. 도 8 및 도 9를 참조하면, 잠금 제어 신호(Ssd)를 전송 제어 신호(Sc)로 다중화하고, 제3 발광 제어 신호(EM3)를 제2 제어 신호(Re2)로 다중화하는 것을 예로 들고, 트랜지스터가 각각 N형 트랜지스터인 것을 예로 들며, 해당 픽셀 회로의 구동 과정은 다음을 포함한다.

[0090] 임계값 보상 단계(T2)에서, 잠금 제어 신호(Ssd)와 제3 발광 제어 신호(EM3)는 각각 고전위이고, 제2 주사 신호(S2)와 제2 발광 제어 신호(EM2)는 각각 저전위이다. 제1 트랜지스터(M1), 제4 트랜지스터(M4), 제9 트랜지스터(M9) 및 제11 트랜지스터(M11)는 각각 턴온되고, 제3 트랜지스터(M3)와 제10 트랜지스터(M10)는 각각 턴오프된다. 제2 리셋 신호(Vcom)는 제9 트랜지스터(M9)를 통해 제3 커패시터(Cst3)의 제1 단에 전송된다. 제2 참조 신호(Vref2)는 제4 트랜지스터(M4)를 통해 발광 소자(L)의 양극에 전송되고, 계속해서 제11 트랜지스터(M11)를 통해 구동 트랜지스터(DTFT)의 소스에 전송된다. 제1 전원 신호(VDD)는 제10 트랜지스터(M10)를 통해 구동 트랜지스터(DTFT)의 드레인에 전송되고, 계속해서 제1 트랜지스터(M1)를 통해 구동 트랜지스터(DTFT)의 게이트에 전송된다. 임계값 보상 단계(T2)가 시작될 때, 구동 트랜지스터(DTFT)의 게이트 전위는 순간적으로 제1 전원 신호(VDD)보다 약간 낮은 수준으로 상승되고, 구동 트랜지스터(DTFT)가 턴온되도록 제어하며, 구동 전류는 구동 트랜지스터(DTFT)의 드레인에서 시작하여, 구동 트랜지스터(DTFT), 제11 트랜지스터(M11) 및 제4 트랜지스터(M4)를 거쳐 제2 참조 신호선(즉, 제2 참조 신호(Vref2)를 제공하도록 구성된 신호선)의 방향으로 구동 트랜지스터(DTFT)의 게이트 및 드레인 전위가 Vref2+Vth1로 떨어질 때까지 전송된다. 이때, 제1 커패시터(Cst1) 양단에 저장된 전위차는 구동 트랜지스터(DTFT)의 임계값 전압(Vth1)이다.

[0091] 데이터 기입 단계(T3)에서, 금방 데이터 기입 단계(T3)에 진입하면, 제3 발광 제어 신호(EM3)는 저전위로 점프하고, 제2 주사 신호(S2)는 고전위로 점프하며, 잠금 제어 신호(Ssd)는 고전위를 유지하고, 제2 발광 제어 신호(EM2)는 저전위를 유지한다. 제9 트랜지스터(M9)와 제11 트랜지스터(M11)는 턴오프되고, 제3 트랜지스터(M3)는 턴온된다. 데이터 신호(Vdata)는 제3 트랜지스터(M3)를 통해 제3 커패시터(Cst3)의 제1 단에 기입되어, 제3 커패시터(Cst3)의 제1 단의 전위가 제2 리셋 신호(Vcom)에서 데이터 신호(Vdata)의 현재 데이터 전압(Va)으로 점프되도록 한다. 구동 트랜지스터(DTFT)의 소스 전위는 플로팅되어, 제2 참조 신호(Vref2)의 전위를 유지한다. 제2 참조 신호(Vref2)는 여전히 제4 트랜지스터(M4)를 통해 제1 커패시터(Cst1)의 제2 단에 전송된다. 제3 커패시터(Cst3)의 제1 단의 전위가 점프함으로 인해, 전위 점프량은 제3 커패시터(Cst3)를 통해 커플링되어, 제1 트랜지스터(M1)를 통해 제1 커패시터(Cst1)의 제1 단에 전송될 때, 전위 점프량은 $(Vdata - Vcom) \times (Cst3) / (Cst1 + Cst3 + Cgs)$ 이고, 따라서 제1 커패시터(Cst1) 양단의 전압차는 $Vth1 + (Vdata - Vcom) \times (Cst3) / (Cst1 + Cst3 + Cgs)$ 로 변하고, 여기서, Cgs는 구동 트랜지스터(DTFT)의 게이트와 소스 사이의 커패시턴스이다.

[0092] 신호 잠금 시점(ts)에서, 잠금 제어 신호(Ssd)의 폴링에지에 도달하여 저전위로 떨어지면서, 제1 트랜지스터(M1)와 제4 트랜지스터(M4)가 턴오프되고, 제1 커패시터(Cst1)의 제1 단과 제2 단은 각각 플로팅되며, 제1 커패시터(Cst1)의 데이터 신호 공급원과 고정 신호 공급원은 각각 차단된다. 이때, 데이터 신호(Vdata)는 데이터 전압(Vb)이므로, 제1 커패시터(Cst1) 양단의 전위차는 $Vth1 + (Vb - Vcom) \times (Cst3) / (Cst1 + Cst3 + Cgs)$ 로 잠금된다. 즉, 본 행의 데이터 신호(Vdata) 정보와 구동 트랜지스터(DTFT)의 임계값 전압 정보는 각각 제1 커패시터(Cst1)에 저장된다.

[0093] 신호 잠금 시점(ts) 이후, 잠금 제어 신호(Ssd)는 저전위를 유지하고, 제1 트랜지스터(M1)와 제4 트랜지스터(M4)는 턴오프를 유지하며, 데이터 신호(Vdata)는 여전히 제3 트랜지스터(M3)를 통해 제3 커패시터(Cst3)의 제1

단에 전송될 수 있지만, 제1 트랜지스터(M1)가 턴오프됨으로 인해, 제3 커패시터(Cst3)에 의해 커플링된 전위 점프량은 제1 커패시터(Cst1)의 제1단에 전송될 수 없으며, 제1 커패시터(Cst1) 양단의 전위차는 여전히 $V_{th1} + (V_b - V_{com}) \times (Cst3) / (Cst1 + Cst3 + Cgs)$ 를 유지한다.

[0094] 발광 단계(T4)에서, 제2 발광 제어 신호(EM2)와 제3 발광 제어 신호(EM3)는 각각 고전위이고, 잠금 제어 신호(Ssd)와 제2 주사 신호(S2)는 각각 저전위이다. 제1 트랜지스터(M1), 제3 트랜지스터(M3), 제4 트랜지스터(M4)는 각각 턴오프된다. 제10 트랜지스터(M10)와 제11 트랜지스터(M11)는 각각 턴온되고, 구동 트랜지스터(DTFT)는 발광 소자(L)를 밝게하는 구동 전류를 생성한다. 제9 트랜지스터(M9)가 턴온되고, 제2 리셋 신호(Vcom)는 제9 트랜지스터(M9)를 통해 제3 커패시터(Cst3)의 제1단에 전송되어, 제3 커패시터(Cst3)에 대한 리셋을 완료한다. 마찬가지로, 구동 전류는 $V_{gs} - V_{th1}$ 의 함수이고, V_{gs} 는 제1 커패시터(Cst1) 양단의 전위차와 같으므로, 구동 전류는 실제로 $(V_b - V_{com}) \times (Cst3) / (Cst1 + Cst3 + Cgs)$ 의 함수이며, 구동 전류는 구동 트랜지스터(DTFT)의 임계값 전압(V_{th1})과 무관하다.

[0095] 상기 실시방식은 예시적으로 제1 커패시터(Cst1)의 제2단이 구동 트랜지스터(DTFT)의 소스에 간접적으로 연결되는 것으로 주어졌지만, 즉 제11 트랜지스터(M11)를 통해 구동 트랜지스터(DTFT)의 소스에 연결되는 방안이지만, 이는 본 출원에 대한 한정이 아니다. 기타 실시방식에서, 도 10에 도시된 바와 같이, 제1 커패시터(Cst1)의 제2단을 구동 트랜지스터(DTFT)의 소스에 직접 연결시킬 수도 있다. 도 10에 나타난 픽셀 회로에 대응하는 구동 시퀀스는 여전히 도 9를 참조할 수 있으며, 구동 과정의 차이점은 임계값 보상 단계(T2)에서, 구동 트랜지스터(DTFT)의 방전 경로가 직접 제4 트랜지스터(M4)를 통과하고, 더 이상 제11 트랜지스터(M11)를 통과하지 않는 것; 및 제2 참조 신호(V_{ref2})는 제4 트랜지스터(M4)를 통과한 후, 제11 트랜지스터(M11)를 더 통과하여 발광 소자(L)의 양극에 전송된다는 것이다.

[0096] 상기 실시방식은 예시적으로 픽셀에서의 트랜지스터가 각각 N형 트랜지스터로 구성되는 것으로 주어졌지만, 이는 본 출원에 대한 한정이 아니다. 기타 실시방식에서, 수요에 따라 일부 또는 전부 트랜지스터를 P형 트랜지스터로 대체할 수 있으며, 트랜지스터에 접속된 제어 신호의 전위의 높낮이도 그에 따라 조절할 수 있다.

[0097] 도 11은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다. 도 11을 참조하면, 또 다른 실시방식에서, 선택적으로, 잠금 제어 모듈(30)의 제2단은 데이터 신호(V_{data})가 접속된다. 도 11은 주로 픽셀 회로의 데이터 기입 과정과 관련된 구조를 나타낸다. 예시적으로, 데이터 기입 과정과 관련된 구조에서, 제1 저장 모듈(20) 및 잠금 제어 모듈(30) 외에, 제4 저장 모듈(80)을 더 포함하되, 제4 저장 모듈(80)의 제1단은 제1 저장 모듈(20)의 제2단에 전기적으로 연결되고, 제4 저장 모듈(80)의 제2단은 제1 전원에 연결되며, 제1 전원 신호(VDD)가 접속된다. 제4 저장 모듈(80)은 제4 커패시터(Cst4)를 포함하되, 제4 커패시터(Cst4)의 제1단은 제4 저장 모듈(80)의 제1단으로 사용되고, 제4 커패시터(Cst4)의 제2단은 제4 저장 모듈(80)의 제2단으로 사용된다.

[0098] 아래 해당 데이터 기입 구조를 응용하는 픽셀 회로를 결합하여 구조의 응용에 대해 설명한다. 도 12는 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구조 개략도이다. 도 12를 참조하면, 상기 실시방식에 기초하여, 선택적으로, 픽셀 회로는 제4 리셋 모듈(440), 제5 리셋 모듈(450) 및 제4 발광 제어 모듈(540)을 더 포함한다. 제4 리셋 모듈(440)은 제1 저장 모듈(20)의 제2단에 전기적으로 연결되고; 제5 리셋 모듈(450)은 제1 저장 모듈(20)의 제1단에 전기적으로 연결되며; 제4 발광 제어 모듈(540)은 제1 전원과 구동 모듈(10)의 제2단(D) 사이에 연결된다.

[0099] 제4 리셋 모듈(440)은 제12 트랜지스터(M12)를 포함하고, 제12 트랜지스터(M12)의 게이트는 제3 제어 신호(Re_3)가 접속되고, 제12 트랜지스터(M12)의 제1극은 제3 참조 신호(V_{ref3})가 접속되며, 제12 트랜지스터(M12)의 제2극은 제1 커패시터(Cst1)의 제2단에 전기적으로 연결된다. 제5 리셋 모듈(450)은 제13 트랜지스터(M13)를 포함하며, 제13 트랜지스터(M13)의 게이트는 제4 제어 신호(Re_4)가 접속되고, 제13 트랜지스터(M13)의 제1극은 제3 리셋 신호(V_{ini2})가 접속되며, 제13 트랜지스터(M13)의 제2극은 제1 커패시터(Cst1)의 제1단에 전기적으로 연결된다. 제4 발광 제어 모듈(540)의 게이트는 제4 발광 제어 신호(EM4)가 접속되고, 제4 발광 제어 모듈(540)은 제14 트랜지스터(M14)를 포함하며, 제14 트랜지스터(M14)의 제1극은 제1 전원 신호(VDD)가 접속되고, 제14 트랜지스터(M14)의 제2극은 구동 트랜지스터(DTFT)의 드레인에 전기적으로 연결된다. 여기서, 제1 커패시터(Cst1)의 제2단은 직접 구동 트랜지스터(DTFT)의 소스와 발광 소자(L)의 양극에 전기적으로 연결된다. 제3 참조 신호(V_{ref3})와 제3 리셋 신호(V_{ini2})는 각각 전위가 고정적인 직류신호일 수 있다.

[0100] 도 13은 본 출원의 실시예에서 제공하는 또 다른 픽셀 회로의 구동 시퀀스 개략도이다. 도 12 및 도 13을 참조하면, 트랜지스터가 각각 N형 트랜지스터인 것을 예로 들며, 해당 픽셀 회로의 구동 과정은 다음을 포함한다.

- [0101] 초기화 단계(T1)에서, 잠금 제어 신호(Ssd)는 저전위이고, 제3 제어 신호(Re3), 제4 제어 신호(Re4), 및 제4 발광 제어 신호(EM4)는 각각 고전위이다. 제1 트랜지스터(M1)는 턴오프되고, 제12 트랜지스터(M12), 제13 트랜지스터(M13), 및 제14 트랜지스터(M14)는 각각 턴온된다. 제3 참조 신호(Vref3)는 제12 트랜지스터(M12)를 통해 제1 커패시터(Cst1)의 제2 단, 제4 커패시터(Cst4)의 제1 단, 및 발광 소자(L)의 양극에 전송된다. 제3 리셋 신호(Vini2)는 제13 트랜지스터(M13)를 통해 제1 커패시터(Cst1)의 제1 단에 전송되고, 제1 전원 신호(VDD)는 제14 트랜지스터(M14)를 통해 구동 트랜지스터(DTFT)의 드레인에 전송된다. 초기화 단계에서, 제1 커패시터(Cst1), 제4 커패시터(Cst4), 및 발광 소자(L)의 양극은 각각 리셋을 완료한다.
- [0102] 임계값 보상 단계(T2)에서, 제3 제어 신호(Re3)는 저전위로 변한다. 제12 트랜지스터(M12)는 턴오프되고, 제1 전원 신호(VDD)는 계속해서 제14 트랜지스터(M14)를 통해 구동 트랜지스터(DTFT)의 드레인에 전송되며, 제3 리셋 신호(Vini2)는 계속해서 제13 트랜지스터(M13)를 통해 제1 커패시터(Cst1)의 제1 단에 전송된다. 구동 트랜지스터(DTFT)는 턴온되고, 제1 전원 신호(VDD)는 제14 트랜지스터(M14)와 구동 트랜지스터(DTFT)를 통해 구동 트랜지스터(DTFT)의 소스에 대해 충전시키며, 구동 트랜지스터(DTFT)의 소스 전위는 구동 트랜지스터(DTFT)가 턴오프될 때까지 점차적으로 상승하여, 구동 트랜지스터(DTFT)의 임계값 보상이 완료된다. 이때, 제1 커패시터(Cst1) 양단에 저장된 전위차는 구동 트랜지스터(DTFT)의 임계값 전압(V_{th1})이다.
- [0103] 데이터 기입 단계(T3)에서, 데이터 기입 단계에 금방 진입했을 때, 잠금 제어 신호(Ssd)는 고전위이고, 제3 제어 신호(Re3), 제4 제어 신호(Re4) 및 제4 발광 제어 신호(EM4)는 각각 저전위이다. 제1 트랜지스터(M1)는 턴오프되고, 제12 트랜지스터(M12), 제13 트랜지스터(M13) 및 제14 트랜지스터(M14)는 각각 턴오프된다. 데이터 신호(Vdata)는 제1 트랜지스터(M1)를 통해 제1 커패시터(Cst1)의 제1 단에 전송되고, 제1 커패시터(Cst1)의 제1 단의 전위는 제3 리셋 신호(Vini2)에서 데이터 신호(Vdata)로 변경된다. 제4 커패시터(Cst4)는 제1 전원 신호(VDD)가 연결되어 제1 커패시터(Cst1)의 전위 점프량을 제어하도록 한다. 제1 커패시터(Cst1)의 전압 강하는 $(V_{data} - V_{ini2}) \times (C_{st4} + C_{oled}) / (C_{st4} + V_{gs} + C_{st1} + C_{oled}) + V_{th1}$ 이고; 여기서, C_{gs} 는 구동 트랜지스터(DTFT)의 게이트와 소스 사이의 커패시턴스이고, C_{oled} 는 발광 소자(L)의 기생 커패시턴스이다. 본 실시예에서, 제4 커패시터(Cst4)의 구성은 비교적 큰 비례 계수를 제공하여, 즉 $(C_{st4} + C_{oled}) / (C_{st4} + V_{gs} + C_{st1} + C_{oled})$ 를 비교적 크게 하여, 데이터 전압 기입의 민감도를 보장하고, 데이터 전압의 변화 범위를 줄이기 위함이다.
- [0104] 신호 잠금 시점(t_s)에서, 잠금 제어 신호(Ssd)는 저전위로 떨어져, 제1 트랜지스터(M1)가 턴오프되고, 제1 커패시터(Cst1)의 제1 단은 플로팅되며, 제1 커패시터(Cst1)의 데이터 신호 공급원이 차단된다. 이때, 데이터 신호(Vdata)는 데이터 전압(V_b)을 유지하므로, 제1 커패시터(Cst1) 양단의 전위차는 $(V_b - V_{ini2}) \times (C_{st4} + C_{oled}) / (C_{st4} + V_{gs} + C_{st1} + C_{oled}) + V_{th1}$ 로 잠금된다. 즉, 본 행의 데이터 신호(Vdata)의 정보와 구동 트랜지스터(DTFT)의 임계값 전압 정보가 각각 제1 커패시터(Cst1)에 저장되고, 데이터 기입 과정이 완료된다.
- [0105] 발광 단계(T4)에서, 제4 발광 제어 신호(EM4)는 고전위이고, 잠금 제어 신호(Ssd), 제3 제어 신호(Re3), 및 제4 제어 신호(Re4)는 각각 저전위이다. 제14 트랜지스터(M14)는 턴온되고, 구동 트랜지스터(DTFT)는 발광 소자(L)를 밝게하는 구동 전류를 생성한다. 구동 전류는 $V_{gs} - V_{th1}$ 의 함수이며, 여기서, V_{gs} 는 제1 커패시터(Cst1) 양단의 전위차와 같다. 따라서 구동 전류는 실제로 $V_{data} - V_{ini2}$ 의 함수이며, 구동 전류의 크기는 구동 트랜지스터(DTFT)의 임계값 전압(V_{th1})과 무관하다.
- [0106] 상기 실시방식은 예시적으로 픽셀 회로에서의 트랜지스터가 각각 N형 트랜지스터로 구성되는 것으로 주어졌지만, 이는 본 출원에 대한 한정이다. 기타 실시방식에서, 수요에 따라 일부 또는 전부 트랜지스터를 P형 트랜지스터로 대체할 수 있으며, 트랜지스터에 접속된 제어 신호의 전위의 높낮이도 그에 따라 조절할 수 있다.
- [0107] 종합하면, 본 출원의 실시예는 여러 유형의 픽셀 회로에 적용될 수 있는 새로운 데이터 기입 구조 및 관련 구동 시퀀스를 제공하며, 이는 관련 기술에서 데이터 기입 효과가 교차되는 문제를 해결할 수 있다. 관련 기술의 데이터 기입 과정에서, 데이터 기입 경로는 구동 트랜지스터의 채널을 통과해야 하므로, 본 행의 픽셀 회로의 데이터 기입 단계에서, 데이터 신호는 본 행에 필요한 데이터 전압을 유지해야 한다. 데이터 기입 과정에서 인접 행의 데이터 전압이 본 행에 진입하는 것을 허용하지 않음으로써, 이전 행의 데이터 전압의 기입으로 인해 본 행의 데이터 전압이 트랜지스터가 작동되지 않아 기입될 수 없거나, 다음 행의 데이터 전압이 트랜지스터를 다시 작동시켜 잘못된 기입을 초래하는 것을 방지한다. 따라서 주사 신호의 턴온 펄스폭은 행 시간을 초과할 수 없다. 또한, 데이터 기입 과정은 적어도 트랜지스터의 게이트가 초기 전위에서 데이터 전압과 구동 트랜지스터의 임계값 전압의 합까지 충전되어 턴오프되는 기간 동안 유지해야 하므로, 이는 픽셀 회로의 데이터 기입 속도를 제한한다. 디스플레이 패널의 디스플레이 품질과 기능에 대한 사용자의 요구 사항이 점점 높아짐에 따라, 행

시간은 끊임없이 축소되고 있으며, 행 시간이 짧으면 데이터 기입 단계가 일찍 종료되고, 데이터 전압이 트랜지스터의 게이트에 완전히 기입되지 않아, 데이터 기입 효과를 보장할 수 없다. 또한, 공정상의 제한 및 기생 커패시턴스 등의 영향으로 인해, 주사 회로는 턴온 펄스가 너무 좁은 주사 신호를 생성하기 어려워, 행 시간이 짧으면, 주사 회로는 주사 신호를 안정적으로 제공하기 어렵고, 나아가 데이터 기입 효과에 영향을 미친다.

[0108] 본 출원의 실시예에서 제공하는 데이터 기입 구조는 잠금 제어 신호의 전위 점프에지를 이용하여 데이터 신호를 샘플링하며, 데이터 기입 시 샘플링 시간이 매우 짧고 빠르다. 또한 주사 신호의 턴온 펄스폭이 행 시간보다 큰 것을 허용하여, 높은 리프레시 주파수 시나리오에서도, 펄스폭이 너무 좁은 주사 신호를 제공할 필요가 없으므로, 높은 리프레시 주파수 시나리오에서 픽셀 회로 및 주사 회로의 설계에 편의성을 제공한다. 또한, 해당 데이터 기입 구조를 응용하는 픽셀 회로는 임계값 보상 단계와 데이터 기입 단계의 분리를 구현할 수 있어, 임계값 보상 시간이 행 시간에 제한받지 않고 연장되어, 더 우수한 보상 효과를 얻을 수 있으며, 따라서 디스플레이 균일성을 향상시키고, 상이한 행의 픽셀 회로의 임계값 보상 단계가 시간적으로 오버랩되는 것을 허용하여, 임계값 보상 시간의 증가가 디스플레이 패널의 리프레시 주파수에 영향을 미치지 않는다. 따라서, 본 출원의 실시예에서 제공하는 픽셀 회로는 픽셀 회로의 데이터 기입 효과와 임계값 보상 효과를 개선시킬 수 있으며, 디스플레이 패널의 고해상도 및 높은 리프레시 주파수의 구현을 견비할 수 있다.

[0109] 본 출원의 실시예는 본 출원의 임의의 실시예에서 제공하는 픽셀 회로를 구동하는 데 사용되는 픽셀 회로의 구동 방법을 더 제공하며, 이는 상응하는 효과를 갖는다. 해당 구동 방법은 데이터 기입 단계 및 발광 단계를 포함할 수 있으며, 여기서, 데이터 기입 단계는 신호 잠금 시점을 포함한다. 예시적으로, 해당 구동 방법은 다음을 포함한다.

[0110] 데이터 기입 단계에서, 신호 잠금 시점 전에, 잠금 제어 신호는 잠금 제어 모듈이 턴온되도록 제어하여, 제1 저장 모듈 양단의 전위차가 데이터 신호의 변화에 따라 변경되도록 한다.

[0111] 신호 잠금 시점에, 잠금 제어 신호는 전위 점프를 수행하고, 잠금 제어 모듈이 턴오프되도록 제어하여, 구동 모듈의 제어단 전위를 플로팅시키고, 제1 저장 모듈은 신호 잠금 시점에 접속된 데이터 신호와 연관된 전압을 저장한다.

[0112] 발광 단계에서, 구동 모듈은 신호 잠금 시점에 제1 저장 모듈에 저장된 전압에 따라 구동 전류를 생성하고, 발광 소자를 구동하여 발광시킨다.

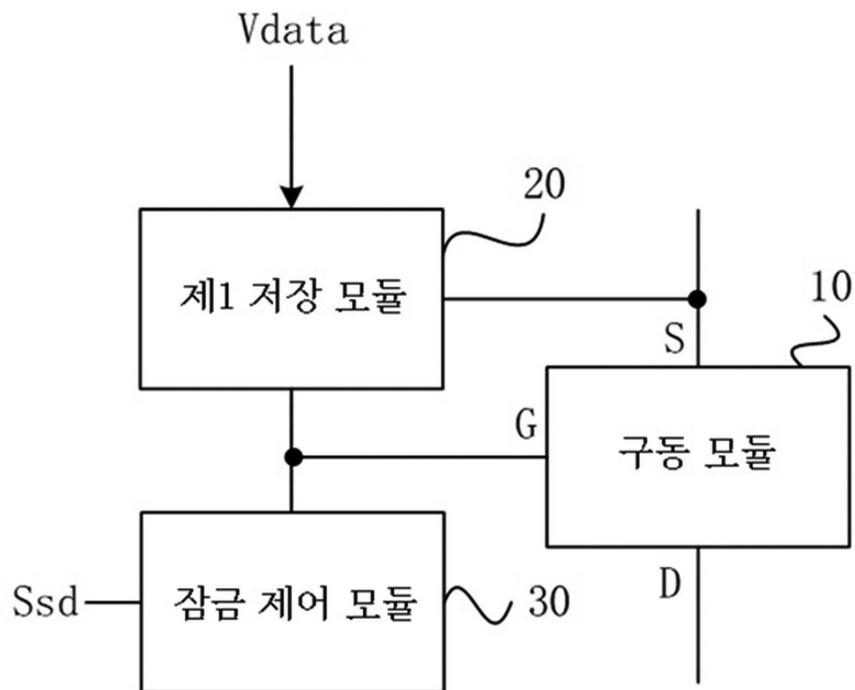
[0113] 본 출원의 실시예에서 제공하는 픽셀 회로의 구동 방법에서 새로운 데이터 기입 방식을 제공하여, 픽셀 회로에서 데이터 기입 경로가 구동 모듈 자체를 거치지 않고 제1 저장 모듈과 잠금 제어 모듈을 통과하도록 한다. 따라서, 신호 잠금 시점에 잠금 제어 모듈이 턴온 상태에서 턴오프 상태로 변경되도록 제어함으로써, 해당 시점의 데이터 정보를 잠금하여, 제1 저장 모듈이 신호 잠금 시점에 접속된 데이터 신호와 연관된 전압을 빠르고 정확하게 저장하도록 한다. 데이터 기입 단계에 신호 잠금 시점을 포함하고, 신호 잠금 시점이 데이터 신호가 본 행의 픽셀 회로에 필요한 데이터 전압을 유지하는 행 시간 내에 위치하도록 구성함으로써, 정확한 데이터 기입 과정을 구현할 수 있다. 본 실시예는 데이터 기입 단계의 유지 시간에 대해 제한하지 않으며, 데이터 기입 과정에서, 인접 행의 데이터 전압 정보가 본 행의 픽셀 회로에 진입하는 것을 허용하므로, 데이터 기입 과정과 관련된 제어 신호의 턴온 펄스폭은 모두 행 시간보다 클 수 있으며, 이는 제어 신호를 제공하는 주사 회로의 불량위험을 효과적으로 줄이고, 제어 신호의 안정성을 향상시키며, 데이터 기입의 효과를 보장할 수 있다. 따라서, 본 출원의 실시예는 픽셀 회로의 데이터 기입 효과를 향상시켜, 디스플레이 패널의 디스플레이 효과를 향상시킬 수 있다.

[0114] 픽셀 회로의 실시예에서는 상이한 픽셀 회로에 대한 구동 방법에 대해 설명하였다. 이러한 구동 방법은 모두 본 출원의 실시예에서 제공하는 픽셀 회로의 구동 방법으로 간주될 수 있으며, 반복되는 내용은 여기서 반복하여 설명하지 않는다.

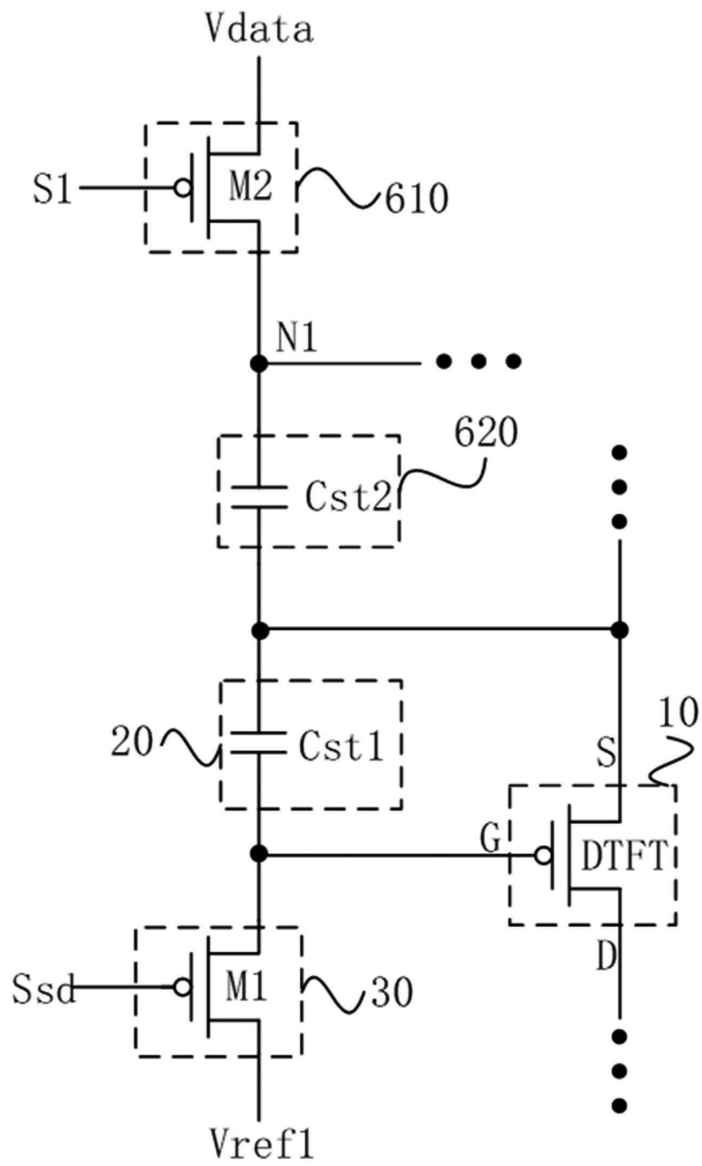
[0115] 본 출원의 실시예는 본 출원의 임의의 실시예에서 제공하는 픽셀 회로를 포함하는 디스플레이 패널을 더 제공하며, 이는 상응하는 효과를 갖는다. 도 14는 본 출원의 실시예에서 제공하는 디스플레이 패널의 구조 개략도이다. 도 14를 참조하면, 예시적으로, 여러 개의 픽셀 회로(100)는 디스플레이 패널의 디스플레이 영역(AA)에 어레이로 배열된다. 디스플레이 패널은 주사 회로(101)와 여러 개의 제1 주사선(LS1)을 더 포함하며, 주사 회로(101)는 제1 주사선(LS1)을 통해 픽셀 회로(100)에 잠금 제어 신호를 제공하도록 구성된다. 또한, 디스플레이 패널은 구동 칩(102)과 여러 개의 데이터선(Ld)을 포함하며, 구동 칩(102)은 데이터선(Ld)을 통해 픽셀 회로(100)에 데이터 신호를 제공하도록 구성된다.

도면

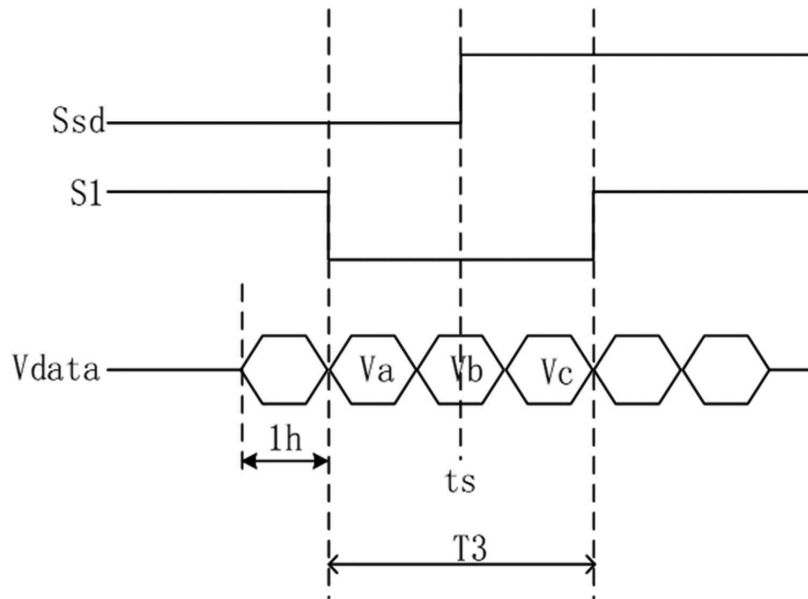
도면1



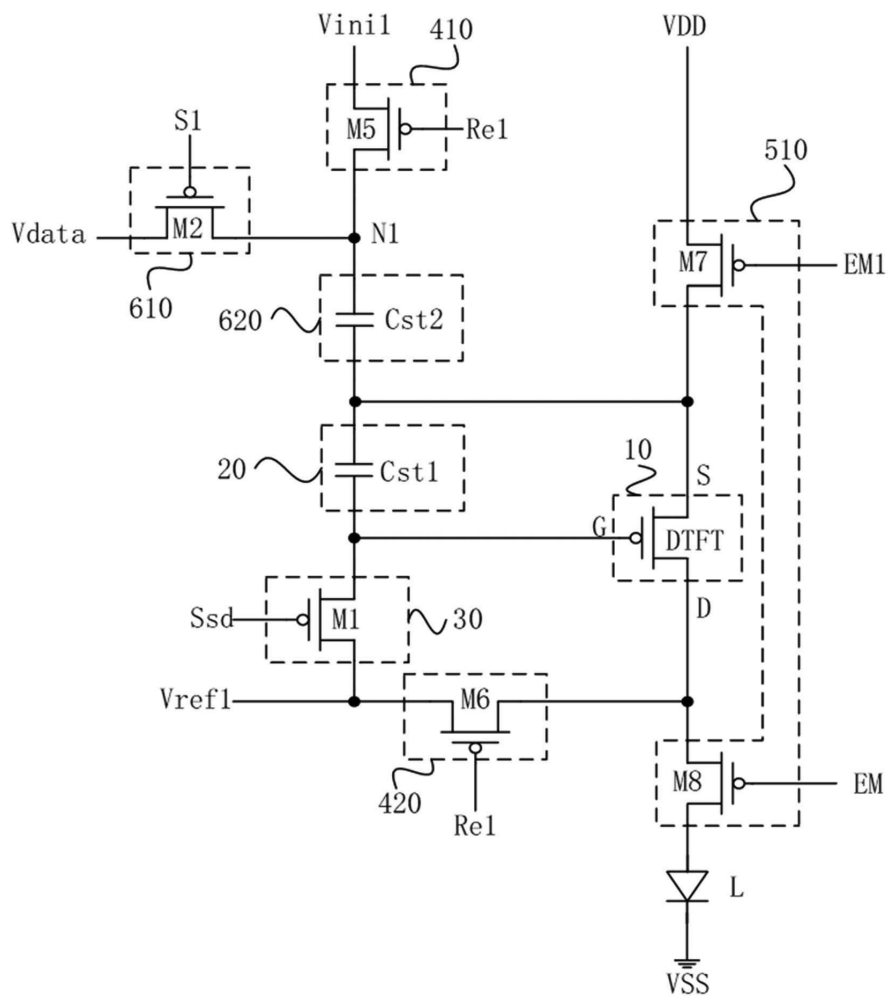
도면2



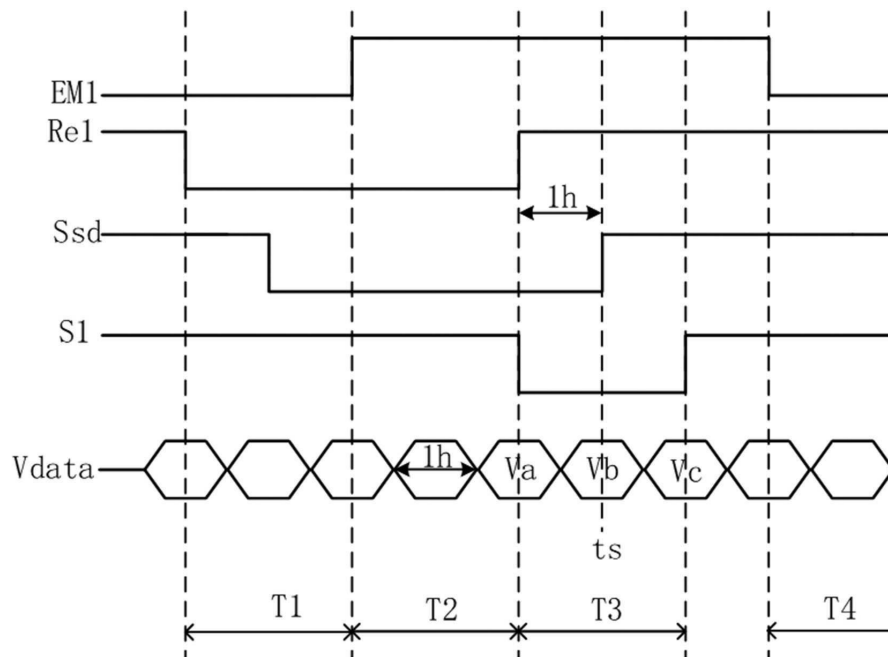
도면3



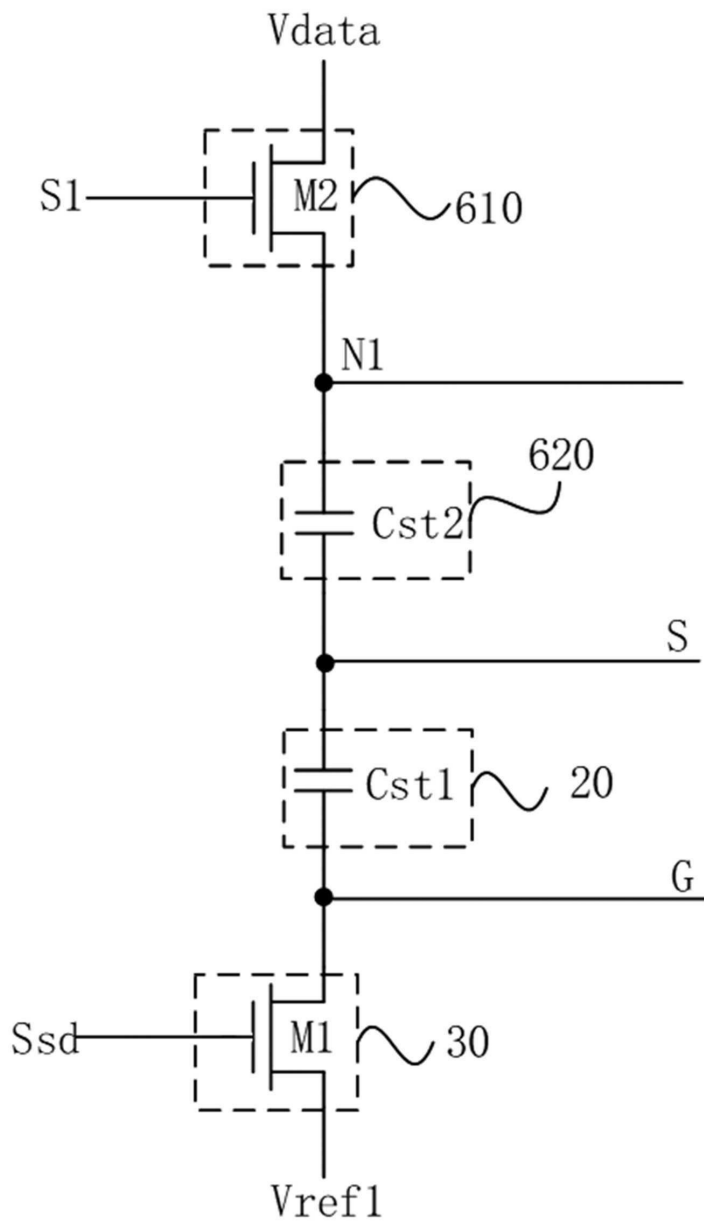
도면4



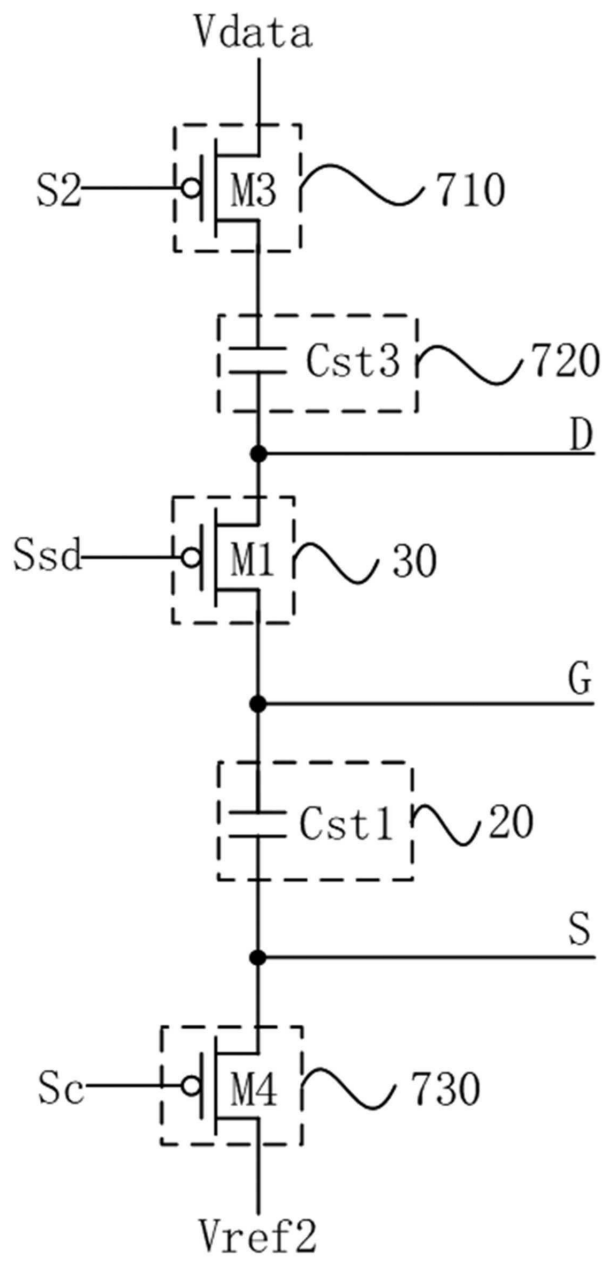
도면5



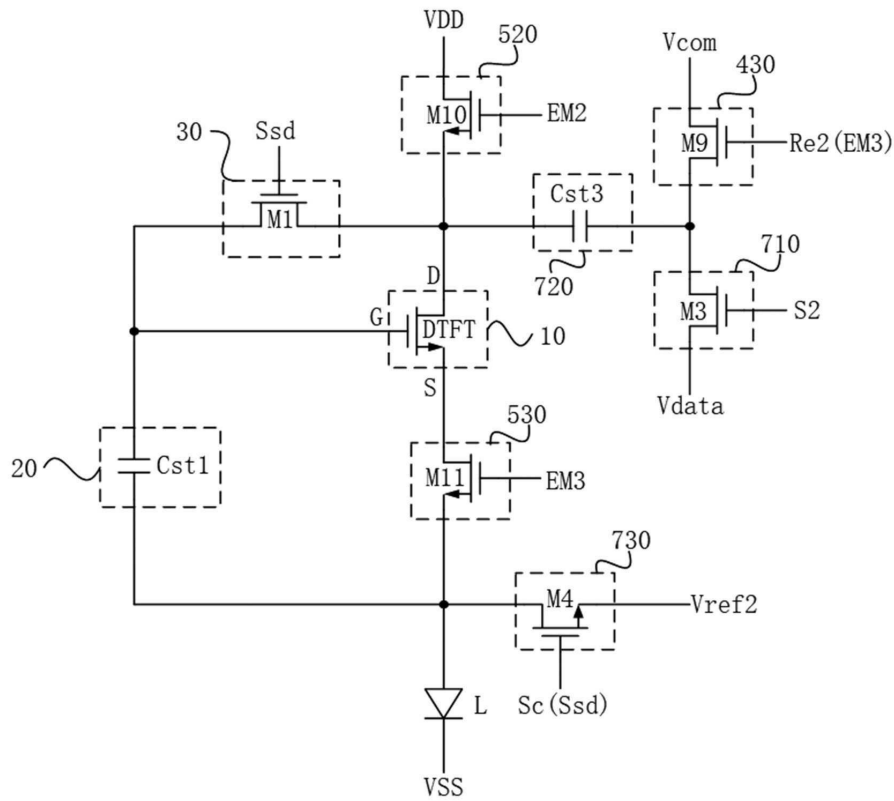
도면6



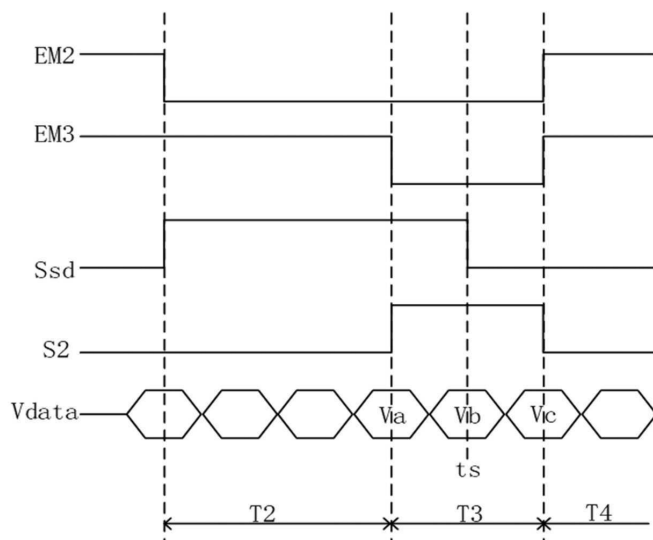
도면7



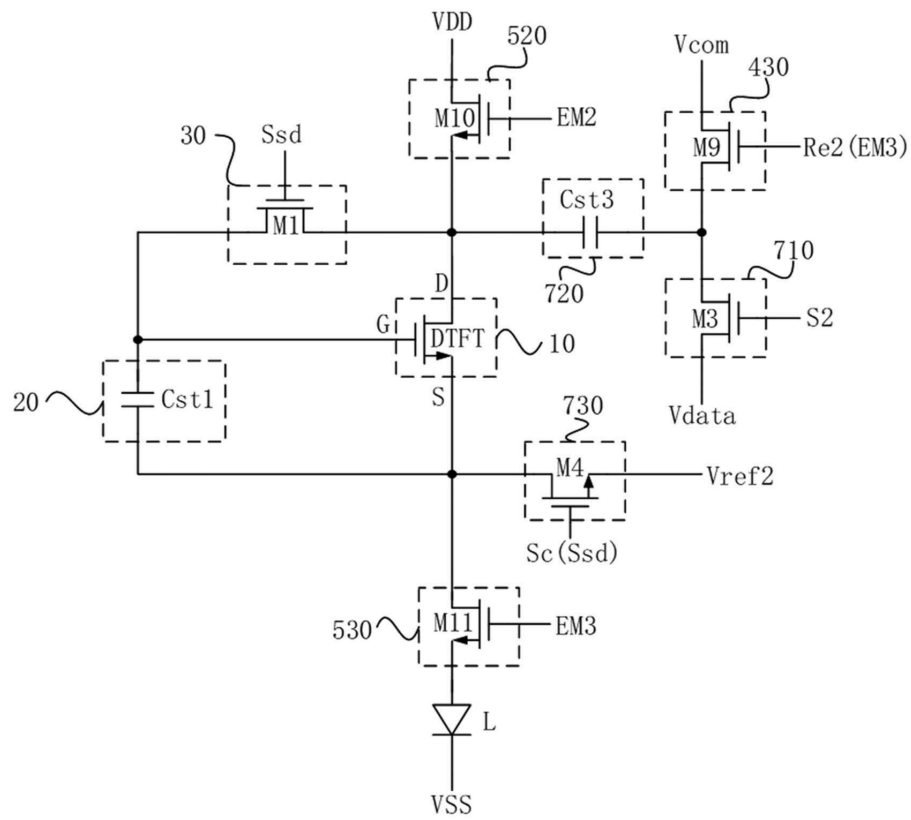
도면8



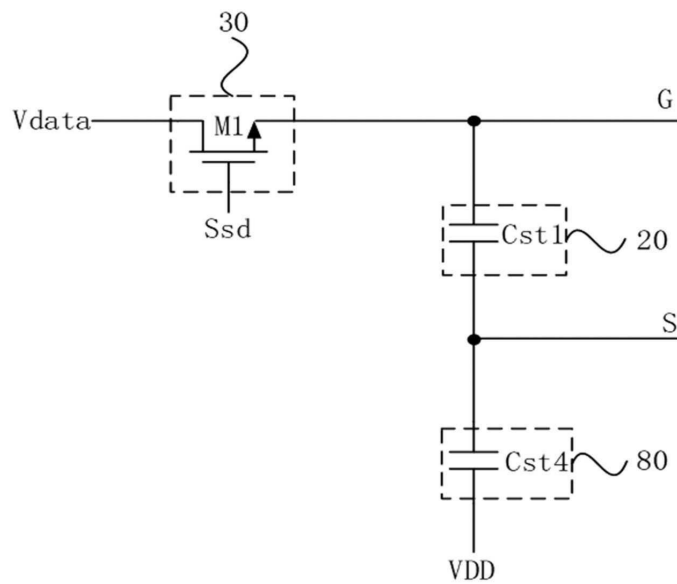
도면9



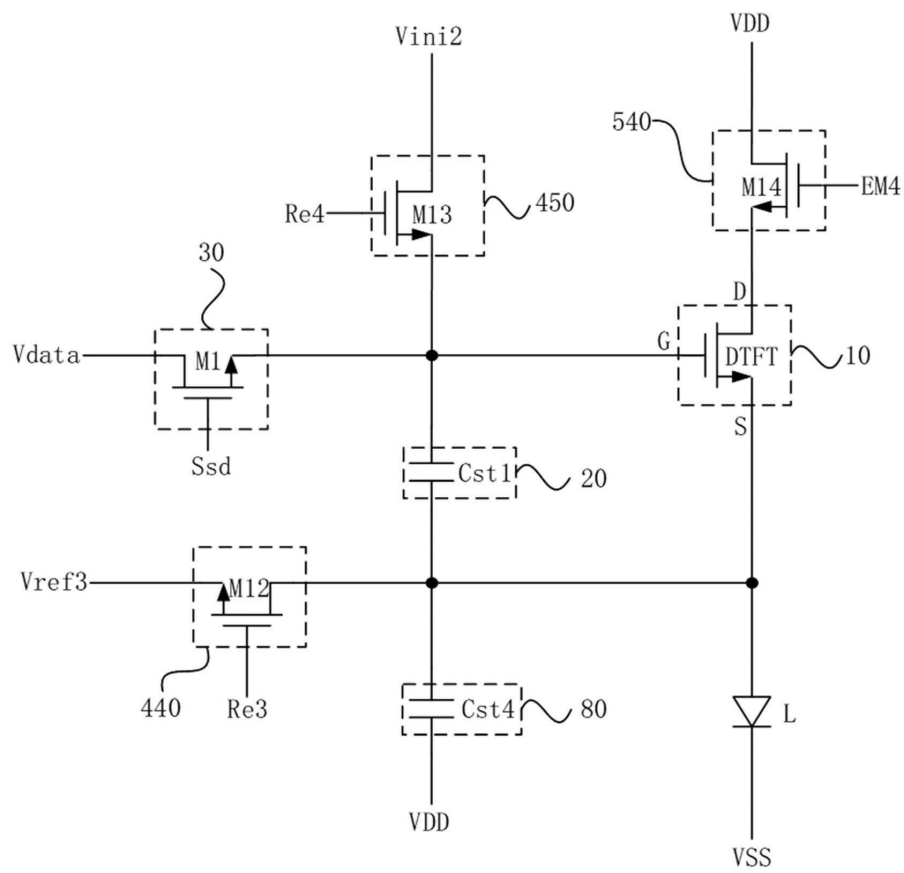
도면10



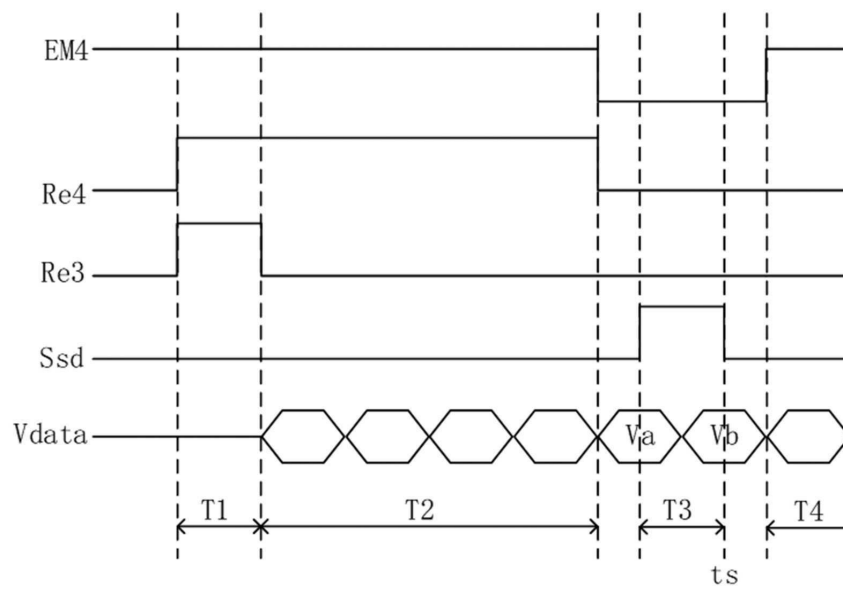
도면11



도면12



도면 13



도면14

